



Linéarisation à base de réseaux de neurones pour amplificateurs de puissance

Blaise Mulliez

► To cite this version:

Blaise Mulliez. Linéarisation à base de réseaux de neurones pour amplificateurs de puissance. Micro et nanotechnologies/Microélectronique. INP Toulouse, 2015. Français. NNT : . tel-01241354

HAL Id: tel-01241354

<https://theses.hal.science/tel-01241354>

Submitted on 15 Dec 2015

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par : *l'Institut National Polytechnique de Toulouse (INP Toulouse)*

Présentée et soutenue le *30 juin 2015* par :

BLAISE MULLIEZ

**Linéarisation à base de réseaux de neurones pour
amplificateurs de puissance**

JURY

JEAN-DIDIER LEGAT	Professeur à l'Université catholique de Louvain	Examineur
OLIVIER BERNAL	Maître de conférences à l'Université de Toulouse	Examineur
LAURENT GATET	Ingénieur CNES	Invité
PHILIPPE LANCE	Ingénieur Freescale	Invité
FRANCIS DOUKHAN	Ingénieur DGA	Invité
JEAN-BAPTISTE BEGUERET	Professeur à l'Université de Bordeaux	Rapporteur
PASCAL NOUET	Professeur à l'Université Montpellier II	Rapporteur
HÉLÈNE TAP	Professeur à l'Université de Toulouse	Directrice de thèse

École doctorale et spécialité :

GEET : Micro et Nanosystèmes

Unité de Recherche :

Laboratoire d'Analyse et d'Architecture des Systèmes

À Maman

RÉSUMÉ

L'essor des télécommunications spatiales au cours des deux dernières décennies impose de transmettre les données à des débits toujours plus importants et avec une qualité de service irréprochable. Néanmoins, afin d'obtenir un bilan de liaison et une efficacité spectrale optimaux, l'amplificateur de puissance embarqué doit être utilisé près de sa zone de saturation, ce qui entraîne de fortes non-linéarités des signaux émis. Afin de contourner ce problème, les amplificateurs sont souvent précédés d'un linéariseur.

Les dispositifs de linéarisation embarqués actuellement sont toutefois incapables de s'adapter à différents amplificateurs ou de prendre en compte les dérives des caractéristiques des amplificateurs au cours du temps et en fonction de la température : ils ne sont pas adaptatifs. L'objectif de cette thèse est de concevoir une architecture innovante capable de linéariser différentes caractéristiques de transfert d'amplificateurs de puissance. Les réseaux de neurones analogiques offrent des performances intéressantes d'approximation de fonctions non-linéaires et sont reconfigurables. Ils représentent donc une solution pertinente pour répondre à cette problématique.

Tout d'abord, une technique innovante, générique, rapide et précise d'extraction des fonctions de prédistorsion, ayant fait l'objet d'un brevet, est présentée et appliquée aux caractéristiques de trois amplificateurs fournies par le CNES. La modélisation de ces fonctions de prédistorsion par des réseaux de neurones valide ensuite, grâce à des simulations comportementales statiques et dynamiques, le concept de prédistorsion analogique adaptative par réseaux de neurones. Enfin, un ASIC analogique de prédistorsion, développé en technologie CMOS 0,35 μm , comprenant un réseau de neurones et un circuit de déphasage réglable novateur est présenté. Le circuit, capable de générer les différentes fonctions de prédistorsion avec une grande précision, pourra par la suite être intégré dans un banc de test permettant de linéariser de manière adaptative divers amplificateurs de puissance afin d'en évaluer les performances réelles.

Mots-clés : Linéarisation, Prédistorsion, Amplificateur de puissance, Réseau de neurones, CMOS, ASIC

ABSTRACT

The spectacular growth of space telecommunications during the last two decades requires an always higher data transmission speed and a flawless service quality. Nevertheless, in order to optimize the link budget and the spectral efficiency, the embedded High Power Amplifiers (HPA) are used close to their saturation point, which leads to strongly non-linear emitted signals. To circumvent this issue, a linearizer is often implemented before the amplifier.

However, the linearization devices used today are not able adapt to different amplifiers or to HPA characteristics drift under the influence of aging and temperature variations : they are not adaptive. The objective of the work presented in this dissertation is the design of an innovating architecture capable of linearizing several HPA transfer characteristics. Analog Neural Networks (ANN) provide attractive performances for non-linear functions modelling and are reconfigurable. They are therefore a relevant choice to respond to this specific issue.

First, a patented, innovating, generic, fast and accurate technique to determine the predistortion functions is detailed and used with the characteristics of three HPA provided by the French Space Agency (CNES). Then, the modelling of these predistortion functions with neural networks and behavioral static and dynamic simulations of these networks validate the concept of adaptive analog predistortion based on neural networks. Eventually, an analog predistortion ASIC, designed in a CMOS 0.35 μm technology, including a neural network and an innovative configurable phase-shifting circuit, is described. The integrated circuit is able to generate the different predistortion functions and will be later embedded in a test-bench to demonstrate its ability to adaptively linearize several High Power Amplifiers.

Keywords : Linearization, Predistortion, Power Amplifier, Neural Network, CMOS, ASIC

REMERCIEMENTS

Je souhaite remercier tous ceux qui ont été à mes côtés et m'ont aidé, soutenu et supporté pendant toute la durée de ce cette thèse.

En premier lieu, je tiens évidemment à remercier très chaleureusement ma directrice de thèse, Hélène TAP. Elle m'a fait confiance et m'a toujours apporté son soutien et ses (bons) conseils au cours de l'élaboration de cette thèse. Si son rôle de directrice s'arrête à la fin de ce doctorat, je sais qu'elle sera toujours là pour m'aider, me guider et me soutenir, sur un plan professionnel comme sur un plan personnel.

MM. Jean-Baptiste BEGUERET et Pascal NOUET m'ont fait l'honneur d'être les rapporteurs de ma thèse. Ils ont pris le temps de lire scrupuleusement et d'évaluer avec soin mon tapuscrit. Je les en remercie.

Je souhaite également remercier MM. Jean-Didier LEGAT, Olivier BERNAL, Philippe LANCE et Laurent GATET qui ont accepté de participer à mon jury de thèse. En particulier, j'exprime toute ma gratitude à Laurent, porteur du projet, pour la rigueur qu'il m'a instillée, pour avoir su m'aiguiller et m'encourager dans mes moments de doute et pour ses (très longs) mails, très riches et très pédagogiques et qui m'ont, plus d'une fois, maintenu éveillé une bonne partie de la nuit !

Au cours de mes travaux, j'ai été accueilli au sein du groupe de recherches OSE du LAAS. Les discussions que j'ai pu avoir avec tous les membres du laboratoire, en réunion ou autour d'un café, m'ont énormément apportées. Je ne citerai personne, pour ne pas risquer d'oublier du monde et de faire un impair, mais j'ai réellement apprécié le temps passé en leur compagnie et je leur en suis extrêmement reconnaissant. En particulier, je remercie tous les thésards que j'ai côtoyés pour m'avoir supporté tous les jours, pendant plusieurs années pour certains. Ils m'ont beaucoup aidé et je leur souhaite tout le courage qu'ils m'ont apporté.

Durant ma thèse, j'ai effectué de nombreux enseignements à l'ENSEIHT, avec Francis BONY, Julien PERCHOUX, Adam QUOTB et Emmanuelle PEUCH. Merci à eux de m'avoir sorti de mes simulations et de mes circuits pour encadrer des TPs ! Paradoxalement, ça fait du bien !

Ce travail n'aurait pu être mené à bien sans l'aide du CNES et de la DGA, cofinanceurs de mes travaux, qui, au travers de leur soutien matériel, ont reconnu mon travail et m'ont fait confiance.

Passons à présent à des remerciements plus personnels.

Je remercie mon Papou.net qui est venu assister à la soutenance de son Petit Lapin, mes sœurs, toute ma famille et ma belle-famille qui, avec cette question récurrente et lancinante, "quand est-ce que tu la soutiens, cette thèse ?", m'ont permis de ne jamais dévier de mon objectif final.

Merci à tous les amis qui, de près ou de loin, m'ont encouragé et ont cru en moi. Merci aux "gros" en général qui m'ont supporté pendant ces longues années.

Mes derniers remerciements vont à Laurie, ma chère petite femme, pour son soutien quotidien indéfectible. Elle a su appréhender un sujet qui lui était jusque-là quasiment inconnu et son regard de néophyte sur le thème m'a été d'une grande aide pour préciser et affiner mon propos. Elle aussi m'a supporté, m'a soutenu, m'a poussé, m'a critiqué, m'a encouragé, m'a félicité, m'a bichonné. Et je ne saurais lui exprimer assez la joie que j'éprouve à me lancer avec elle dans ce nouveau projet qu'elle porte dans son ventre !

Encore un immense merci à tous pour m'avoir aidé à mener à bien cette belle thèse !

TABLE DES MATIÈRES

Résumé	i
Remerciements	iii
Table des matières	viii
Table des figures	xiv
Liste des tableaux	xv
Notations	xvii
Introduction	1
I Contexte des travaux	5
1 Les amplificateurs de puissance	7
1.1 Les familles d'amplificateurs de puissance	8
1.2 Une représentation des non-linéarités introduites par un amplificateur de puissance : les caractéristiques AM/AM et AM/PM	11
1.3 Conclusion	12
2 Le potentiel besoin de linéarisation	15
2.1 Codage d'une donnée numérique en un signal exploitable par l'amplificateur	15
2.2 Le diagramme de constellation d'une modulation de signal mono-fréquence	16
2.3 Modulations de signaux monoporteuses	18
2.4 Conclusion	21
3 Les solutions pour prévenir ou corriger les non-linéarités	23
3.1 L'utilisation de l'amplificateur en recul	23
3.2 L'égalisation ou la post-distorsion	24
3.3 La linéarisation	24
3.4 Discussion	28
II Architecture innovante de linéariseur paramétrable à base de réseaux de neurones	31
1 Caractéristiques de transfert AM/AM et AM/PM mono-fréquences d'un linéariseur par prédistorsion	33
1.1 Techniques de détermination des caractéristiques de prédistorsion	33

TABLE DES MATIÈRES

1.2	Procédé innovant de détermination des caractéristiques AM/AM et AM/PM d'un linéariseur par prédistorsion	34
1.3	Caractéristiques idéales de transfert du système "Linéariseur + Amplificateur"	39
1.4	Mise en application	43
1.5	Conclusion	43
2	Architectures de linéariseur par prédistorsion	45
2.1	Les différentes architectures de linéariseur envisageables	45
2.2	Architecture détaillée d'un linéariseur à prédistorsions série	46
2.3	Simulation comportementale du linéariseur proposé	51
2.4	Conclusion	56
3	Modélisation des caractéristiques de prédistorsion par réseaux de neurones	57
3.1	Introduction aux réseaux de neurones	57
3.2	Le choix d'une architecture de réseaux de neurones dans le cadre de la linéarisation par prédistorsion	60
3.3	Exploitation des réseaux de neurones pour la linéarisation d'amplificateurs de puissance	63
3.4	Conclusion	65
III	Conception d'un démonstrateur de linéariseur par prédistorsion	67
1	Présentation du circuit électronique de prédistorsion	69
1.1	Propriétés du signal à prédistordre	69
1.2	Choix des circuits électroniques	71
1.3	Mise en forme des signaux internes au linéariseur	76
1.4	Architecture haut niveau de l'ASIC	76
1.5	Synthèse	77
2	Généralités sur le circuit intégré de prédistorsion	79
2.1	Le choix technologique	79
2.2	Caractéristiques électriques du transistor MOS	80
2.3	Analyse de structures élémentaires	84
2.4	Considérations générales sur le circuit intégré de prédistorsion	95
2.5	Conclusion	97
3	Le réseau de neurones analogique	99
3.1	Considérations générales	99
3.2	Le multiplieur	102
3.3	L'additionneur de la couche cachée	106
3.4	La fonction d'activation sigmoïdale	109
3.5	L'additionneur de la couche de sortie	112
3.6	Mise en forme des signaux d'entrée	116
3.7	Conclusion	119

4	Le circuit déphaseur	121
4.1	Cahier des charges	121
4.2	Etat de l'art	122
4.3	Architecture du circuit déphaseur	123
4.4	Implantation du DDCC	125
4.5	Implantation des composants passifs configurables	130
4.6	Simulation du circuit déphaseur	138
4.7	Conclusion	144
5	Exploitation de l'ASIC dans le contexte de la prédistorsion	145
5.1	Linéarisation en amplitude par l'intermédiaire du réseau de neurones intégré dans l'ASIC	145
5.2	Linéarisation en phase par l'intermédiaire du réseau de neurones intégré dans l'ASIC	147
5.3	Discussion	149
5.4	Conclusion	150
	Conclusion	153
	Annexes	157
	Publication	159
A	Techniques de représentation des non-linéarités d'un amplificateur de puissance	161
A.1	Le rapport C/I	161
A.2	L'ACPR	162
A.3	Le NPR	163
A.4	L'EVM	163
A.5	Les effets mémoire	164
B	Techniques de modélisation et implantation des non-linéarités d'un amplificateur de puissance	167
B.1	Modèles sans prise en compte des effets mémoire	167
B.2	Modèles avec prise en compte des effets mémoire	170
B.3	Implantations existantes de fonctions de prédistorsion	176
C	Apprentissage des réseaux de neurones	183
C.1	Ensembles d'apprentissage, de validation et calculs d'erreurs	183
C.2	Calibrage et phénomène de surajustement	184
C.3	Différents algorithmes d'apprentissage	185
D	Compléments de résultats de simulations	189
D.1	Simulations de modules de prédistorsion idéaux	189
D.2	Etude statistique de calibrage des réseaux de neurones	190
D.3	Simulations des modules de commande à base de réseaux de neurones	190
D.4	Simulations comportementales du DDCC	193

TABLE DES MATIÈRES

D.5	Exploitation de l'ASIC dans le cadre de la linéarisation par prédistorsion d'amplificateurs de puissance	194
	Bibliographie	199

TABLE DES FIGURES

FIGURE 1 –	Accès aux services de télécommunications de 2005 à aujourd’hui	1
FIGURE 2 –	Nombre de publications contenant les mots-clé “Neural Network” (Source : ISI Web Of Science)	2
FIGURE I.1.1 –	Schéma d’une transmission d’information entre un émetteur et un récepteur et mise en évidence du rôle de l’amplificateur de puissance	7
FIGURE I.1.2 –	Vue en coupe d’un Amplificateur à Tube à Ondes Progressives	8
FIGURE I.1.3 –	Architecture typique d’un amplificateur de puissance à état solide	9
FIGURE I.1.4 –	Caractéristiques AM/AM et AM/PM des amplificateurs TEDCNES, ARAB- SAT4 et TI9083-8	11
FIGURE I.1.5 –	Détermination du point de compression à 1db	12
FIGURE I.2.1 –	Chaîne de codage d’une donnée numérique	16
FIGURE I.2.2 –	Exemple de transmission mono-porteuse	17
FIGURE I.2.3 –	Représentation d’un symbole binaire sur un diagramme de constellation . . .	18
FIGURE I.2.4 –	Impact des non-linéarités d’un amplificateur de puissance sur la position des symboles binaires sur le diagramme de constellation	18
FIGURE I.2.5 –	Diagrammes de constellation des modulations BPSK, QPSK, 8-PSK et 16-PSK	19
FIGURE I.2.6 –	Diagrammes de constellation des modulations 16-QAM, 64-QAM, 16-APSK et 32-APSK	20
FIGURE I.2.7 –	Exemple de déformation d’un diagramme de constellation d’une modulation en amplitude et en phase sous l’influence des non-linéarités d’un amplificateur de puissance	21
FIGURE I.3.1 –	Utilisation d’un amplificateur en <i>back-off</i>	23
FIGURE I.3.2 –	Les deux familles de linéariseur en fonction de sa position dans la chaîne d’émission	25
FIGURE I.3.3 –	Synoptique d’un système de linéarisation utilisant la technique <i>Feedforward</i>	26
FIGURE I.3.4 –	Synoptique d’un système de linéarisation utilisant la technique à contre- réaction	26
FIGURE I.3.5 –	Synoptique d’un système de linéarisation utilisant une prédistorsion adaptative	27
FIGURE II.1.1 –	Procédé de détermination des caractéristiques de transfert d’un linéariseur par prédistorsion	35
FIGURE II.1.2 –	Système “Linéariseur+HPA” et fonctions de transfert associées	35
FIGURE II.1.3 –	Représentation temporelle des signaux d’entrée et de sortie d’un amplifica- teur de puissance	36
FIGURE II.1.4 –	Synopsis d’un système de prédistorsion	37
FIGURE II.1.5 –	Caractéristique AM/PM linéarisée	40
FIGURE II.1.6 –	Réduction de l’intervalle de puissance moyenne d’excitation de l’amplificateur	40
FIGURE II.1.7 –	Système “Linéariseur + HPA” et intervalles de puissances d’entrée et de sorties optimaux	41
FIGURE II.1.8 –	Trois caractéristiques linéarisées possibles	41

TABLE DES FIGURES

FIGURE II.1.9 – Architecture de la chaîne de transmission permettant de générer des caractéristiques de même pente que (a) jusqu'à atteindre $P_{s,sat}$ et mise en évidence du besoin de gain dans le linéariseur	42
FIGURE II.1.10 – Caractéristique AM/AM linéarisée idéale	43
FIGURE II.1.11 – Caractéristiques AM/AM et AM/PM des linéariseurs idéaux définis pour les aux amplificateurs TEDCNE, ARABSAT4 et TI9083-8	43
FIGURE II.2.1 – Architecture de linéarisation à prédistorsions parallèles	46
FIGURE II.2.2 – Deux architectures de linéariseur à prédistorsions série	46
FIGURE II.2.3 – Exemple de modules permettant d'obtenir une grandeur proportionnelle à l'amplitude ou à la puissance moyenne d'un signal	47
FIGURE II.2.4 – Module de prédistorsion en amplitude	48
FIGURE II.2.5 – Etapes de la prédistorsion en amplitude permettant d'appliquer au VGA le facteur d'atténuation correcte	48
FIGURE II.2.6 – Module de prédistorsion en amplitude avec retard	49
FIGURE II.2.7 – Module de prédistorsion en phase	49
FIGURE II.2.8 – Etapes de la prédistorsion en phase permettant d'appliquer au déphaseur la consigne de déphasage correcte	50
FIGURE II.2.9 – Module de prédistorsion en phase avec retard	50
FIGURE II.2.10 – Architecture détaillée du linéariseur à prédistorsion proposé dans ce tapuscrit	51
FIGURE II.2.11 – Topologie du système simulé représentant l'architecture de la figure II.2.10 .	54
FIGURE II.2.12 – Caractéristiques de transfert des modules de commande $P_{moy} \rightarrow G_{VGA}$ et $P_{moy} \rightarrow \phi$ de l'amplificateur TEDCNES	55
FIGURE II.2.13 – Simulation de l'architecture de la figure II.2.10 et linéarisation de l'amplificateur de puissance TEDCNES	55
FIGURE II.3.1 – Représentation de neurones biologique et formel	58
FIGURE II.3.2 – Représentation d'un réseau de neurones non-bouclé à n entrées, une couche cachée de N_j neurones et N_m neurones de sortie	59
FIGURE II.3.3 – Structure d'un Perceptron Multi-Couches à fonction d'activation sigmoïdale	62
FIGURE II.3.4 – Modélisation par réseaux de neurones des caractéristiques des modules de commande $P_{moy} \rightarrow G_{VGA}$ et $P_{moy} \rightarrow \phi$ associé à l'amplificateur TEDCNES	64
FIGURE II.3.5 – Simulation de l'architecture de la figure II.2.10 et linéarisation de l'amplificateur de puissance TEDCNES à l'aide de réseaux de neurones	65
FIGURE III.1.1 – Architecture du linéariseur à concevoir	69
FIGURE III.1.2 – Implantation proposée permettant de fixer l'amplitude maximale du signal dans le circuit de linéarisation	71
FIGURE III.1.3 – Fonctionnement du linéariseur	75
FIGURE III.1.4 – Circuit permettant d'adapter le niveau continu d'un signal	77
FIGURE III.1.5 – Interconnexions entre les fonctions de l'ASIC	77
FIGURE III.1.6 – Représentation haut niveau du circuit électronique du linéariseur	78
FIGURE III.2.1 – Vues en coupe des transistors NMOS et PMOS dans un caisson N -Well . .	81
FIGURE III.2.2 – Symboles des transistors NMOS et PMOS	81
FIGURE III.2.3 – Caractéristiques statiques des transistors NMOS et PMOS	82
FIGURE III.2.4 – Modèle petit signal haute fréquence d'un transistor MOS en zone saturée .	83
FIGURE III.2.5 – Implantation d'un miroir de courant simple	85
FIGURE III.2.6 – Schéma équivalent petit signal d'un miroir de courant simple	86

TABLE DES FIGURES

FIGURE III.2.7 – Implantation d’un miroir de courant Wilson	87
FIGURE III.2.8 – Implantation d’un miroir de courant cascode	88
FIGURE III.2.9 – Amplificateur à paire différentielle	89
FIGURE III.2.10 – Comparaison entre la fonction de transfert en courant d’un amplificateur à paire différentielle NMOS et la fonction décrite par l’équation 2.25	91
FIGURE III.2.11 – Amplificateurs à paire différentielle avec charges résistives et transdiodes . .	91
FIGURE III.2.12 – Plage admissible de tension de mode commun des amplificateurs à paire différentielle de la figure III.2.11	92
FIGURE III.2.13 – Paire différentielle à charge résistive	93
FIGURE III.2.14 – “Demi-circuits” permettant de déterminer le gain en tension différentielle et le gain en tension de mode commun d’un amplificateur à paire différentielle	93
FIGURE III.2.15 – Equivalent petit signal haute fréquence d’un amplificateur à source commune	93
FIGURE III.2.16 – Equivalent petit signal d’un amplificateur à source commune dégénéré . . .	94
FIGURE III.2.17 – Variations du gain différentiel en tension A_{diff} , du gain de mode commun en tension A_{cm} et du rapport de réjection de mode commun en fonction de la fréquence pour un amplificateur à paire différentielle	95
FIGURE III.2.18 – Transfert du signal entre fonctions et ajustement du niveau continu	96
FIGURE III.2.19 – Implantation des sources de courant	96
FIGURE III.3.1 – Architecture du réseau de neurones de type MLP réalisé	99
FIGURE III.3.2 – Analogie entre les domaines de définition mathématique et électronique : exploitation du quadrant supérieur droit	101
FIGURE III.3.3 – Cellule de Gilbert repliée	103
FIGURE III.3.4 – Simulations du multiplieur	106
FIGURE III.3.5 – Addition en courant	107
FIGURE III.3.6 – Courant différentiel en sortie d’additionneur en fonction de la tension diffé- rentielle $v_{b,diff}$ associée au biais	108
FIGURE III.3.7 – Simulations de l’ensemble “Multiplieur + Additionneur”	109
FIGURE III.3.8 – Tension différentielle de sortie de l’ensemble “Multiplieur-Additionneur” pour différentes valeurs de poids et biais	109
FIGURE III.3.9 – Un étage de préamplification	110
FIGURE III.3.10 – Source de courant de la paire différentielle	111
FIGURE III.3.11 – Schéma de la fonction tangente hyperbolique	112
FIGURE III.3.12 – Simulation de la fonction tangente hyperbolique	113
FIGURE III.3.13 – Simulation de la fonction tangente hyperbolique pour différentes valeurs de poids ou de biais	113
FIGURE III.3.14 – Conversion d’un courant différentiel en courant asymétrique	113
FIGURE III.3.15 – Implantation d’un amplificateur transimpedance	114
FIGURE III.3.16 – Simulation du réseau de neurones pour un neurone seul actif pour lequel $w_1 = 1$, $b_1 = 0$, $w_2 = 1$ et $b_2 = 0$	115
FIGURE III.3.17 – Limites de linéarité de sortie du réseau de neurones	116
FIGURE III.3.18 – Circuit de différentiation du signal d’entrée	116
FIGURE III.3.19 – Simulation du circuit de différentiation du signal d’entrée	117
FIGURE III.3.20 – Circuit de différentiation du signal de poids	118
FIGURE III.3.21 – Simulation du circuit de différentiation du signal de poids	119
FIGURE III.3.22 – Simulation du circuit de différentiation du signal de biais	120
FIGURE III.4.1 – Symbole du DDCC simplifié	123
FIGURE III.4.2 – Schéma du circuit déphaseur proposé dans [223]	124

TABLE DES FIGURES

FIGURE III.4.3 – Schéma du circuit déphaseur développé durant cette thèse	124
FIGURE III.4.4 – Implantation d'un amplificateur différentiel de différences	125
FIGURE III.4.5 – Implantation d'un convoyeur différentiel de différences de courant	127
FIGURE III.4.6 – Modification de la dynamique de travail du circuit déphaseur	128
FIGURE III.4.7 – Implantation d'un atténuateur par 2 à l'aide de transistors PMOS	128
FIGURE III.4.8 – Simulations temporelle et fréquentielle de l'atténuateur de la figure III.4.7	128
FIGURE III.4.9 – Phase du circuit déphaseur en fonction de RC	131
FIGURE III.4.10 – Etude des variations du produit RC	131
FIGURE III.4.11 – Modélisation d'une résistance à la masse par un amplificateur transconductance	133
FIGURE III.4.12 – OTA réalisé à partir d'une paire différentielle chargée par un miroir de courant	134
FIGURE III.4.13 – Courant simulé généré par M_{source} en fonction de la tension de contrôle v_c pour $V_{DS,source} = 1V$	135
FIGURE III.4.14 – Amplificateur transconductance télescopique cascode	135
FIGURE III.4.15 – Filtre passe-haut du premier ordre configurable avec un OTA en tant que résistance variable	136
FIGURE III.4.16 – Simulation du filtre passe-haut du premier ordre configurable avec un OTA en tant que résistance variable	137
FIGURE III.4.17 – Amplificateur à transconductance à paramétrage étendu	138
FIGURE III.4.18 – Simulation du filtre passe-haut du premier ordre configurable avec un EOTA en tant que résistance variable	139
FIGURE III.4.19 – Implantation du circuit déphaseur, incluant deux DDCC et un EOTA confi- guré en résistance variable mise à la masse	139
FIGURE III.4.20 – Simulation du déphaseur avec v_c fixe	140
FIGURE III.4.21 – Simulation du circuit déphaseur : augmentation de la tension de contrôle de 600mV à 850mV par pas de 50mV toutes les 20ns	141
FIGURE III.4.22 – Simulation du circuit déphaseur : diminution de la tension de contrôle de 850mV à 600mV par pas de 50mV toutes les 20ns	141
FIGURE III.4.23 – Simulation du circuit déphaseur : variation de phase maximale (105°)	142
FIGURE III.4.24 – Simulation du circuit déphaseur : variation de phase de 41°	142
FIGURE III.4.25 – Approximation du déphasage en fonction de la tension de contrôle à l'aide d'un polynôme d'ordre deux	143
FIGURE III.5.1 – Caractéristique de la tension de commande du VGA associée au HPA TEDCNES en fonction de V_{pwr}	146
FIGURE III.5.2 – Approximation par réseau de neurones intégré de la tension de commande du VGA associée au HPA TEDCNES	146
FIGURE III.5.3 – Linéarisation en amplitude de l'amplificateur de puissance TEDCNES à l'aide d'un réseau de neurones intégré	147
FIGURE III.5.4 – Rappel de la réponse du circuit déphaseur en fonction de la tension de contrôle	148
FIGURE III.5.5 – Caractéristique de la tension de commande du déphaseur associée à l'ampli- ficateur TEDCNES	148
FIGURE III.5.6 – Approximation par réseau de neurones intégré de la tension de commande du déphaseur associée au HPA TEDCNES	149
FIGURE III.5.7 – Déphasage en sortie du circuit déphaseur piloté par réseau de neurones intégré en fonction de V_{pwr} pour la linéarisation en phase de l'amplificateur TEDCNES	149
FIGURE III.5.8 – Linéarisation en phase de l'amplificateur de puissance TEDCNES à l'aide d'un réseau de neurones intégré	150
FIGURE A.1 – Représentation temporelle et fréquentielle d'un signal à deux porteuses	161

TABLE DES FIGURES

FIGURE A.2 – Représentations fréquentielle de la réponse d'un composant non-linéaire à un signal à deux tons permettant de mesurer le rapport C/I	162
FIGURE A.3 – Principe de calcul de l'ACPR	162
FIGURE A.4 – Représentation fréquentielle des signaux d'entrée et de sortie d'un composant non-linéaire lors d'une mesure de NPR	163
FIGURE A.5 – Représentation de l'EVM sur un diagramme de constellation	163
FIGURE A.6 – Gain d'un amplificateur de puissance en fonction de la fréquence et de la puissance en entrée d'amplificateur mettant en évidence les effets mémoires Hautes Fréquences (HF)	164
FIGURE A.7 – Mise en évidence des effets mémoires HF lors d'une caractérisation par un signal à deux tons	165
FIGURE A.8 – Mise en évidence des effets mémoires HF sur la caractéristique AM/PM de l'amplificateur TEDCNES	165
FIGURE A.9 – Caractéristiques AM/AM et AM/PM de deux amplificateurs excités par un signal à deux porteuses modulées	166
FIGURE A.10 – Conséquence des effets mémoire BF sur l'enveloppe du signal	166
FIGURE B.1 – Modélisation par séries de Volterra	171
FIGURE B.2 – Structure d'un filtre à réponse impulsionnelle finie	172
FIGURE B.3 – Approximation polynomiale des séries de Volterra	172
FIGURE B.4 – Modèle de Hammerstein	173
FIGURE B.5 – Modèle de Wiener	173
FIGURE B.6 – Modèle de Hammerstein-Wiener	173
FIGURE B.7 – Modèle de Wiener parallèle	174
FIGURE B.8 – Synthèse des séries de Volterra et dérivés	174
FIGURE B.9 – Prédistorsion à base de diode	177
FIGURE B.10 – Prédistorsion à base de transistors montés en cascode	177
FIGURE B.11 – Prédistorsion utilisant une table d'équivalence	178
FIGURE B.12 – Architecture générique de prédistorsion numérique	179
FIGURE B.13 – Architecture de prédistorsion à base de réseaux de neurones	180
FIGURE C.1 – Mise en évidence du phénomène de surajustement	184
FIGURE D.1 – Caractéristiques de transfert des modules de commande et caractéristiques linéarisées AM/AM et AM/PM de l'amplificateur ARABSAT4	189
FIGURE D.2 – Caractéristiques de transfert des modules de commande et caractéristiques linéarisées AM/AM et AM/PM de l'amplificateur TI9083-8	189
FIGURE D.3 – Résultats de l'étude statistique de calibrage des réseaux de neurones	190
FIGURE D.4 – Modélisation par réseaux de neurones des caractéristiques des modules de commande $P_{moy} \rightarrow G_{VGA}$ et $P_{moy} \rightarrow \phi$ associé à l'amplificateur ARABSAT4	191
FIGURE D.5 – Simulation de l'architecture de la figure II.2.10 et linéarisation de l'amplificateur de puissance ARABSAT4 à l'aide de réseaux de neurones	191
FIGURE D.6 – Modélisation par réseaux de neurones des caractéristiques des modules de commande $P_{moy} \rightarrow G_{VGA}$ et $P_{moy} \rightarrow \phi$ associé à l'amplificateur TI9083-8	192
FIGURE D.7 – Simulation de l'architecture de la figure II.2.10 et linéarisation de l'amplificateur de puissance TI9083-8 à l'aide de réseaux de neurones	192
FIGURE D.8 – Simulations du DDCC configuré en inverseur	193
FIGURE D.9 – Simulations du DDCC configuré en doubleur de tension	194

TABLE DES FIGURES

FIGURE D.10 – Approximation par réseau de neurones intégré des tensions de commande du VGA et du déphaseur associées au HPA ARABSAT4	194
FIGURE D.11 – Linéarisation de l’amplificateur de puissance ARABSAT4 à l’aide d’un réseau de neurones intégré	195
FIGURE D.12 – Approximation par réseau de neurones intégré des tensions de commande du VGA et du déphaseur associées au HPA TI9083-8	196
FIGURE D.13 – Linéarisation de l’amplificateur de puissance TI9083-8 à l’aide d’un réseau de neurones intégré	197

LISTE DES TABLEAUX

TABLEAU I.1.1 – Récapitulatif des performances des ATOP et SSPA	10
TABLEAU I.1.2 – Amplificateurs de puissance étudiés dans ces travaux de doctorat	11
TABLEAU II.1.1 – Tableau de valeurs des caractéristiques AM/AM et AM/PM d'un amplificateur de puissance ($i \in \llbracket 1; N \rrbracket$)	37
TABLEAU II.1.2 – Tableau de valeurs des caractéristiques AM/AM et AM/PM d'un amplificateur de puissance et des caractéristiques souhaitées en sortie de la chaîne de transmission linéarisée	38
TABLEAU II.1.3 – Caractéristiques de transfert d'un linéariseur par prédistorsion ($i \in \llbracket 1; N \rrbracket$)	39
TABLEAU II.2.1 – Tableau décrivant la caractéristique du détecteur de puissance ($a_{pwr} \in \mathbb{R}^+$)	52
TABLEAU II.2.2 – Tableau décrivant la caractéristique du module de commande $P_{moy} \rightarrow \phi$.	52
TABLEAU II.2.3 – Tableau décrivant la caractéristique de transfert du déphaseur	53
TABLEAU II.2.4 – Tableau décrivant la caractéristique du module de commande $P_{moy} \rightarrow G_{VGA}$ ($a_{VGA} \in \mathbb{R}^+$)	53
TABLEAU II.2.5 – Tableau décrivant la caractéristique de transfert du VGA	53
TABLEAU III.1.1 – Puissance moyenne de saturation en entrée et amplitude maximale du signal correspondante en fonction de l'amplificateur étudié, pour une charge de 50Ω .	70
TABLEAU III.2.1 – Principaux paramètres technologiques associés à la technologie AMS 0,35 μm	84
TABLEAU III.3.1 – Principales caractéristiques du circuit déphaseur	102
TABLEAU III.3.2 – Dimensionnement des transistors, des sources de courant et de la dynamique des signaux du multiplieur	105
TABLEAU III.3.3 – Dimensionnement de la source de courant et des transistors de l'additionneur	108
TABLEAU III.3.4 – Dimensionnement de l'étage de pré-amplification de la fonction tangente hyperbolique	110
TABLEAU III.3.5 – Dimensionnement de la paire différentielle réalisant la tangente hyperbolique	112
TABLEAU III.3.6 – Dimensionnement de l'amplificateur transimpédance	115
TABLEAU III.3.7 – Dimensionnement de la source de courant et des transistors du circuit de différentiation du signal d'entrée	117
TABLEAU III.3.8 – Dimensionnement de la source de courant et des transistors du circuit de différentiation du signal de poids	119
TABLEAU III.4.1 – Principales caractéristiques du circuit déphaseur	122
TABLEAU III.4.2 – Taille des transistors du DDCC	130
TABLEAU III.4.3 – Taille des transistors du DDCC et tensions de polarisation	137
TABLEAU B.8 – Comparaison des différentes techniques de modélisation de caractéristiques non-linéaires	176
TABLEAU B.13 – Comparaison des différentes implantations de linéariseur par prédistorsion	181

NOTATIONS

Acronymes

ACPR	<i>Adjacent Channel Power Ratio</i>
AMS	AustriaMicroSystem
ANN	<i>Analog Neural Network</i> ou Réseau de neurones analogique
APSK	<i>Amplitude and phase-shift keying</i> ou <i>Asymmetric Phase-Shift Keying</i>
ASIC	<i>Application Specific Integrated Circuit</i> ou Circuit intégré dédié à une application
ATOP	Amplificateur à Tube à Ondes Progressives
BF	Basses Fréquences
BFGS	Broyden-Fletcher-Goldfarb-Shanno
BPSK	<i>Binary Phase-Shift Keying</i>
CAN	Convertisseur Analogique-Numérique
C/I	<i>Carrier to Intermodulation Ratio</i>
CMOS	Complementary Metal Oxyde Semiconductor
CMP	Centre Multi-Projets
CMRR	<i>Common-Mode Reject Ratio</i> ou Rapport de Réjection de Mode Commun
CNES	Centre National d'Études Spatiales
CW	<i>Continous Wave</i>
DDA	<i>Differential Difference Amplifier</i> ou Amplificateur Différentiel de Différence
DDCC	<i>Differential Difference Current Conveyor</i> ou Convoyeur Différentiel de Différence de Courant
DGA	Direction Générale de l'Armement
DSP	<i>Digital Signal Processor</i> ou Processeur de Signal numérique
ENSEEIH	Ecole Nationale Supérieure d'Electronique, Electrotechnique, Informatique, Hydraulique et Télécommunications
EOTA	<i>Extended Operationnal Transconductance Amplifier</i> ou Amplificateur Opérationnel à Transconductance à paramétrage étendu
EVM	<i>Error Vector Measurement</i>
FI	Fréquence intermédiaire
FIR	<i>Finite Impule Response (Filter)</i> ou Filtre à réponse impulsionnelle finie
FPGA	<i>Field Programmable Gate Array</i> ou Réseau de Portes Programmables
HF	Hautes Fréquences

NOTATIONS

HPA	<i>High Power Amplifier</i> ou Amplificateur Haute Puissance
LUT	<i>Look-Up Table</i> ou Table d'équivalence
M-APSK	<i>M-states Amplitude and Phase-Shift Keying</i> ou <i>M-states Asymmetric Phase-Shift Keying</i>
MLP	<i>Multi-Layers Perceptron</i> ou Perceptron Multi-Couches
MOS	<i>Metal Oxyde Semiconductor</i>
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect</i>
M-PSK	<i>M-states Phase-Shift Keying</i>
M-QAM	<i>M-states Quadrature Amplitude Modulation</i>
NPR	<i>Noise Power Ratio</i>
OTA	<i>Operationnal Transconductance Amplifier</i> ou Amplificateur Opérationnel à Transconductance
PSK	<i>Phase-Shift Keying</i>
QAM	<i>Quadrature Amplitude Modulation</i>
QPSK	<i>Quadrature Phase-Shift Keying</i>
SSPA	<i>Solid-State Power Amplifier</i> ou Amplificateur de puissance à état solide
THD	<i>Total Harmonic Distortion</i> ou Taux de Distorsion Harmonique
VGA	<i>Variable Gain Amplifier</i> ou Amplificateur à Gain Variable
VLSI	<i>Very Large Scale Integration</i> ou Intégration à très grande échelle
WCDMA	<i>Wideband Code Division Multiple Access</i> ou Multiplexage par code à large bande

Symboles

Les symboles utilisées dans ce tapuscrit sont listés ci-dessous. Les valeurs de tension ou de courant exprimées en majuscule décrivent des grandeurs statiques ; celles exprimées en minuscule décrivent des grandeurs dynamiques. Les indices *e* et *s* se rapportent à des grandeurs respectivement d'entrée et de sortie.

A_{cm}	Gain de mode commun d'une paire différentielle
A_{diff}	Gain différentiel d'une paire différentielle
$A_{max,HPA}$	Amplitude maximale du signal en entrée de HPA (V)
$A_{max,Lin}$	Amplitude maximale du signal dans le linéariseur (V)
$b_{1,i}$	Biais <i>i</i> de la couche cachée d'un réseau de neurones
b_2	Biais de la couche de sortie d'un réseau de neurones
C_{DB}	Capacité Drain-Substrat (F)
C_{GB}	Capacité Grille-Substrat (F)
C_{GD}	Capacité Drain-Source (F)
C_{GS}	Capacité Grille-Source (F)
C_L	Capacité de charge d'un circuit (F)
C_{ox}	Capacité d'oxyde de grille par unité de surface (F/cm^2)
E	Fonction d'erreur au sens des moindres carrés
f_B	Fréquence d'un signal modulé en bande de base (Hz)

f_P	Fréquence de la porteuse (Hz)
f_S	Fréquence d'émission des symboles binaires (Hz)
G_{Ajust}	Gain permettant de réaliser $A_{max,HPA} \rightarrow A_{max,Lin}$
g_{DS}	Conductance de sortie d'un transistor ($= 1/r_{DS}$) (Ω^{-1})
$G_{idéal}$	Fonction de gain idéale d'un système linéarisé
g_L	Conductance de charge d'un circuit ($= 1/R_L$) (Ω^{-1})
G_L	Gain linéarisé idéal
g_m	Transconductance d'un transistor (Ω^{-1})
G_M	Transconductance d'une paire différentielle (Ω^{-1})
G_{VGA}	Gain réalisé par le VGA du linéariseur
i_D (ou I_D)	Courant de drain d'un transistor (A)
K_n (ou K_P)	$= \mu_n C_{ox}$ (ou $= \mu_p C_{ox}$)
$P_{e,HPA}$	Puissance moyenne du signal d'entrée d'un HPA (W)
$P_{e,Lin}$	Puissance moyenne du signal d'entrée d'un linéariseur
$P_{e,sat}$	Puissance moyenne du signal d'entrée à la saturation d'un HPA (W)
$P_{s,HPA}$	Puissance moyenne du signal de sortie d'un HPA (W)
$P_{s,Lin}$	Puissance moyenne du signal de sortie d'un linéariseur (W)
$P_{s,sat}$	Puissance moyenne du signal de sortie à saturation d'un HPA (W)
r_{DS}	Résistance de sortie d'un transistor ($= 1/g_{DS}$) (Ω)
R_L	Résistance de charge d'un circuit ($= 1/g_L$) (Ω)
T_S	Période symbole (s)
v_{BS} (ou V_{BS})	Tension Substrat-Source (V)
v_{cm}	Tension de mode commun en entrée d'une paire différentielle (V)
$V_{c,VGA}$	Contrôle du VGA du linéariseur, commandant un gain G_{VGA} (V)
$V_{c,\phi}$	Contrôle du déphaseur du linéariseur, commandant un déphasage ϕ (V)
V_{DD}	Tension d'alimentation positive (V)
v_{diff}	Tension différentielle en entrée d'une paire différentielle (V)
v_{DS} (ou V_{DS})	Tension Drain-Source (V)
$V_{DS,sat}$	Tension de saturation d'un transistor (V)
v_{GS} (ou V_{GS})	Tension Grille-Source (V)
V_{pwr}	Tension issue du détecteur de puissance du linéariseur, proportionnelle à la puissance moyenne du signal d'entrée en dBm (V)
V_{SS}	Tension d'alimentation négative (V)
V_T	Tension de seuil (V)
V_{T0}	Tension de seuil nominale (V)
$w_{1,i}$	Poids i de la couche cachée d'un réseau de neurones
$w_{2,i}$	Poids i de la couche de sortie d'un réseau de neurones
W_i/L_i	Largeur / Longueur du transistor i (μm)
γ_n (ou γ_p)	Coefficient d'effet substrat d'un composant N (ou P) ($V^{1/2}$)
$\theta_{idéal}$	Fonction de phase idéale d'un système linéarisé ($^\circ$)
θ_L	Phase linéarisée idéale ($^\circ$)
λ_n (ou λ_p)	Coefficient de modulation de canal pour un composant N (ou P) (V^{-1})
μ_n (ou μ_p)	Mobilité des porteurs de charges dans le canal pour un composant N (ou P) ($cm^{-2}/(V \cdot s)$)
σ	Symbole binaire
ϕ	Déphasage introduit par un linéariseur ($^\circ$)
Φ_P	Potentiel de surface substrat/grille ($V^{1/2}$)
ψ	Déphasage introduit par un amplificateur ($^\circ$)

INTRODUCTION

Les services de télécommunications – Internet, téléphone, télévision – occupent une place chaque jour plus importante dans notre vie quotidienne. Depuis 2005, le nombre de personnes utilisant un téléphone mobile a triplé, atteignant plus de 90% de la population mondiale ; le nombre d'utilisateurs d'Internet a doublé et, depuis 2007, le nombre d'utilisateurs d'Internet sur dispositif mobile (tablette ou smartphone) a quintuplé, comme l'illustre la figure 1 [1]. Les systèmes de communications, de stockage et d'échange de données sont désormais utilisés en permanence par un grand nombre de personnes dans le cadre privé ou professionnel et sont de plus en plus interconnectés [2].

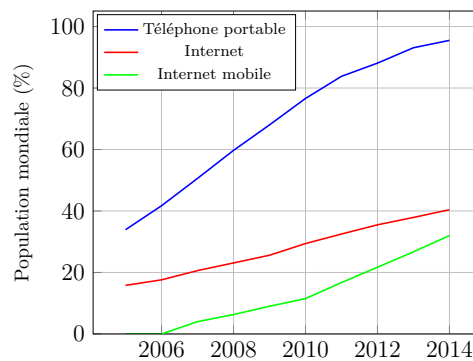


FIGURE 1 – Accès aux services de télécommunications de 2005 à aujourd'hui

Les revenus provenant des télécommunications spatiales ne représentent encore que 4% de l'ensemble des revenus générés par les télécommunications, mais le nombre de satellites mis en orbite et dédiés à cette application ou le nombre de systèmes de communications mixtes terrestres et spatiaux ne cesse de croître [3]. L'utilisation de satellites de télécommunications peut même se révéler indispensable lors de catastrophes majeures, ou dans des zones géographiques enclavées et/ou dépourvues d'infrastructures filaires [4, 5]. C'est pourquoi, avec plus de 600 satellites actifs en orbite autour de la Terre qui y sont consacrés, les technologies de télécommunications spatiales constituent aujourd'hui non seulement le premier secteur d'activité spatiale, mais surtout un domaine de recherches, de défis et d'enjeux majeurs [3, 6].

Dans ce contexte, la transmission de signaux entre le sol et un satellite ou entre un satellite et le sol doit présenter le moins de déformations possible. Or les amplificateurs de puissance (ou HPA pour *High Power Amplifier*) utilisés pour émettre ces signaux ont un comportement non-linéaire lorsqu'ils opèrent à forte puissance [7]. Dans certains types d'applications, la transmission de signaux est perturbée et il peut alors être intéressant d'implanter, dans la chaîne de transmission, un dispositif appelé linéariseur, chargé de réduire – voire d'éliminer – les non-linéarités introduites par le HPA [8].

Néanmoins, lorsque l'utilisation d'un linéariseur présente un intérêt, celui-ci doit être adapté spécifiquement à l'amplificateur de puissance utilisé, notamment sur des critères de fréquences de travail et de puissance des signaux traités. Par ailleurs, les caractéristiques de transfert d'un amplificateur évoluent ; à court terme d'abord, sous l'influence

INTRODUCTION

des variations de la température dans l'environnement du HPA ; à long terme ensuite, à cause du vieillissement des composants électroniques du système de télécommunications [9]. Ainsi, dans des contextes où la linéarisation des signaux échangés présente un intérêt, le développement d'un linéariseur paramétrable, capable de s'adapter à différents amplificateurs de puissance et aux dérives des caractéristiques de transfert des HPA se révèle particulièrement utile.

En parallèle de l'essor des télécommunications, la recherche dans le domaine des réseaux de neurones artificiels a connu une croissance exponentielle, comme en témoignent les statistiques du site ISI Web Of Science présentées sur la figure 2. Ces structures, composées de plusieurs éléments interconnectés appelés neurones, peuvent être entraînées à partir d'un nombre limité de données expérimentales dans le but – entre autres – de modéliser une fonction non linéaire. Les réseaux de neurones sont en outre des architectures reconfigurables en fonction des conditions d'utilisation, par l'intermédiaire d'un ensemble de paramètres appelés poids et biais. Un seul réseau de neurones est ainsi susceptible de modéliser des fonctions de linéarisation adaptées à différents amplificateurs utilisés dans différentes conditions, ou de contrôler d'autres structures dans l'optique de générer cesdites fonctions [10]. Les réseaux de neurones artificiels offrent enfin la possibilité d'être physiquement implantés directement au sein d'une application et apparaissent donc comme une solution adaptée au développement d'un linéariseur paramétrable.

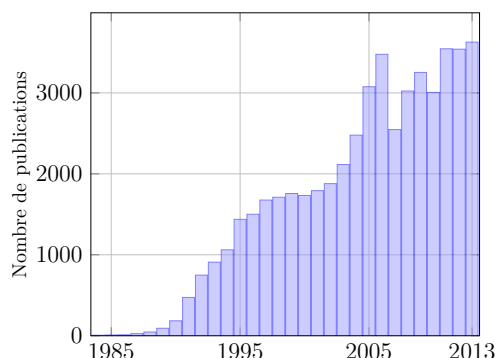


FIGURE 2 – Nombre de publications contenant les mots-clé “Neural Network”
(Source : ISI Web Of Science)

Dans la première partie de ce tapuscrit, les différentes technologies d'amplificateurs de puissance utilisées dans le domaine des télécommunications spatiales sont introduites, avec les avantages et les inconvénients liés à chaque technologie. Puis une méthode de représentation des non-linéarités que peuvent créer les amplificateurs sur un signal mono-porteuse est présentée. La nécessité de linéariser certains signaux est alors soulignée par la mise en parallèle de ces non-linéarités et de différentes techniques de modulation de signal utilisées en télécommunications. Enfin, les différentes techniques de linéarisation employées en télécommunications spatiales sont détaillées : les techniques *Feedforward* et à contre-réaction sont rappelées puis l'attention est portée plus spécifiquement sur la technique de linéarisation par prédistorsion qui sera la solution retenue pour la suite des travaux.

Dans une deuxième partie, une technique de détermination des caractéristiques de prédistorsion innovante, rapide et précise est développée. Plusieurs architectures de linéariseurs à prédistorsion sont alors proposées et la solution la plus adaptée à la problématique de ces travaux est mise en évidence. Apparaissant comme une solution adaptée pour modéliser les fonctions de prédistorsion mises en œuvre dans cette architecture, les réseaux de neurones, requérant peu de paramètres pour une grande précision, reconfigurables et implantables au sein d'un système électronique, sont ensuite présentés plus en détails. Les simulations comportementales de l'architecture retenue à partir de caractéristiques de trois amplificateurs fournies par le Centre National d'Études Spatiales (CNES) permettent enfin d'évaluer la finesse de modélisation des fonctions de prédistorsion par les réseaux de neurones et leur capacité à linéariser différents amplificateurs.

La troisième et dernière partie traite de la réalisation d'un démonstrateur basé sur l'architecture retenue. Il s'agit d'un ASIC analogique de prédistorsion couplé à une structure numérique de mise à jour des poids et biais des réseaux de neurones afin de rendre le système paramétrable et susceptible de s'adapter à différents amplificateurs de puissance. Le choix des principaux composants électroniques retenus pour réaliser le démonstrateur est justifié, puis le circuit intégré développé durant cette thèse et réalisant la prédistorsion analogique est présenté. Des simulations comportementales et structurelles permettent enfin d'estimer les performances du circuit paramétrable de prédistorsion à base de réseaux de neurones et d'évaluer les capacités du démonstrateur à linéariser différents amplificateurs de puissance.

Première partie

CONTEXTE DES TRAVAUX

Cette partie présente le contexte de ces travaux de doctorat.

Les différentes technologies utilisées pour concevoir des amplificateurs de puissances sont d'abord présentées. Une méthode classique de représentation des non-linéarités de ces amplificateurs est également détaillée. Puis, la nécessité de compenser ces distorsions en fonction de l'utilisation de l'amplificateur est discutée. Enfin, un état de l'art des différentes techniques de linéarisation est établi.

CHAPITRE 1

Les amplificateurs de puissance

Au cours de la dernière décennie, les incroyables progrès technologiques des télécommunications ont fait naître de nouveaux besoins chez l'utilisateur : celui-ci veut pouvoir accéder à tout moment et à n'importe quel endroit aux réseaux de télécommunications et y compris lorsqu'il se déplace. De plus, il demande des services toujours plus variés : au service de téléphonie vocal sont progressivement venus s'ajouter les services d'échanges de données, d'Internet, de vidéo, de musique, de télévision haute définition... Pour chacun de ces services, l'utilisateur désire en outre un débit toujours plus important associé à une qualité de service constante et irréprochable.

Pour satisfaire ces nouveaux besoins, l'utilisation du réseau hertzien a considérablement augmenté, jusqu'à saturer les bandes de fréquences allouées à chaque service. Les concepteurs de systèmes de télécommunications sont donc contraints de se tourner vers des fréquences toujours plus élevées et vers de nouvelles techniques de codage de l'information. L'inconvénient de ces nouvelles techniques est qu'elles sont très sensibles aux non-linéarités des amplificateurs de puissance.

Les HPA des systèmes de télécommunications permettent de conférer au signal émis par le système antennaire de l'émetteur une puissance suffisamment élevée pour que celui-ci puisse être reçu et décodé par le récepteur, pouvant se situer jusqu'à une distance de près de 36 000km dans le cas d'une transmission entre le sol et un satellite en orbite géostationnaire. La figure I.1.1 schématise une transmission et met en évidence le rôle de l'amplificateur de puissance. Les HPA constituent ainsi un des éléments essentiels d'une chaîne de télécommunications spatiales.

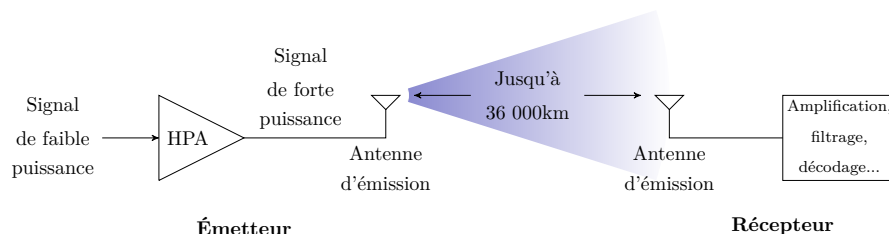


FIGURE I.1.1 – Schéma d'une transmission d'information entre un émetteur et un récepteur et mise en évidence du rôle de l'amplificateur de puissance

Dans la première partie de ce chapitre, les deux familles d'amplificateurs de puissance utilisés en télécommunications spatiales sont présentées et comparées : les Amplificateur à Tube à Ondes Progressives (ou ATOP) et les amplificateurs de puissance à état solide (ou SSPA pour *Solid-State Power Amplifier*). Dans une seconde partie, une

I.1. LES AMPLIFICATEURS DE PUISSANCE

technique classique de représentation et de quantification des non-linéarités introduites par les HPA est détaillée : les caractéristiques dites *Amplitude/Amplitude* (AM/AM) et *Amplitude/Phase* (AM/PM) monofréquences. Bien qu'il existe de nombreuses autres techniques de représentation des distorsions créées par les HPA, dont certaines sont présentées dans l'annexe A, les travaux exposés dans ce tapuscrit ne reposent que sur l'étude de ces représentations AM/AM et AM/PM mono-fréquences.

1.1 Les familles d'amplificateurs de puissance

Il existe deux grandes familles d'amplificateurs de puissance. La première est la famille des Amplificateur à Tube à Ondes Progressives développés dès les années 1940 [11–13]. La seconde, beaucoup plus récente, est la famille des amplificateurs de puissance à état solide, à base de transistors essentiellement, dont l'essor est principalement lié à la maîtrise des filières technologiques pour les semi-conducteurs.

1.1.1 Les amplificateurs à Tube à Ondes Progressives

Bien qu'ils existent depuis plus de 70 ans, les ATOP représentent aujourd'hui encore les amplificateurs les plus utilisés dans les systèmes de télécommunications spatiales, en raison de leur polyvalence, de leur fiabilité et de leur important rendement : près de 90% des satellites lancés depuis les années 1990 embarquent au moins un ATOP et 69% embarquent exclusivement cette technologie [14].

La vue schématique en coupe d'un ATOP est représentée sur la figure I.1.2. À une extrémité d'un tube à vide ① (10^{-7} à 10^{-9} hPa) est disposé un canon à électrons ② générant un faisceau d'électrons ③, focalisé grâce à des aimants ④ jusqu'à un collecteur ⑤. Le signal à amplifier transite entre deux guides d'onde ou coupleurs directionnels ⑦ et ⑧ via une hélice de cuivre ou de tungstène ⑥ entourant le faisceau d'électrons. L'amplification est produite grâce à un important échange d'énergie entre le faisceau d'électrons et le signal dans l'hélice.

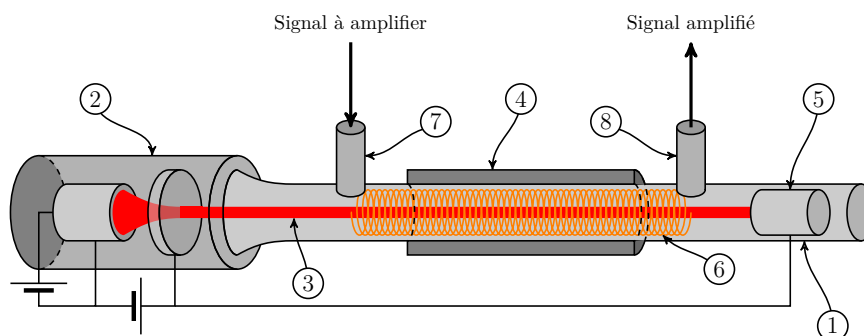


FIGURE I.1.2 – Vue en coupe d'un Amplificateur à Tube à Ondes Progressives

1.1.2 Les amplificateurs de puissance à état solide

Les amplificateurs de puissance à état solide sont apparus grâce aux incroyables progrès des filières technologiques pour les semi-conducteurs et constituent une alternative aux ATOP. Ils équipent néanmoins moins d'un satellite sur trois actuellement [14].

I.1.1. LES FAMILLES D'AMPLIFICATEURS DE PUISSANCE

Un amplificateur de puissance à état solide est généralement constitué de plusieurs éléments amplificateurs élémentaires réalisés à partir de transistors à Arséniure de Gallium (GaAs) ou à Nitrure de Gallium (GaN) et cascades, comme le représente la figure I.1.3 [15,16]. Des éléments passifs – des répartiteurs et combineurs de puissance – permettent de connecter les différents étages d'amplification entre eux.

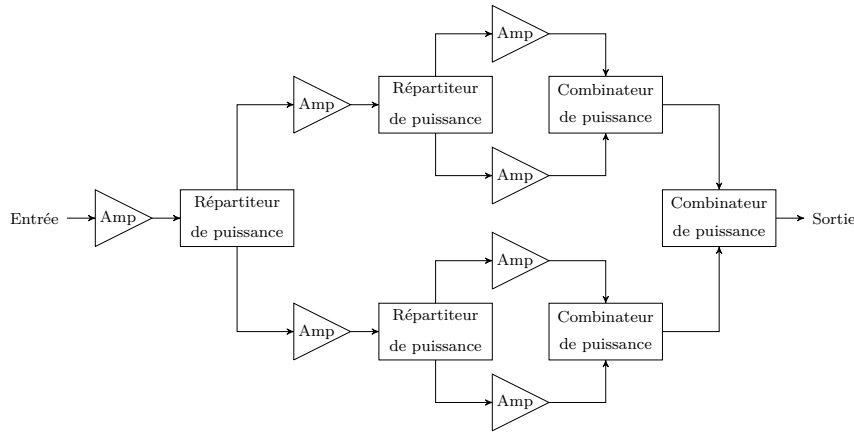


FIGURE I.1.3 – Architecture typique d'un amplificateur de puissance à état solide

1.1.3 Comparatif

Des amplificateurs de puissance à tube aussi bien qu'à état solide ont été utilisés avec succès dans le domaine des télécommunications spatiales. Ils ont chacun leurs avantages et leurs inconvénients, ce qui permet de sélectionner la technologie la plus adaptée à chaque application [15,17,18].

1.1.3.1 Puissance de sortie et linéarité

La technologie Tube à Ondes Progressives permet de concevoir des amplificateurs hyperfréquences à bande large et à très faible facteur de bruit, de moyenne ou forte puissance de sortie [15]. La puissance de sortie atteignable par la technologie à état solide est plus limitée. Si les fréquences atteignables avec les technologies semiconducteur sont plus élevées qu'avec la technologie à tube, les bandes de fréquences de travail des SSPA sont par ailleurs plus étroites [18].

En revanche, les SSPA conservent un comportement linéaire sur une plage de puissance d'entrée plus importante que les ATOP, et bénéficient donc d'une occupation spectrale moindre.

1.1.3.2 Rendement

Le rendement (ou l'efficacité) d'un amplificateur représente le rapport entre la puissance de sortie de l'amplificateur et la puissance d'alimentation nécessaire à son fonctionnement.

Le rendement des ATOP est très élevé : en ne prenant en compte que la consommation de l'amplificateur, il est en moyenne supérieur à 60%, et dépasse pour certains

I.1. LES AMPLIFICATEURS DE PUISSANCE

modèles les 70% [14, 19]. En prenant en compte la puissance consommée par le module d'alimentation, il est encore de près de 40% [15].

Les SSPA, en revanche, souffrent d'une efficacité médiocre, inférieure à 30% en moyenne pour l'amplificateur seul. En prenant en compte la consommation du module d'alimentation, elle chute même à 10% [15].

1.1.3.3 Encombrement et dissipation de la chaleur

La technologie à état solide permet la conception d'amplificateurs présentant une haute densité d'intégration pour un poids et un encombrement limités. Cependant, la chaleur générée par les transistors est très localisée et doit être rapidement évacuée afin de limiter le risque de panne. Ainsi, les amplificateurs à état solide requièrent des radiateurs très encombrants. La chaleur dégagée par un Tube à Ondes Progressives, en revanche, est répartie sur une plus large surface et est moins dangereuse pour l'amplificateur [15].

1.1.3.4 Fiabilité

Les systèmes à Tube à Ondes Progressives ont une durée de vie physiquement limitée par la capacité du canon à électrons. Leur mise en route est par ailleurs critique car le filament qui génère les électrons dans le tube est fragile et peut être instantanément fondu en cas d'erreur de polarisation. Théoriquement, les transistors ont, eux, une durée de vie illimitée et leur mise en route ne constitue pas un risque de panne.

Pourtant, la multiplication des éléments dans un SSPA (amplificateurs et éléments passifs) – et donc la multiplication du nombre de pannes potentielles – et la grande sensibilité des composants à la chaleur en font un dispositif moins fiable une fois en orbite que les ATOP, qui peuvent fonctionner à plus de 200°C pendant plus de 15 années en continu [15, 18].

1.1.3.5 Résumé

Le tableau I.1.1 résume le comparatif effectué ci-dessus entre les amplificateurs de puissance à Tube à Ondes Progressives et les amplificateurs de puissance à état solide. Lors de la conception d'un système de télécommunications spatiales, ces critères permettent d'évaluer la technologie la plus adaptée aux besoins de l'application. D'autres critères non-techniques, comme le coût des dispositifs ou les possibilités d'approvisionnement, entrent également en compte.

TABLEAU I.1.1 – Récapitulatif des performances des ATOP et SSPA

Critère	ATOP	SSPA
Puissance	+	-
Linéarité	-	+
Fréquences accessibles	-	+
Bande passante	+	-
Rendement	+	-
Encombrement	+	-
Fiabilité	+	-

Pour mesurer les performances d'un amplificateur, il est nécessaire de développer des méthodes permettant de quantifier différents critères d'évaluation. Pour l'étude de

I.1.2. UNE REPRÉSENTATION DES NON-LINÉARITÉS INTRODUITES PAR UN AMPLIFICATEUR DE PUISSANCE : LES CARACTÉRISTIQUES AM/AM ET AM/PM

techniques de linéarisation, il est ainsi indispensable de bénéficier d'outils mettant en évidence les non-linéarités introduites par les amplificateurs de puissance.

1.2 Une représentation des non-linéarités introduites par un amplificateur de puissance : les caractéristiques AM/AM et AM/PM

Il existe de nombreuses méthodes permettant de caractériser les non-linéarités d'un amplificateur de puissance. Néanmoins, une seule représentation de non-linéarités est présentée et utilisée dans ce document : les caractéristiques AM/AM et AM/PM. Cette représentation est l'une des plus couramment extraites lors de l'étude de HPA [20–22],

Elle consiste à appliquer en entrée de l'amplificateur de puissance un signal sinusoïdal pur à fréquence déterminée, dit CW (pour *Continuous Wave*) et d'en faire varier la puissance moyenne. Les relevés de la puissance moyenne et de la phase en sortie du HPA en fonction de la puissance moyenne du signal d'entrée représentent les caractéristiques respectivement en amplitude AM/AM et en phase AM/PM de l'amplificateur. En répétant cette procédure pour différentes fréquences de signal d'entrée, il est possible d'évaluer également le comportement fréquentiel de l'amplificateur. Les travaux présentés dans ce tapuscrit se limitent néanmoins à l'étude des caractéristiques AM/AM et AM/PM à une seule fréquence.

Trois amplificateurs de puissance, dont les caractéristiques principales sont résumées dans le tableau I.1.2, sont utilisés dans ce tapuscrit. Leurs caractéristiques AM/AM et AM/PM, fournies par le CNES, sont présentées sur la figure I.1.4.

TABLEAU I.1.2 – Amplificateurs de puissance étudiés dans ces travaux de doctorat

Désignation	Technologie	Puissance maximale (W)	Bande de fréquence
TEDCNES	ATOP	170W	Bande Ka
ARABSAT4	ATOP	110W	Bande Ku
TI9083-8	SSPA	65W	Bandes C et X

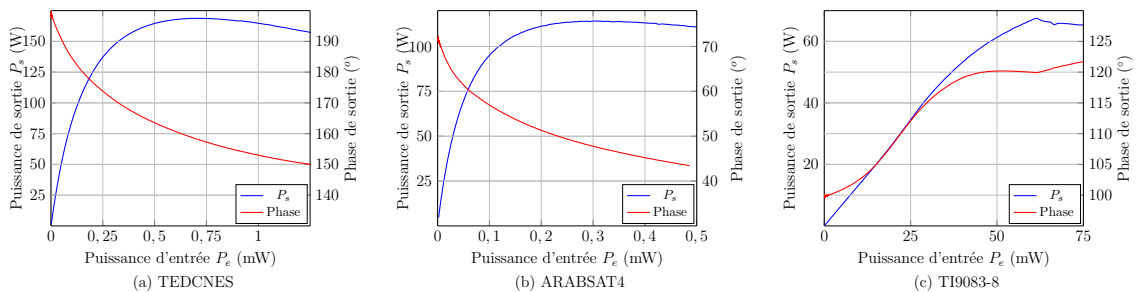


FIGURE I.1.4 – Caractéristiques AM/AM (en bleu) et AM/PM (en rouge) des amplificateurs TEDCNES (a), ARABSAT4 (b) et TI9083-8 (c)

Les courbes de puissance (en bleu) présentent une similitude : elles sont linéaires pour de faibles puissances d'entrée, puis, à plus forte puissance, une compression se produit jusqu'à un point de saturation ($P_{e,sat}$, $P_{s,sat}$) pour lequel la puissance de sortie est

I.1. LES AMPLIFICATEURS DE PUISSANCE

maximale et au-delà duquel elle diminue. En revanche, les courbes de phase (en rouge) ne présentent pas de similitude particulière de courbure ou de pente.

Un critère de mesure de non-linéarité peut être directement extrait de la caractéristique AM/AM d'un amplificateur : le point de compression à 1dB. Il s'agit du point de la caractéristique AM/AM résultant d'un affaiblissement de 1dB de la puissance de sortie réelle par rapport à la puissance de sortie linéaire idéale, comme le schématise la figure I.1.5. Les amplificateurs de puissance à état solide ont généralement un point de compression à 1dB plus proche de leur point de saturation que les Amplificateurs à Tube à Ondes Progressives. Ainsi, ils conservent un comportement linéaire sur une grande partie de leur puissance d'entrée admissible. En revanche, leur puissance de saturation est moindre [15].

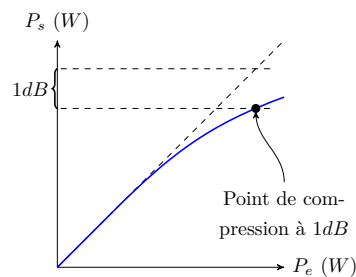


FIGURE I.1.5 – Détermination du point de compression à 1db

1.3 Conclusion

Dans ce chapitre, les deux grandes familles d'amplificateurs de puissance – les amplificateurs à Tube à Ondes Progressives et les amplificateurs à état solide – ont été présentées. Chacune possède des avantages et des inconvénients permettant d'évaluer la technologie la plus adaptée à une application précise.

Dans les travaux présentés dans ce tapuscrit, seul le critère de linéarité des amplificateurs est pris en compte. Plus particulièrement, seule la linéarisation des caractéristiques AM/AM et AM/PM mono-porteuses est étudiée. D'autres techniques de représentation des non-linéarités introduites par les amplificateurs de puissance sont présentées dans l'annexe A. Par ailleurs, le système de transmission est supposé fonctionner en bande étroite, c'est-à-dire que la largeur de la bande de fréquence de travail est suffisamment faible pour considérer que le comportement des éléments traversés est le même sur toute cette bande. Enfin, les HPA sont supposés sans mémoire, c'est-à-dire que leurs caractéristiques ne dépendent que de la puissance moyenne du signal à son entrée et non de la fréquence de fonctionnement ou des conditions d'utilisation et environnementales. Les effets mémoire sont présentés plus en détail dans l'annexe A.

La linéarisation d'un amplificateur de puissance n'est pas toujours nécessaire. Le chapitre suivant présente les différentes techniques de codage de l'information d'un signal

I.1.3. CONCLUSION

de télécommunications et dans quel cas les non-linéarités de l'amplificateur de puissance doivent être compensées.

CHAPITRE 2

Le potentiel besoin de linéarisation

Les informations échangées en télécommunications spatiales sont des données numériques codées à l'intérieur d'un signal analogique. Les données numériques sont constituées de trames de bits, c'est-à-dire de successions de 0 et de 1. Ces trames sont mises sous forme de symboles binaires : 00, 01, 10 et 11 pour des symboles de 2 bits, 000, 001, ... pour des symboles de 3 bits, etc. A chaque symbole est alors associé un équivalent analogique. La transformation du symbole binaire en signal analogique est appelée *modulation du signal*.

La nécessité de transmettre des informations à des débits toujours plus élevés a conduit à l'élaboration de nouvelles techniques de modulation du signal, qui permettent notamment de transmettre de plus en plus de bits d'information par symbole numérique. Ainsi, en multipliant par deux le nombre de bits transmis par symbole, il est possible de transmettre deux fois plus d'information en conservant la même fréquence d'émission, ou de maintenir le débit en réduisant la bande passante utilisée par deux.

Dans ce chapitre, les différentes étapes de codage du signal permettant de produire, à partir d'une trame numérique, un signal exploitable par un amplificateur de puissance, sont brièvement présentées. Une technique de représentation des modulations de signal est ensuite décrite : le diagramme de constellation. Les impacts des non-linéarités AM/AM et AM/PM sur ces constellations sont alors détaillés. Enfin, différentes modulations sont présentées. Pour chacune, l'influence des distorsions introduites par un amplificateur de puissance et, en conséquence, le potentiel besoin de linéariser le signal émis sont étudiés.

2.1 Codage d'une donnée numérique en un signal exploitable par l'amplificateur

Plaçons-nous dans le cas d'une transmission de données numériques du sol vers un satellite. Les bits d'une trame sont d'abord regroupés en symboles binaires de plusieurs bits. A chaque symbole est alors associé un signal analogique, généré grâce à un convertisseur numérique-analogique et dont les propriétés (forme, amplitude, fréquence, phase) dépendent de la modulation choisie. Plusieurs formes de modulations sont présentées dans la suite du chapitre. Un filtre de mise en forme, numérique ou analogique, permet d'améliorer le transfert du signal dans les éléments non linéaires et dans le canal de transmission, en rejetant notamment les bandes de fréquences en dehors de la bande d'intérêt du signal.

Lors d'une transmission de données, un signal analogique modulé, correspondant à un symbole numérique, est émis pendant un intervalle de temps T_S (appelé *période symbole*), puis un nouveau signal analogique, correspondant à un nouveau symbole, est émis pendant T_S , etc. Dans la suite, la fréquence d'émission des symboles est notée :

I.2. LE POTENTIEL BESOIN DE LINÉARISATION

$f_S (= 1/T_S)$; en pratique, elle est de l'ordre de quelques dizaines de MHz.

Le signal analogique modulé, en bande de base, occupe une largeur de bande B autour d'une fréquence f_B ($[f_B - B/2; f_B + B/2]$). Ce signal est alors transposé à une fréquence supérieure au GHz, grâce à un mélangeur, qui multiplie le signal analogique avec un signal sinusoïdal pur de fréquence f_P , appelé *porteuse*. Le signal transposé occupe deux bandes de fréquence $f_P - [f_B - B/2; f_B + B/2]$ et $f_P + [f_B - B/2; f_B + B/2]$. Un filtre permet enfin de ne sélectionner qu'une des deux bandes de fréquence, adaptée à la fréquence de fonctionnement de l'amplificateur de puissance utilisé. Le signal transposé peut alors être appliqué au HPA et émis via l'antenne d'émission.

Le signal transposé n'est pas observable sur les oscilloscopes conventionnels car il n'existe pas de système numérique capable d'échantillonner un signal à une fréquence supérieure au GHz avec suffisamment de bits utiles. Seules les valeurs moyennes de puissance et de phase du signal sont accessibles. Les caractéristiques AM/AM et AM/PM sont ainsi tracées en appliquant à l'amplificateur des porteuses non modulées à différentes valeurs de puissance moyenne et de fréquence et en mesurant à chaque fois la puissance moyenne et la phase moyenne en sortie du HPA. La figure I.2.1 représente la chaîne de codage d'une donnée numérique en un signal exploitable par l'amplificateur.

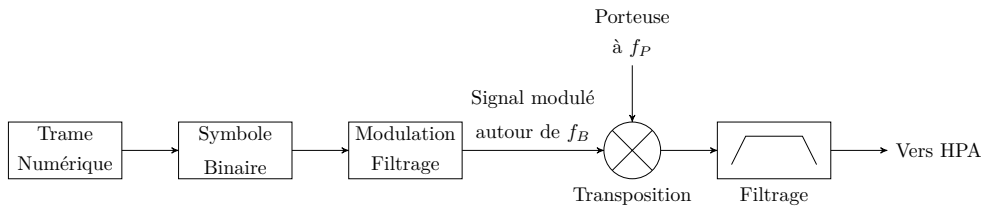


FIGURE I.2.1 – Chaîne de codage d'une donnée numérique

Ce tapuscrit se limite à l'étude de signaux modulés par un sinus pur. Nous supposons en outre que le filtre de mise en forme est transparent. Ainsi, le signal traité est sinusoïdal pur mono-fréquence. Nous supposons également qu'une période de signal modulé en bande de base code un symbole numérique : $f_B = f_S$. Dans ce cadre, une technique de représentation des symboles associés à une modulation est présentée au paragraphe suivant : le diagramme de constellation. L'impact des non-linéarités introduites par les amplificateurs de puissance sur ce diagramme et le besoin éventuel de linéarisation sont également expliqués.

2.2 Le diagramme de constellation d'une modulation de signal mono-fréquence

2.2.1 Description des signaux modulés et transposés

Dans une transmission de données dans le cadre défini ci-dessus, un symbole binaire σ_0 est associé à un signal sinusoïdal de la forme (avant transposition en fréquence) $A(\sigma_0)\cos(2\pi f_S t + \psi(\sigma_0))$ où $A(\sigma_0)$ et $\psi(\sigma_0)$ représentent respectivement l'amplitude et la phase du signal modulé σ_0 . Il est émis pendant un intervalle de temps T_S . Puis l'amplitude et/ou la phase du signal sont modifiées pour émettre un nouveau symbole σ_1 associé à un signal analogique de la forme $A(\sigma_1)\cos(2\pi f_S t + \psi(\sigma_1))$ avec $A(\sigma_0) \neq A(\sigma_1)$ et/ou $\psi(\sigma_0) \neq \psi(\sigma_1)$ pendant T_S , etc. Les valeurs $A(\sigma_i)$, $i \in [0, m - 1]$ et $\psi(\sigma_j)$, $j \in [0, n - 1]$

I.2.2. LE DIAGRAMME DE CONSTELLATION D'UNE MODULATION DE SIGNAL MONO-FRÉQUENCE

ainsi que leur nombre m et n sont parfaitement définis pour chaque modulation. Le nombre de symboles binaires possibles pour une modulation donnée est $m \cdot n$.

La figure I.2.2 fournit un exemple de signal codant 4 bits successivement (1-0-0-1) pour une modulation à une seule valeur d'amplitude et deux valeurs de phase (0 et 180°). Cette modulation ne permet donc que de transmettre 2 symboles binaires différents (0 en bleu, 1 en rouge).

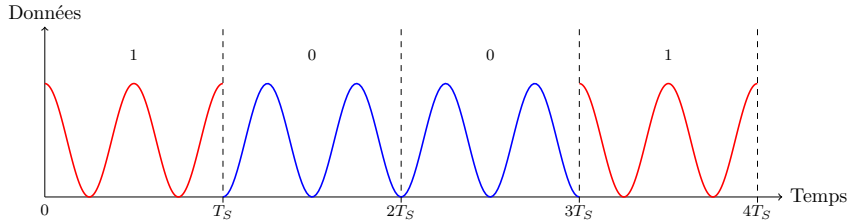


FIGURE I.2.2 – Exemple de transmission mono-porteuse

Avant d'être appliqué à l'amplificateur, le signal analogique est transposé à haute fréquence. Dans toute la suite du tapuscrit, la transposition est supposée transparente : elle n'affecte ni l'amplitude moyenne, ni la phase moyenne du signal. Le signal analogique associé au symbole σ_0 après transposition peut ainsi s'écrire $A(\sigma_0)\cos(2\pi(f_s \pm f_P)t + \psi(\sigma_0))$ (le signe \pm dépend du filtrage après transposition). Par conséquent, les raisonnements qui suivent, effectués en toute rigueur sur les valeurs moyennes de la porteuse HF, peuvent être menés de façon équivalente sur l'enveloppe du signal modulé et, lorsqu'il est fait mention de symbole binaire (ou du signal analogique associé), celui-ci peut représenter indifféremment le signal avant ou après transposition.

Pour être décodé par un récepteur, le signal reçu en HF est transposé en bande de base, filtré et numérisé. Comme pour le codage, les étapes de transposition en bande de base, filtrage et numérisation liées au décodage sont supposées transparentes et donc n'affectent pas l'amplitude moyenne ou la phase moyenne du signal.

2.2.2 Le diagramme de constellation

Il est possible de décrire tous les symboles binaires associés à une modulation en les représentant dans un plan complexe : chaque symbole σ_i est un point du plan de module $|A(\sigma_i)|$ et de phase $\psi(\sigma_i)$ rapporté sur un repère I/Q où l'axe des abscisses I représente la partie réelle des symboles (*In phase*) et l'axe Q leur partie imaginaire (*in Quadrature*). Cette représentation est appelée *diagramme de constellation de la modulation* et est illustrée sur la figure I.2.3.

2.2.3 Impact des non-linéarités des HPA sur les diagrammes de constellation

Pour un amplificateur de puissance parfait, c'est-à-dire avec un gain linéaire constant G_L et un déphasage constant θ_L quelle que soit la puissance moyenne du signal d'entrée, le diagramme de constellation en sortie du HPA se déduit tout entier du diagramme en entrée par une homothétie de facteur G_L et une rotation d'angle θ_L . Cependant, à forte puissance d'entrée, la caractéristique AM/AM d'un amplificateur subit une compression. En outre, la caractéristique AM/PM évolue sur toute la gamme de puissance d'entrée.

I.2. LE POTENTIEL BESOIN DE LINÉARISATION

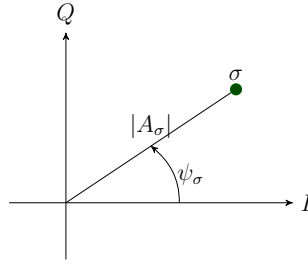


FIGURE I.2.3 – Représentation d'un symbole binaire sur un diagramme de constellation

Ainsi, sur le diagramme de constellation en sortie d'un amplificateur réel, chaque symbole est décalé par rapport à sa position théorique, comme le représente la figure I.2.4.

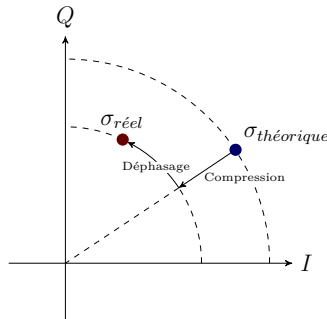


FIGURE I.2.4 – Impact des non-linéarités d'un amplificateur de puissance sur la position des symboles binaires sur le diagramme de constellation

Ces déplacements peuvent se révéler particulièrement problématiques lors de la réception et du décodage du signal : en effet, si, sous l'influence des non-linéarités introduites par l'amplificateur, deux symboles sont très proches sur le diagramme de constellation, il peut être difficile d'associer les symboles aux bons codes binaires, et des erreurs d'interprétation de données peuvent se produire.

La suite du chapitre présente différentes techniques de modulation et les diagrammes de constellation associés et analyse le besoin de linéariser le signal dans chaque cas.

2.3 Modulations de signaux monoporteuses

2.3.1 La modulation de phase à M états

2.3.1.1 Principe

La modulation de phase à M états (ou M-PSK pour *M-states Phase-Shift Keying*) est une forme de modulation numérique véhiculant l'information binaire uniquement via la phase du signal. Elle permet de transmettre M symboles binaires différents, chaque symbole σ_i ayant une amplitude constante A et une phase $\psi(\sigma_i)$ ($i \in [1, M]$), les valeurs de phase étant uniformément réparties et espacées de $2\pi/M$.

La figure I.2.5 représente les diagrammes de constellation des modulations 2-PSK (aussi appelée BPSK pour *Binary Phase-Shift Keying*), 4-PSK (aussi appelée QPSK pour *Quadrature Phase-Shift Keying*), 8-PSK et 16-PSK.

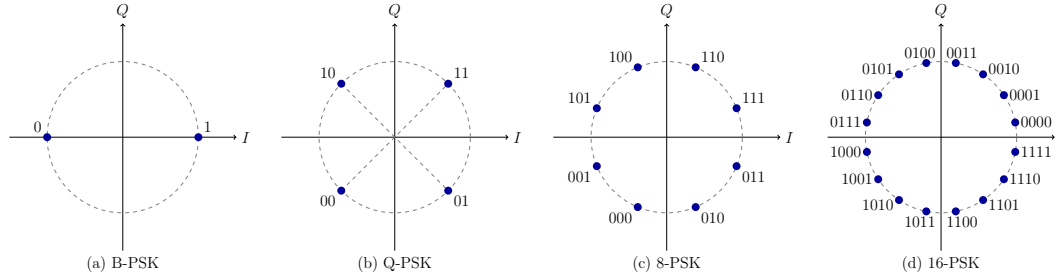


FIGURE I.2.5 – Diagrammes de constellation des modulations BPSK (a), QPSK (b), 8-PSK (c) et 16-PSK (d)

2.3.1.2 Nécessité de linéarisation

Quel que soit le signal analogique traversant l'amplificateur, sa puissance moyenne est constante, égale à $P_{moy} = A^2/2R_e$ où R_e représente la résistance d'entrée de l'amplificateur. Ainsi, les courbes AM/AM et AM/PM sont toujours excitées avec la même puissance d'entrée P_{moy} . En sortie de l'amplificateur, le signal garde donc toujours la même amplitude (A multiplié par le gain G en P_{moy}) et tous les symboles sont déphasés d'un même angle $\psi(P_{moy})$. Ainsi, le diagramme de constellation en sortie de l'amplificateur se déduit de celui en entrée par une homothétie de facteur $A \cdot G(P_{moy})$ et d'une rotation d'angle $\psi(P_{moy})$. Les symboles restent donc distants (en phase) du même angle $2\pi/M$. Comme la constellation n'est pas déformée, en se limitant au cadre établi dans cette thèse, la modulation M -PSK ne nécessite pas de linéarisation.

Entre l'émission et la réception d'un signal entre deux antennes, le signal peut toutefois être perturbé, par l'atmosphère par exemple lors d'une transmission Satellite-Sol. Ainsi, la constellation reçue peut tout de même être déformée et difficile à interpréter, notamment lorsque les symboles sont proches à l'émission comme pour une modulation 16-PSK. Pour atteindre des débits de transmission supérieurs tout en conservant un taux d'erreur de bit faible, il est nécessaire d'utiliser un type de modulation plus complexe associant l'amplitude et la phase (QAM et APSK).

2.3.2 Les modulations d'amplitude et de phase à M états

2.3.2.1 Principe

Les modulations d'amplitude en quadrature à M états (M-QAM) et de phase asymétrique (APSK) associent une modulation d'amplitude à une modulation de phase. L'amplitude et la phase du signal peuvent ainsi être simultanément modifiées en fonction de l'information à transmettre. La figure I.2.6 représente les diagrammes de constellation de deux modulations QAM (en haut) et de deux modulations APSK (en bas). La modulation APSK présente l'avantage, par rapport à la modulation M-QAM, d'utiliser un

I.2. LE POTENTIEL BESOIN DE LINÉARISATION

plus petit nombre de niveaux d'amplitude, ce qui peut faciliter à la fois le codage et le décodage des symboles binaires.

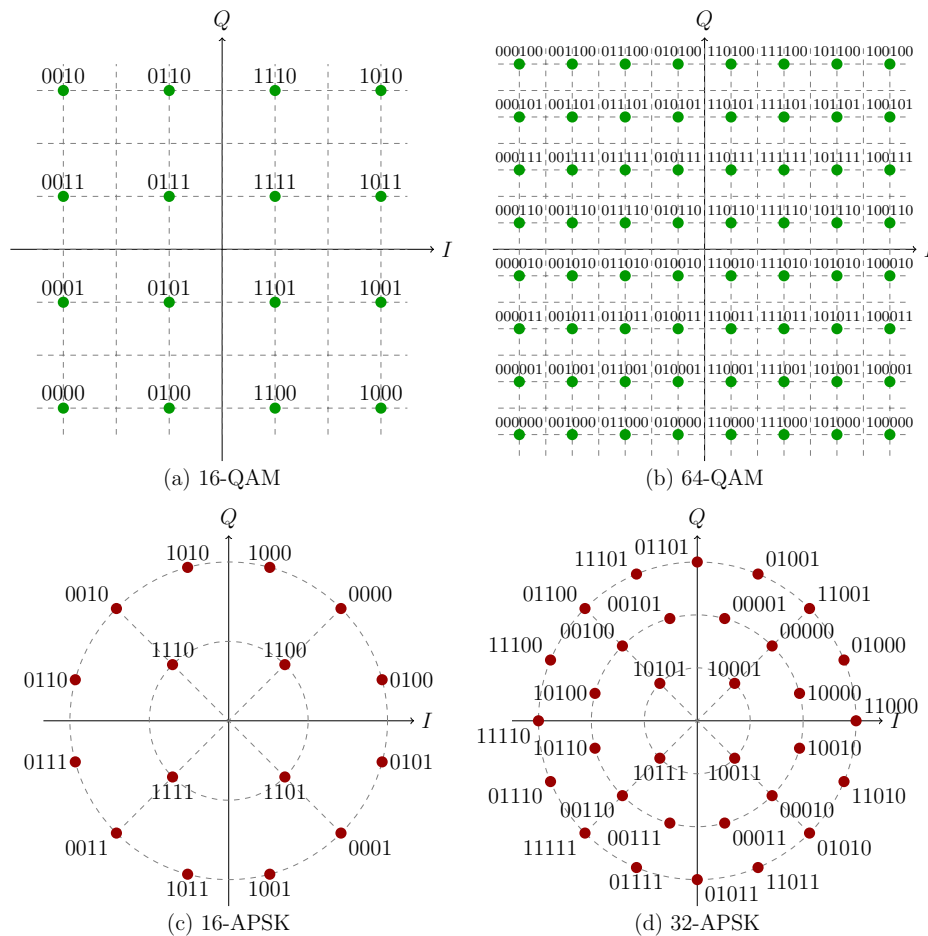


FIGURE I.2.6 – Diagrammes de constellation des modulations 16-QAM (a), 64-QAM (b), 16-APSK (c) et 32-APSK (d)

Les modulations d'amplitude et de phase sont employées dans de nombreux domaines. Par exemple, la modulation 64-QAM est utilisée dans les systèmes de télévision PAL et NTSC. La version 256-QAM est également utilisée pour la télévision numérique par câble. Enfin, les versions 16-QAM et 64-QAM sont utilisées en téléphonie mobile 3G HSPA+ et LTE. Les modulations 16-APSK et 32-APSK sont, elles, préconisées pour la norme DVBS-S2 développée en 2005 et permettant notamment la transmission de télévision numérique haute définition par satellite.

2.3.2.2 Nécessité de linéarisation

Dans le cas d'une modulation d'amplitude et de phase, le signal analogique représentant un symbole numérique σ a une amplitude $A(\sigma)$ et une phase $\psi(\sigma)$ variables. Sa puissance moyenne sur une période est $P_{moy}(\sigma) = A(\sigma)^2/2R_e$: elle dépend du symbole. Ainsi, lorsque le signal traverse le HPA, il excite les courbes AM/AM et AM/PM à différentes valeurs de puissance moyenne d'entrée. A forte puissance d'entrée, le signal de sortie est comprimé. Par ailleurs, des symboles associés à des signaux analogiques de puissances moyennes différentes seront déphasés d'angles différents. Ainsi, la constellation en sortie

de l'amplificateur est fortement déformée, comme l'illustre la figure I.2.7, et le décodage, après transposition en bande de base, filtrage et numérisation, peut être difficile. *Lors de l'utilisation de modulations d'amplitude et de phase à forte puissance, la linéarisation peut donc s'avérer nécessaire, notamment dans des applications nécessitant une forte linéarité ou utilisant un codage en amplitude avec un grand nombre d'états possibles.* Le linéariseur doit en particulier être capable de modifier la puissance moyenne et la phase moyenne du signal modulé en entrée de l'amplificateur (avant ou après transposition) en fonction de sa puissance moyenne sur une période.

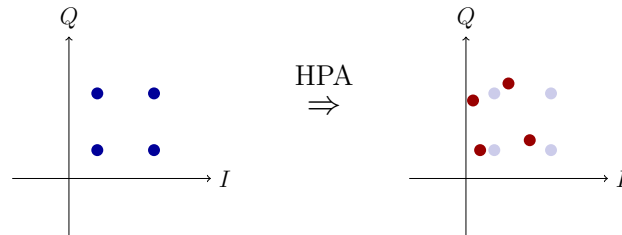


FIGURE I.2.7 – Exemple de déformation d'un diagramme de constellation d'une modulation en amplitude et en phase sous l'influence des non-linéarités d'un amplificateur de puissance

2.4 Conclusion

Ce chapitre a présenté différentes techniques de modulation de signal. En fonction de l'application et de la modulation associée, il peut être nécessaire de linéariser l'amplificateur utilisé. En particulier, le linéariseur doit être en mesure de modifier à la fois la phase et la puissance moyenne du signal modulé sur une période.

Le chapitre suivant présente différentes techniques de linéarisation. La comparaison de ces méthodes permet notamment de sélectionner la plus adaptée à notre problématique. Elle sera utilisée pour la conception d'un linéariseur susceptible de s'adapter à plusieurs amplificateurs de puissance dans la suite du tapuscrit.

CHAPITRE 3

Les solutions pour prévenir ou corriger les non-linéarités

Ce chapitre détaille différentes techniques permettant de contourner ou de pallier les défauts des amplificateurs de puissance : l'utilisation des HPA en recul (ou en *back-off*) permet de prévenir l'apparition des non-linéarités tandis que les méthodes d'égalisation et de linéarisation ont pour but de les atténuer, voire de les éliminer. Différentes implantations de systèmes de linéarisation sont ensuite présentées : les techniques *Feedforward* et à contre-réaction et, surtout, la prédistorsion. A l'issue de ce chapitre, la technique la plus adaptée à la conception d'un linéariseur susceptible de s'adapter à plusieurs amplificateurs de puissance est définie.

3.1 L'utilisation de l'amplificateur en recul

Afin d'obtenir en sortie d'amplificateur de puissance un signal linéaire, il est possible d'utiliser le HPA en aval de sa puissance de saturation, dans une zone où sa caractéristique AM/AM est plus linéaire, comme l'illustre la figure I.3.1 [23]. Cette technique est appelée *back-off*.

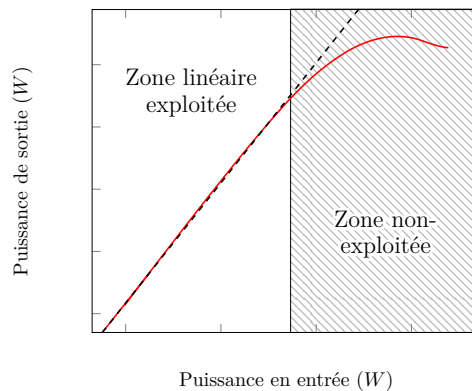


FIGURE I.3.1 – Utilisation d'un amplificateur en *back-off*

En utilisant l'amplificateur en recul, l'apparition de non-linéarités en sortie de l'amplificateur est limitée. En effet, comme le paragraphe 2.3.2.2 le souligne, la présence d'un linéariseur n'est nécessaire que dans la zone où des non-linéarités des courbes AM/AM et AM/PM apparaissent (*i.e.* pour des puissances proches de la saturation) et que si l'application le justifie. Néanmoins, utiliser un HPA en recul ne permet pas d'optimiser le rendement de l'amplificateur. En effet, pour la même consommation, l'amplificateur génère une puissance inférieure à la puissance maximale qu'il est capable de fournir. En

I.3. LES SOLUTIONS POUR PRÉVENIR OU CORRIGER LES NON-LINÉARITÉS

outre, même si les distorsions en phase ne sont pas très prononcées à faible puissance (voir la figure I.1.4), cette technique ne permet pas de les éliminer totalement. Il peut donc être préférable de développer des techniques de corrections de non-linéarités afin de bénéficier de caractéristiques AM/AM et AM/PM linéaires sur toute la puissance d'entrée admissible de l'amplificateur.

3.2 L'égalisation ou la post-distorsion

La technique d'égalisation (ou de post-distorsion) consiste à reconstruire le signal au niveau du récepteur afin de limiter les erreurs de décodage. Elle est particulièrement efficace lorsque l'on possède des informations sur le signal reçu (fréquence, type de modulation utilisée) et une connaissance approximative des distorsions introduites par l'amplificateur et dues au trajet entre les antennes d'émission et de réception [23–26].

La technique d'égalisation permet l'utilisation d'un amplificateur de puissance sur toute sa dynamique de puissance. Cependant, sa mise en œuvre dépend – entre autres – du HPA employé, de ses conditions d'utilisation et nécessite un traitement relativement lourd en vue de s'adapter aux éventuelles dérives de l'amplificateur. Un système plus polyvalent peut être utilisé : un linéariseur.

3.3 La linéarisation

La linéarisation consiste à déformer le signal en amont de l'amplificateur de manière à ce que la caractéristique globale de sortie du système “Linéariseur + Amplificateur” soit linéaire sur toute la dynamique de puissance admissible de l'amplificateur [27–29]. Il est possible de distinguer deux familles de linéariseurs : ceux fonctionnant à la fréquence d'utilisation de l'amplificateur (HF) et ceux travaillant à fréquence intermédiaire (FI) ou en bande de base [30].

3.3.1 Les deux familles de linéariseur

La première famille de linéariseur a pour objectif de ne linéariser que l'amplificateur. Le système fonctionne alors à la fréquence de la porteuse, à haute fréquence, et est placé juste en amont de l'amplificateur. Un tel dispositif est compact mais requiert des circuits électroniques travaillant à haute fréquence et sur toute la bande spectrale d'utilisation de l'amplificateur. Le dimensionnement des composants d'adaptation d'impédance, d'isolation et de couplage doit en outre tenir compte de la fréquence de fonctionnement de l'amplificateur : le linéariseur dépend fortement du HPA.

La seconde famille de linéariseur travaille avant la transposition en HF, c'est-à-dire à fréquence intermédiaire ou en bande de base. L'opération de linéarisation peut alors être effectuée en numérique avant la modulation ou sur le signal analogique après modulation. Ce type de linéariseur agit donc non seulement sur les non-linéarités de l'amplificateur, mais également sur les distorsions éventuellement introduites par le circuit de modulation. Un des avantages de ce type de dispositif est qu'en bande de base ou à fréquence intermédiaire, les circuits électroniques souffrent moins de problèmes d'adaptation d'impédance, d'isolation ou de couplage. En outre, un même circuit peut être utilisé avec plusieurs amplificateurs de puissance fonctionnant à des fréquences différentes par le choix d'un circuit

de transposition adapté à l'amplificateur : un seul linéariseur peut donc être conçu pour fonctionner avec différents HPA.

Cette seconde famille de linéariseurs peut se révéler intéressante pour la transmission d'information sol-satellites. En effet, ce sont les stations sol qui génèrent le signal modulé à haute fréquence à partir des données binaires à transmettre ; le signal en bande de base ou à fréquence intermédiaire peut donc être accessible dans la chaîne de transmission de ces stations. En ce qui concerne les satellites de télécommunications, l'intérêt de cette seconde famille de linéariseurs n'est pas d'actualité à court terme. En effet, la transposition du signal reçu à un signal en bande de base ou à fréquence intermédiaire n'a pas lieu d'être dans les topologies de charges utiles actuelles. Néanmoins, l'utilisation de processeurs numériques à bord sera susceptible de susciter un intérêt certain pour ce type de linéariseurs à moyen terme, pour des satellites de télécommunications ou pour d'autres applications de type militaire ou de transfert de données scientifiques au sol.

La figure I.3.2 présente les deux familles de linéariseurs.

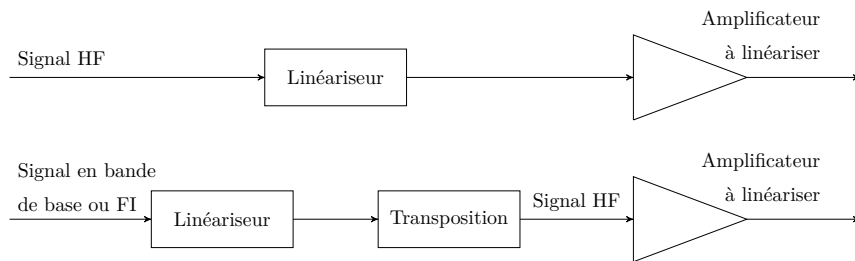


FIGURE I.3.2 – Les deux familles de linéariseur en fonction de sa position dans la chaîne d'émission
En haut : en amont du HPA
En bas : avant la transposition

Les paragraphes suivants présentent les différentes implantations existantes de linéariseurs et les différentes techniques qu'elles mettent en œuvre.

3.3.2 La technique de linéarisation *Feedforward*

La technique *Feedforward* a été développée par Harold Stephen Black en 1928 pour améliorer les communications transcontinentales Europe-Amérique [31]. Cette technique analogique, traitant le signal à haute fréquence, consiste à soustraire au signal de sortie de l'amplificateur non-linéaire les distorsions qu'il a apportées. La figure I.3.3 présente un exemple de système de linéarisation d'amplificateur basé sur cette méthode. Le signal à l'entrée suit deux trajets : un chemin dit *direct*, contenant l'amplificateur à linéariser A_0 , et un autre dit *de référence*. Une partie du signal généré par l'amplificateur principal A_0 est prélevé par l'intermédiaire du coupleur C_0 et soustraite au signal du chemin de référence après un décalage temporel permettant de prendre en compte le temps du trajet dans A_0 [32,33]. Le résultat de cette soustraction est le signal d'erreur qui contient l'information de distorsion de l'amplificateur principal. L'ensemble (Coupleur C_0 , Retard, Soustracteur) est appelée boucle de suppression de la porteuse [34,35]. Le signal d'erreur est amplifié par un amplificateur linéaire A_1 au même niveau que l'erreur du chemin direct tandis que le signal en sortie de l'amplificateur à linéariser est retardé de manière à prendre en compte le temps de trajet dans A_1 . Le signal retardé est ensuite introduit dans le coupleur C_1 , en opposition de phase avec le signal d'erreur amplifié. Les composantes introduites par

I.3. LES SOLUTIONS POUR PRÉVENIR OU CORRIGER LES NON-LINÉARITÉS

la distorsion dans le chemin principal sont alors fortement réduites voire supprimées. La structure peut être cascadée pour diminuer encore les distorsions résiduelles [23].

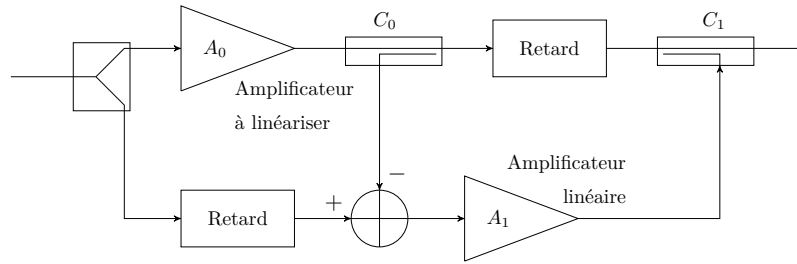


FIGURE I.3.3 – Synoptique d'un système de linéarisation utilisant la technique *Feedforward*

La principale difficulté de mise en œuvre de cette méthode provient de sa sensibilité face aux imperfections des composants de la boucle de suppression de la porteuse [36–40]. Ces éléments doivent donc être très finement caractérisés et calibrés pour que le système soit efficace. En outre, le fonctionnement en boucle ouverte de cette technique ne permet pas de prendre compte les éventuelles dérives des caractéristiques des amplificateurs de puissance : le système n'est pas adaptatif [41]. Quelques solutions ont été proposées pour résoudre ce problème [42–44] mais rendent l'implantation encore plus complexe.

3.3.3 La technique de linéarisation *Feedback*

En raison de la difficulté d'implanter la technique *Feedforward*, Black a développé, en 1937, la technique à contre-réaction (*Feedback*), plus efficace et plus simple à mettre en œuvre. Le principe est de prélever une fraction du signal de sortie, de l'inverser et de la réinjecter en entrée par l'intermédiaire d'une boucle dite de contre-réaction, afin que la forme du signal de sortie suive celle du signal d'entrée. Grâce au fonctionnement en boucle fermée, les non-linéarités engendrées par l'amplificateur sont corrigées dynamiquement et il est donc possible de s'affranchir des études préalables sur les caractéristiques des HPA.

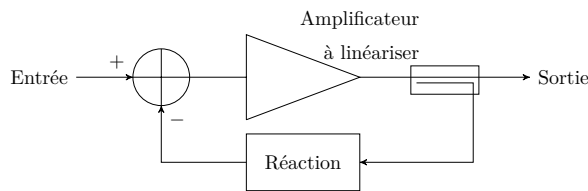


FIGURE I.3.4 – Synoptique d'un système de linéarisation utilisant la technique à contre-réaction

Différentes implantations de systèmes de linéarisation à contre-réaction ont été proposées [45–59]. Les implantations présentées dans [48], dites à contre-réaction polaire (*Polar Feedback*) et dans [49–59], dites à contre-réaction cartésienne (*Cartesian Feedback*) sont particulièrement intéressantes puisqu'elles permettent de travailler respectivement à fréquence intermédiaire et en bande de base. Ces circuits peuvent donc s'adapter à plusieurs amplificateurs.

L'architecture *Feedback* présente néanmoins des inconvénients. Tout d'abord, il est difficile de faire l'acquisition du signal HF en sortie de l'amplificateur de puissance,

particulièrement dans un système embarqué. Ensuite, une partie de la puissance de sortie de l'amplificateur est utilisée dans la boucle de contre-réaction. Cela a pour conséquence de limiter la puissance transmise vers l'antenne, dans un contexte où l'optimisation de la puissance à transmettre est cruciale. L'amélioration de la linéarité est donc à mettre en regard de la réduction de puissance de sortie engendrée et à comparer avec l'utilisation de l'amplificateur en *back-off*. Puis, le fonctionnement en boucle fermée limite la fréquence de fonctionnement du système. Enfin, la complexité de l'implantation du système est à prendre en compte : plus l'architecture est étoffée, plus la linéarité est améliorée, mais plus l'encombrement et la consommation augmentent et plus le rendement de l'ensemble "Linéariseur + Amplificateur" diminue.

Dans la deuxième moitié du XX^{ème} siècle, la croissance des réseaux de télécommunications nécessite l'augmentation des fréquences des signaux et de leur bande passante et, dans ce contexte, les limites de la technique à contre-réaction apparaissent progressivement. La technique *Feedforward* est de nouveau à l'honneur et Seidel en 1971 [60, 61] puis Bennett en 1974 [62] linéarisent des ATOP en l'employant. La technique *Feedforward* reste même une des techniques de linéarisation les plus employées pendant des décennies, que ce soit dans des systèmes audio, de télévision terrestre ou des applications radio-fréquences [36, 39, 43, 63]. Aujourd'hui toutefois, de nombreuses implantations de linéariseurs basés sur la technique à prédistorsion sont développées, essayant de combiner les avantages de chacune des méthodes *Feedforward* et *Feedback*.

3.3.4 La linéarisation par prédistorsion

La technique de prédistorsion consiste à déformer le signal en amont de l'amplificateur de puissance grâce à un circuit dédié de manière à ce que le signal en sortie du HPA suive une caractéristique de sortie préétablie, souvent linéaire en gain et en phase.

Pour déterminer la déformation – ou prédistorsion – à appliquer au signal d'entrée, une fraction du signal de sortie de l'amplificateur est prélevée et analysée et un système de calcul établit alors la fonction de transfert du linéariseur à paramétrer. Ce processus peut être réalisé une unique fois lors de la mise en œuvre du système, ou répété à intervalles de temps réguliers : la prédistorsion est alors adaptative. La figure I.3.5 présente le synopsis d'un système de linéarisation à prédistorsion.

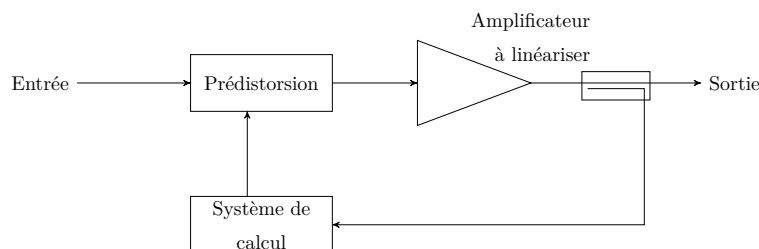


FIGURE I.3.5 – Synoptique d'un système de linéarisation utilisant une prédistorsion adaptative

Dans la technique de prédistorsion, les difficultés de prélèvement du signal HF en sortie d'amplificateur restent les mêmes que pour la technique à contre-réaction. Et, comme pour la technique *Feedback*, une partie de la puissance de sortie de l'amplificateur

I.3. LES SOLUTIONS POUR PRÉVENIR OU CORRIGER LES NON-LINÉARITÉS

est utilisée par le système de calcul, ce qui réduit la puissance fournie par l'amplificateur au système antenne. Néanmoins, un système de prédistorsion fonctionne en boucle ouverte, ce qui permet des fréquences de fonctionnement élevées. Ensuite, la prédistorsion peut être appliquée sur le signal à haute fréquence, en bande de base ou à fréquence intermédiaire. Enfin, le système peut être adaptatif. Un linéariseur à prédistorsion bénéficie donc d'avantages de la technique *Feedforward* et de la technique *Feedback*.

En vue de linéariser les caractéristiques AM/AM et AM/PM d'un amplificateur, un circuit de prédistorsion doit réaliser une compensation en amplitude et une compensation en phase telles que l'amplification globale présente un gain et un déphasage constants quel que soit le niveau de puissance appliquée en entrée [64, 65]. Une technique innovante de détermination de ces caractéristiques de prédistorsion est présentée au chapitre II.1.

De nombreuses architectures permettent de modéliser et/ou réaliser des fonctions de prédistorsion (modèle de Saleh, de Volterra, de Hammerstein, de Wiener, polynomial ou à base de réseaux de neurones) et de nombreuses implantations de systèmes de linéarisation par prédistorsion ont été proposées et/ou réalisées à partir de ces structures. Elles sont détaillées dans l'annexe B.

3.4 Discussion

La problématique de la linéarisation en télécommunications est vieille de presque un siècle et trois grandes techniques ont été développées pour pallier les défauts des amplificateurs de puissance.

Pendant des décennies, la technique *Feedforward* a été utilisée et préconisée mais ce système est peu ou pas adaptatif. Il ne convient donc pas à la conception d'un linéariseur capable de s'adapter à plusieurs amplificateurs. La technique à contre-réaction est plus simple à mettre en œuvre puisqu'elle peut être développée en bande de base, en fréquence intermédiaire ou en radiofréquence. En outre, la linéarisation peut s'adapter à l'amplificateur utilisé et aux éventuelles dérives de sa caractéristique. En revanche, elle engendre une réduction de la puissance fournie au système antenne et est limitée en fréquence.

La technique de prédistorsion peut, elle aussi, être développée en bande de base, en fréquence intermédiaire ou en radiofréquence et permet également de compenser de manière adaptative les non-linéarités des HPA. Toutefois, comme elle fonctionne en boucle ouverte, elle ne souffre pas des limitations en fréquence de la contre-réaction. La technique de prédistorsion apparaît donc comme une méthode performante pour le développement d'un linéariseur susceptible de s'adapter à plusieurs amplificateurs et à leurs éventuelles dérives.

Par ailleurs, comme il est expliqué dans le paragraphe 3.3.1, les circuits électroniques fonctionnant en bande de base ou à fréquence intermédiaire souffrent moins de problèmes d'adaptation d'impédance, d'isolation ou de couplage que les circuits fonctionnant à haute fréquence. Ensuite, un même circuit fonctionnant en bande de base ou à fréquence intermédiaire peut être utilisé avec plusieurs amplificateurs de puissance fonctionnant à des fréquences différentes par le choix d'un circuit de transposition adapté à l'amplificateur. La conception de circuits de prédistorsion fonctionnant en bande de base ou à fréquence intermédiaire apparaît donc comme une solution adaptée dans le développement d'un linéariseur répondant aux contraintes établies dans ce tapuscrit. Cette solution sera retenue pour la suite des travaux.

Cette partie a d'abord présenté les différentes technologies utilisées pour développer des amplificateurs de puissance utilisés en télécommunications spatiales. La représentation des non-linéarités introduites par ces HPA sous la forme de caractéristiques en amplitude (AM/AM) et en phase (AM/PM) a ensuite été détaillée. Les travaux exposés dans la suite du tapuscrit n'étudient que la linéarisation de ces caractéristiques.

Dans un deuxième chapitre, la nécessité de compenser les non-linéarités des amplificateurs a été démontrée pour les modulations à enveloppe non-constante de signaux mono-fréquences. L'impact néfaste des distorsions des HPA sur les diagrammes de constellation de ces modulations a notamment été mis en évidence.

Dans un dernier chapitre, les différentes techniques permettant de limiter ou de compenser les non-linéarités des amplificateurs de puissance ont été présentées. D'abord, l'utilisation des amplificateurs en recul ne permet pas de bénéficier de la puissance maximale que le HPA est capable de fournir. Ensuite, les performances des techniques d'égalisation dépendent de l'amplificateur et de ses conditions d'exploitation. Ces deux méthodes sont en outre peu ou pas adaptatives. Les techniques de linéarisation représentent alors une solution plus polyvalente. Si les techniques *Feedforward* et à contre-réaction souffrent de défauts respectivement d'adaptabilité et de fréquence de fonctionnement, la technique de prédistorsion apparaît comme une solution adaptée à la conception d'un linéariseur performant, susceptible de s'adapter à plusieurs amplificateurs de puissance et à leurs éventuelles dérives. Le choix de développer des circuits fonctionnant en bande de base ou à fréquence intermédiaire est également justifié.

La partie suivante présente d'abord une technique innovante de détermination des caractéristiques de prédistorsion d'un amplificateur à partir de ses caractéristiques expérimentales AM/AM et AM/PM uniquement. Différentes architectures de linéariseurs à prédistorsion sont ensuite proposées et analysées. L'une d'elle, plus polyvalente, est alors testée et ses performances sont démontrées en utilisant des fonctions de prédistorsion mathématiquement exactes ou modélisées par des réseaux de neurones.

Deuxième partie

**ARCHITECTURE INNOVANTE DE
LINÉARISEUR PARAMÉTRABLE À
BASE DE RÉSEAUX DE NEURONES**

Cette partie présente une étude d'architectures de linéariseurs susceptibles de s'adapter à plusieurs amplificateurs de puissance et à leurs éventuelles dérives.

Dans un premier chapitre, une technique innovante de détermination des fonctions de prédistorsion, ayant fait l'objet d'un brevet, est détaillée. Elle permet d'extraire, directement à partir des caractéristiques expérimentales AM/AM et AM/PM, les opérations sur l'amplitude et sur la phase que le linéariseur doit réaliser.

Dans un deuxième chapitre, différentes architectures de linéariseurs sont proposées. Les implantations des compensations en amplitude et en phase sont notamment présentées dans le contexte de la linéarisation des caractéristiques AM/AM et AM/PM.

Dans un dernier chapitre, le choix des réseaux de neurones comme technique de modélisation des fonctions de prédistorsion est justifié et leur capacité à modéliser les fonctions de prédistorsion des trois amplificateurs présentés dans la première partie est démontrée.

A l'issue de cette partie, une architecture innovante de linéariseur paramétrable, à base de réseaux de neurones, capable de linéariser plusieurs amplificateurs de puissance, est proposée.

CHAPITRE 1

Caractéristiques de transfert AM/AM et AM/PM mono-fréquences d'un linéariseur par prédistorsion

Dans un système à prédistorsion, la configuration des caractéristiques de transfert du linéariseur est une étape capitale, puisqu'elle conditionne l'efficacité de l'opération de linéarisation. Ce chapitre présente, dans un premier temps, un procédé innovant, rapide et précis, de détermination de ces caractéristiques de transfert en vue de réaliser tout type de fonction de transfert d'un système "Linéariseur + Amplificateur". Ensuite est présentée une forme particulière de caractéristiques de transfert d'un tel système, linéaire sur tout son intervalle de définition et exploitant au maximum les performances en puissance de l'amplificateur. L'optimisation du rendement du HPA n'est pas, en revanche, un critère déterminant.

Comme il est précisé dans le chapitre I.3, seule la linéarisation des caractéristiques AM/AM et AM/PM mono-fréquences est étudiée. Par ailleurs, les caractéristiques exploitées dans ce chapitre, ne sont pas, sauf mention explicite, des caractéristiques réelles extraites expérimentalement, mais des caractéristiques dont la forme est représentative des HPA présentés auparavant.

1.1 Techniques de détermination des caractéristiques de prédistorsion

Il existe deux méthodes classiques pour déterminer les caractéristiques de transfert d'un linéariseur par prédistorsion, largement développées dans la littérature scientifique.

La première technique consiste à modéliser l'amplificateur de puissance par un modèle analytique (polynomial [66–68], de Volterra [69–71]...), par un modèle numérique (table d'équivalence [72–75], réseaux de neurones [76–83]...) ou par un modèle plus spécifique (Hammerstein, Wiener, Hammerstein-Wiener [84–91], Wiener parallèle [92, 93]...) puis à inverser ce modèle. Pour linéariser l'amplificateur de puissance, le module de prédistorsion doit alors réaliser ce modèle inversé. Cette méthode présente plusieurs inconvénients. D'abord, elle n'est pas toujours utilisable : la fonction inverse du modèle peut ne pas exister par exemple. Par ailleurs, elles sont complexes, difficiles à mettre en œuvre et nécessitent des ressources informatiques lourdes. En outre, certains modèles sont adaptés aux amplificateurs à Tube à Ondes Progressives et non aux amplificateurs à état solide quand d'autres modèles sont applicables aux SSPA et non aux ATOP. Enfin, par principe, la modélisation est imparfaite et la caractéristique de prédistorsion déterminée par ce procédé souffre d'imprécisions.

II.1. CARACTÉRISTIQUES DE TRANSFERT AM/AM ET AM/PM MONO-FRÉQUENCES D'UN LINÉARISEUR PAR PRÉDISTORSION

La seconde technique utilisée pour obtenir les caractéristiques de transfert d'un linéariseur par prédistorsion consiste à ajuster empiriquement un linéariseur paramétrable, par itérations successives, jusqu'à obtenir en sortie de l'amplificateur la caractéristique souhaitée. Cette méthode présente également des défauts. D'abord, elle est difficile à mettre en œuvre et ne garantit pas que les paramètres ainsi déterminés soient les paramètres optimaux du linéariseur. Ensuite, par sa nature empirique, ce procédé est également imparfait et la caractéristique de prédistorsion déterminée souffre encore d'imprécisions.

Ainsi, les techniques connues sont lourdes, souvent adaptées à un amplificateur précis ou à une application donnée, et, par principe, imprécises. La méthode proposée dans le paragraphe suivant, ayant fait l'objet d'un dépôt de brevet lors de ces travaux de thèse [94], vise à pallier ces inconvénients.

1.2 Procédé innovant de détermination des caractéristiques AM/AM et AM/PM d'un linéariseur par prédistorsion

La méthode développée dans ce paragraphe permet de s'affranchir de toute modélisation de l'amplificateur de puissance ou de toute démarche d'ajustement empirique ou par apprentissage pour déterminer les caractéristiques de transfert d'un linéariseur par prédistorsion. En effet, grâce à ce procédé breveté, il est possible de les obtenir directement à partir des caractéristiques expérimentales AM/AM et AM/PM d'un amplificateur de puissance et des caractéristiques de transfert souhaitées pour le système total "Linéariseur + Amplificateur". En outre, seules des tables de valeurs numériques sont mises en œuvre ; les ressources informatiques requises sont donc très faibles.

1.2.1 Les étapes de détermination des caractéristiques AM/AM et AM/PM d'un linéariseur par prédistorsion

Le procédé de détermination des caractéristiques AM/AM et AM/PM d'un linéariseur par prédistorsion se déroule en trois étapes successives.

D'abord, comme pour les techniques présentées auparavant, il est nécessaire de caractériser l'amplificateur de puissance en amplitude et en phase. Les caractéristiques de transfert du linéariseur à proprement parler peuvent alors être déduites, en amplitude dans un premier temps, puis en phase dans un second temps.

Les différentes étapes de ce procédé innovant, systématique, rapide et précis de détermination des caractéristiques de transfert d'un linéariseur par prédistorsion, quelles que soient les caractéristiques souhaitées en sortie de l'amplificateur, sont données sur la figure II.1.1.

L'ordre dans lequel les caractéristiques de transfert du linéariseur sont déterminées est fondamental. Supposons, en effet, que les caractéristiques de transfert en amplitude et en phase du linéariseur soient modélisables par des fonctions f et ϕ respectivement. De la même façon, supposons que g et ψ modélisent les caractéristiques de transfert, respectivement en amplitude et en phase, de l'amplificateur de puissance. Ces notations n'ont aucune réalité physique ou mathématique, ne correspondent à aucun modèle et ne servent qu'à simplifier la justification de l'ordre des étapes. La figure II.1.2 présente un

II.1.2. PROCÉDÉ INNOVANT DE DÉTERMINATION DES CARACTÉRISTIQUES AM/AM ET AM/PM D'UN LINÉARISEUR PAR PRÉDISTORSION

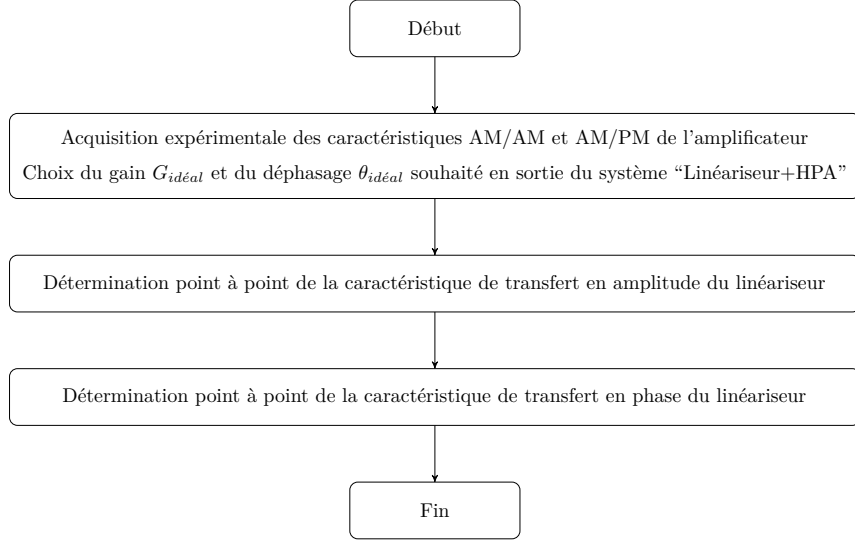


FIGURE II.1.1 – Procédé de détermination des caractéristiques de transfert d'un linéariseur par prédistorsion

système “Linéariseur+Amplificateur”, les fonctions de transfert de chacun des blocs et les signaux transitant dans la chaîne.

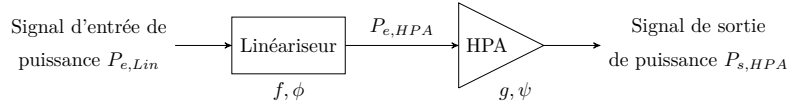


FIGURE II.1.2 – Système “Linéariseur+HPA” et fonctions de transfert associées

La puissance moyenne du signal en sortie de l'amplificateur est :

$$P_{s,HPA} = g(P_{e,HPA}) \quad (1.1)$$

Or,

$$P_{e,HPA} = f(P_{e,Lin}) \quad (1.2)$$

Ainsi,

$$P_{s,HPA} = g(P_{e,HPA}) = g(f(P_{e,Lin})) = (g \circ f)(P_{e,Lin}) \quad (1.3)$$

Appelons $G_{idéal}$ la fonction modélisant le gain idéal souhaitée en sortie du système complet : $G_{idéal} = P_{s,HPA}/P_{e,Lin}$. Alors :

$$(g \circ f) = G_{idéal} \cdot I_D \quad (1.4)$$

avec I_D la fonction identité. La fonction de transfert AM/AM du linéariseur est par conséquent :

$$f = g^{-1} \circ G_{idéal} \quad (1.5)$$

II.1. CARACTÉRISTIQUES DE TRANSFERT AM/AM ET AM/PM MONO-FRÉQUENCES D'UN LINÉARISEUR PAR PRÉDISTORSION

Ainsi, la caractéristique de transfert AM/AM du linéariseur ne dépend que de la fonction de gain idéal souhaitée en sortie du système et de la caractéristique de transfert en amplitude de l'amplificateur.

Etudions à présent la phase du signal de sortie, en supposant la phase du signal d'entrée nulle. Le linéariseur génère un signal $P_{e,HPA}$ déphasé d'un angle $\phi(P_{e,Lin})$. Ce signal traverse ensuite l'amplificateur qui le déphase à son tour de $\psi(P_{e,HPA})$. La phase $\theta_{idéal}$ du signal en sortie d'amplificateur est donc $\psi(P_{e,HPA}) + \phi(P_{e,Lin})$. Or $P_{e,HPA} = f(P_{e,Lin})$. Donc :

$$\theta_{idéal} = \psi(f(P_{e,Lin})) + \phi(P_{e,Lin}) \quad (1.6)$$

La fonction de transfert AM/PM du linéariseur s'exprime donc par :

$$\phi = \theta_{idéal} - (\psi \circ f) \quad (1.7)$$

Ainsi, la caractéristique de transfert en phase du linéariseur dépend de celle en amplitude. C'est pourquoi il est nécessaire de déterminer dans un premier temps la caractéristique AM/AM du linéariseur.

Les paragraphes suivants présentent en détail et dans l'ordre les trois étapes permettant de déterminer les caractéristiques AM/AM et AM/PM d'un linéariseur à prédistorsion. Les mêmes notations $P_{e,Lin}$, $P_{e,HPA}$, $P_{s,HPA}$, ψ , ϕ , $G_{idéal}$ et $\theta_{idéal}$ sont utilisées.

1.2.2 Extraction des caractéristiques AM/AM et AM/PM d'un amplificateur de puissance

Comme pour les autres techniques présentées auparavant, la première étape pour déterminer les fonctions de transfert d'un linéariseur par prédistorsion consiste à caractériser l'amplificateur de puissance en amplitude et en phase, c'est-à-dire à en déterminer les caractéristiques AM/AM et AM/PM.

Pour ce faire, l'amplificateur de puissance est utilisé seul et est excité par un signal d'entrée sinusoïdal, représentant une porteuse non modulée, de la forme $U_e(t, i) = A(i)\sin(2\pi f_P t)$, où $A(i)$ représente l'amplitude maximale du signal pouvant prendre N valeurs : $i \in \llbracket 1; N \rrbracket$. L'amplificateur génère alors – idéalement – en sortie un signal amplifié et déphasé de la forme $U_s(t, i) = B(i)\sin(2\pi f_P t - \psi(i))$ où $B(i)$ représente l'amplitude maximale du signal et $\psi(i)$ son déphasage par rapport au signal d'entrée. Le signe “-” dans l'expression de $U_s(t, i)$ exprime que le signal de sortie est une conséquence du signal d'entrée. La figure II.1.3 donne une représentation temporelle des signaux d'entrée et sortie d'un amplificateur de puissance.

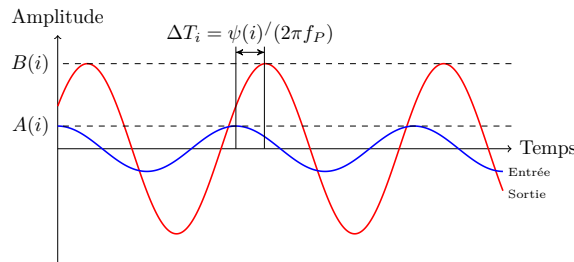


FIGURE II.1.3 – Représentation temporelle des signaux d'entrée (en bleu) et de sortie (en rouge) d'un amplificateur de puissance

II.1.2. PROCÉDÉ INNOVANT DE DÉTERMINATION DES CARACTÉRISTIQUES AM/AM ET AM/PM D'UN LINÉARISEUR PAR PRÉDISTORSION

La puissance moyenne du signal en entrée de l'amplificateur est $P_{e,HPA}(i) = A(i)^2/R_e$ avec R_e la résistance d'entrée de l'amplificateur. La puissance moyenne du signal en sortie est $P_{s,HPA}(i) = B(i)^2/R_{ch}$ avec R_{ch} la charge de l'amplificateur (typiquement, une antenne de 50Ω). Pour chaque valeur de $A(i)$ ($i \in \llbracket 1; N \rrbracket$) – et donc de $P_{e,HPA}(i)$ –, les grandeurs $P_{s,HPA}(i)$ et $\psi(i)$ sont extraites grâce à un analyseur de réseau vectoriel. La figure II.1.4 représente ce dispositif expérimental. Les couples $[P_{e,HPA}(i); P_{s,HPA}(i)]$ et $[P_{e,HPA}(i); \psi(i)]$ ($i \in \llbracket 1; N \rrbracket$) représentent les caractéristiques respectivement AM/AM et AM/PM du HPA étudié. Plus le nombre N est grand, plus la précision de la caractérisation est importante. Les amplificateurs présentés au chapitre I.1 sont par exemple caractérisés à l'aide de 400 points.

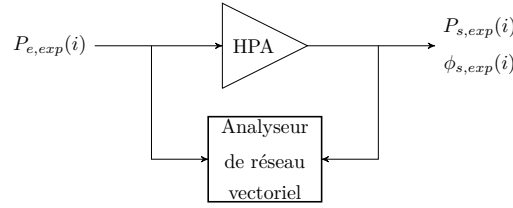


FIGURE II.1.4 – Synopsis d'un système de prédistorsion

A ce stade, les données disponibles sont trois vecteurs $P_{e,HPA}(i)$, $P_{s,HPA}(i)$ et $\psi(i)$ constituant les caractéristiques de l'amplificateur, représentés dans le tableau II.1.1. Dans toute la suite, sauf mention explicite, $i \in \llbracket 1; N \rrbracket$.

TABLEAU II.1.1 – Tableau de valeurs des caractéristiques AM/AM et AM/PM d'un amplificateur de puissance ($i \in \llbracket 1; N \rrbracket$)

Puissance d'entrée	Puissance de sortie du HPA	Phase de sortie du HPA
$P_{e,HPA}(i)$	$P_{s,HPA}(i)$	$\psi(i)$
$P_{e,HPA}(1)$	$P_{s,HPA}(1)$	$\psi(1)$
$P_{e,HPA}(2)$	$P_{s,HPA}(2)$	$\psi(2)$
\vdots	\vdots	\vdots
$P_{e,HPA}(N)$	$P_{s,HPA}(N)$	$\psi(N)$

Avant de déterminer la caractéristique de transfert du linéariseur, il est à présent nécessaire de définir précisément les caractéristiques en gain et en phase souhaitées en sortie du système "Linéariseur + Amplificateur". Il faut ainsi définir, pour chaque valeur de puissance moyenne $P_{e,HPA}(i)$ du signal en entrée de l'amplificateur, le gain idéal $G_{idéal}(i)$ et la phase idéale $\theta_{idéal}(i)$ souhaités en sortie du système complet. A partir uniquement de ces cinq vecteurs de données présentés sur le tableau II.1.2, et sans modélisation ni processus itératif imparfaits, il est alors possible de construire les caractéristiques de transfert en amplitude d'abord et en phase ensuite d'un linéariseur par prédistorsion, quelles que soient les caractéristiques du HPA et les caractéristiques souhaitées en sortie de la chaîne de transmission.

II.1. CARACTÉRISTIQUES DE TRANSFERT AM/AM ET AM/PM MONO-FRÉQUENCES D'UN LINÉARISEUR PAR PRÉDISTORSION

TABLEAU II.1.2 – Tableau de valeurs des caractéristiques AM/AM et AM/PM d'un amplificateur de puissance et des caractéristiques souhaitées en sortie de la chaîne de transmission linéarisée

Puissance d'entrée	Puissance de sortie du HPA	Phase de sortie du HPA	Gain souhaité	Déphasage souhaité
$P_{e,HPA}(i)$	$P_{s,HPA}(i)$	$\psi(i)$	$G_{idéal}(i)$	$\theta_{idéal}(i)$
$P_{e,HPA}(1)$	$P_{s,HPA}(1)$	$\psi(1)$	$G_{idéal}(1)$	$\theta_{idéal}(1)$
$P_{e,HPA}(2)$	$P_{s,HPA}(2)$	$\psi(2)$	$G_{idéal}(2)$	$\theta_{idéal}(2)$
\vdots	\vdots	\vdots	\vdots	\vdots
$P_{e,HPA}(N)$	$P_{s,HPA}(N)$	$\psi(N)$	$G_{idéal}(N)$	$\theta_{idéal}(N)$

1.2.2.1 Détermination de la caractéristique de transfert en amplitude d'un linéariseur à prédistorsion

Cette étape consiste à déterminer la puissance moyenne $P_{e,Lin}(i)$ à appliquer en entrée du linéariseur pour exciter l'amplificateur de puissance à une puissance moyenne $P_{e,HPA}(i)$ et pour que le gain du système global soit $G_{idéal}(i)$. Le gain idéal du système est donné par l'équation suivante :

$$G_{idéal}(i) = \frac{P_{s,HPA}(i)}{P_{e,Lin}(i)} \quad (1.8)$$

Il vient directement :

$$P_{e,Lin}(i) = \frac{P_{s,HPA}(i)}{G_{idéal}(i)} \quad (1.9)$$

Le calcul de $P_{e,Lin}$ pour tout $i \in \llbracket 1; N \rrbracket$ fournit le couple de vecteurs $[P_{e,Lin}(i); P_{e,HPA}(i)]$ représentant la caractéristique de transfert en amplitude du linéariseur.

1.2.2.2 Détermination de la caractéristique de transfert en phase d'un linéariseur à prédistorsion

La dernière étape de ce procédé de détermination des caractéristiques de transfert d'un linéariseur consiste à déterminer le déphasage $\phi(i)$ devant être réalisé par ce circuit pour que le déphasage total en sortie de la chaîne de transmission soit $\theta(i)$. Sachant que les déphasages introduits par le linéariseur et par l'amplificateur s'ajoutent, le déphasage total en sortie du système "Linéariseur+HPA" s'exprime par :

$$\theta_{idéal}(i) = \phi(i) + \psi(i) \quad (1.10)$$

avec $\phi(i)$ le déphasage introduit par le linéariseur excité par un signal de puissance moyenne $P_{e,Lin}(i)$ et $\psi(i)$ le déphasage apporté par l'amplificateur excité par un signal de puissance moyenne $P_{e,HPA}(i)$. Finalement :

$$\phi(i) = \theta_{idéal}(i) - \psi(i) \quad (1.11)$$

Le calcul de $\phi(i)$ pour tout $i \in \llbracket 1; N \rrbracket$ fournit le couple de vecteur $[P_{e,Lin}(i); \phi(i)]$ représentant la caractéristique de transfert en phase du linéariseur. Comme cela a été démontré auparavant, la caractéristique de transfert en phase dépend de celle en amplitude.

II.1.3. CARACTÉRISTIQUES IDÉALES DE TRANSFERT DU SYSTÈME “LINÉARISEUR + AMPLIFICATEUR”

1.2.2.3 Bilan

Le procédé en trois étapes développé ci-dessus permet finalement de construire deux couples de vecteurs représentant les caractéristiques de transfert en amplitude et en phase d’un linéariseur à prédistorsion, comme l’illustre le tableau II.1.3.

TABLEAU II.1.3 – Caractéristiques de transfert d’un linéariseur par
prédistorsion ($i \in \llbracket 1; N \rrbracket$)

Fonction de transfert AM/AM		Fonction de transfert AM/PM	
$P_{e,Lin}(i)$	$P_{e,HPA}(i)$	$P_{e,Lin}(i)$	$\phi(i)$
$P_{e,Lin}(1)$	$P_{e,HPA}(1)$	$P_{e,Lin}(1)$	$\phi(1)$
$P_{e,Lin}(2)$	$P_{e,HPA}(2)$	$P_{e,Lin}(2)$	$\phi(2)$
\vdots	\vdots	\vdots	\vdots
$P_{e,Lin}(N)$	$P_{e,HPA}(N)$	$P_{e,Lin}(N)$	$\phi(N)$

Cette technique présente de nombreux avantages par rapport aux méthodes classiquement utilisées. D’abord, elle est très rapide et demande peu de ressources informatiques car tout est déterminé à partir de simples tableaux de valeurs. Ensuite, elle est systématique, peut s’adapter à tout type de caractéristiques d’amplificateur et à tout type de caractéristique de transfert du système “Linéariseur + HPA” souhaitée. Enfin, elle est précise car aucune approximation ou modélisation n’apporte d’erreur ou d’imprécision. Grâce à ce procédé, la qualité de la linéarisation n’est plus conditionnée que par la précision de l’extraction des caractéristiques AM/AM et AM/PM de l’amplificateur et par la capacité du circuit électronique de prédistorsion à réaliser les caractéristiques déterminées.

Dans le contexte de la linéarisation des caractéristiques AM/AM et AM/PM monofréquence d’un amplificateur de puissance, une forme particulière de caractéristiques de sortie de la chaîne de transmission peut être déterminée, prenant notamment en compte des critères de linéarité sur tout l’intervalle de définition de la caractéristique et d’optimisation des performances en puissance de l’amplificateur.

1.3 Caractéristiques idéales de transfert du système “Linéariseur + Amplificateur”

L’objectif de la linéarisation d’un amplificateur de puissance définie dans ce tapuscrit est que le diagramme de constellation d’un signal modulé en sortie de HPA se déduise du diagramme en entrée par une homothétie d’un facteur constant G_L et par une rotation d’angle θ_L (en reprenant les notations du paragraphe 2.2.3) et que l’amplificateur soit utilisé au maximum de ses capacités en puissance. Les paragraphes suivants permettent d’établir, à partir de ces considérations, les caractéristiques AM/AM et AM/PM mono-fréquences d’un système idéal “Linéariseur + Amplificateur” d’abord, et les caractéristiques de transfert des linéariseurs associés aux trois HPA présentés au chapitre I.1 ensuite. Le critère de rendement n’est, en revanche, pas pris en compte.

1.3.1 Caractéristique AM/PM linéarisée

La linéarisation définie dans ce tapuscrit vise à ce que, sur un diagramme de constellation, tous les symboles subissent une rotation d’angle constant θ_L . Cela signifie notamment que, quelle que soit la puissance moyenne du signal appliqué en entrée du

II.1. CARACTÉRISTIQUES DE TRANSFERT AM/AM ET AM/PM MONO-FRÉQUENCES D'UN LINÉARISEUR PAR PRÉDISTORSION

système “Linéariseur + Amplificateur”, le signal en sortie doit être déphasé d’un angle constant θ_L . En reprenant les notations de la méthode présentée au paragraphe précédent :

$$\forall i \in \llbracket 1; N \rrbracket, \theta_{idéal}(i) = \theta_L \quad (1.12)$$

La figure II.1.5 représente cette caractéristique de transfert en phase du système “Linéariseur + Amplificateur”. La valeur de l’angle θ_L peut être quelconque. En particulier, il n’est pas nécessaire que cet angle soit nul. En pratique, les circuits électroniques de prédistorsion ne permettent de réaliser des compensations en phase que sur un intervalle de phase limité et il convient donc de choisir θ_L en fonction des capacités du circuit électronique et de cet intervalle.

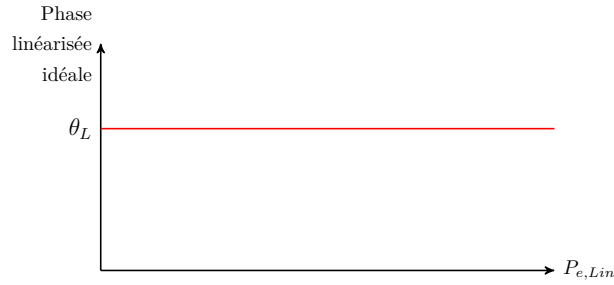


FIGURE II.1.5 – Caractéristique AM/PM linéarisée

1.3.2 Caractéristique AM/AM linéarisée

Avant de déterminer la forme de la caractéristique AM/AM idéale d’un amplificateur linéarisé excité par un signal mono-fréquence, le choix est fait de limiter l’intervalle de puissance d’excitation de l’amplificateur à $[0; P_{e,sat}]$ comme l’illustre la figure II.1.6. En effet, la caractéristique réalise une bijection entre $[0; P_{e,sat}]$ et $[0; P_{s,sat}]$ et travailler seulement sur cet intervalle de puissance d’entrée suffit pour générer toute valeur de puissance de sortie atteignable par le HPA. Le choix est également fait de limiter l’intervalle de puissance en entrée du linéariseur à $[0; P_{e,sat}]$. La figure II.1.7 présente le système complet “Linéariseur + HPA” avec les intervalles de puissance moyenne d’entrée et de sortie optimaux. Dans toute la suite du document, seuls ces intervalles seront exploités et représentés.

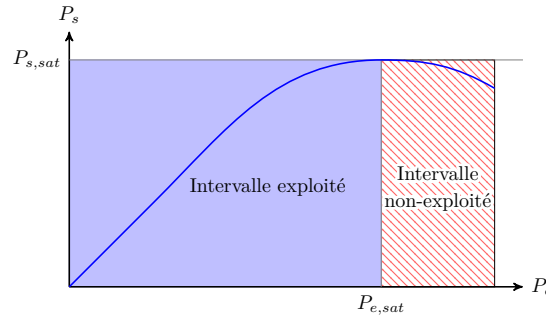


FIGURE II.1.6 – Réduction de l’intervalle de puissance moyenne d’excitation de l’amplificateur

II.1.3. CARACTÉRISTIQUES IDÉALES DE TRANSFERT DU SYSTÈME “LINÉARISEUR + AMPLIFICATEUR”

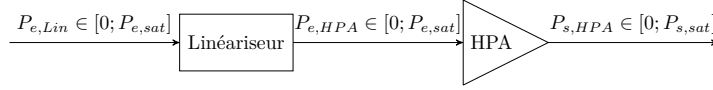


FIGURE II.1.7 – Système “Linéariseur + HPA” et intervalles de puissances d’entrée et de sorties optimaux

L’objectif est à présent de déterminer une forme de caractéristique exploitant l’amplificateur au maximum de ses performances en puissance, linéaire sur l’intervalle $[0; P_{e,sat}]$ et limitant autant que possible la complexité de mise en œuvre du linéariseur.

L’objectif de la linéarisation définie dans ce tapuscrit consiste à ce que, sur un diagramme de constellation, l’amplitude de tout symbole de sortie se déduise de l’amplitude du symbole d’entrée correspondant par une homothétie d’un facteur constant G_L . Cela signifie notamment que, quelle que soit la puissance moyenne du signal appliqué en entrée du système “Linéariseur + Amplificateur”, le signal en sortie doit être amplifié avec un gain constant G_L , de sorte qu’il existe une relation linéaire et bijective entre la puissance moyenne en entrée et celle en sortie du système. En reprenant les notations de la méthode présentée au paragraphe précédent :

$$\forall i \in \llbracket 1; N \rrbracket, G_{idéal}(i) = G_L \quad (1.13)$$

$$\text{et } P_{s,HPA} = G_L \cdot P_{e,Lin} \quad (1.14)$$

Trois types de caractéristiques peuvent alors être imaginées, comme l’illustre la figure II.1.8.

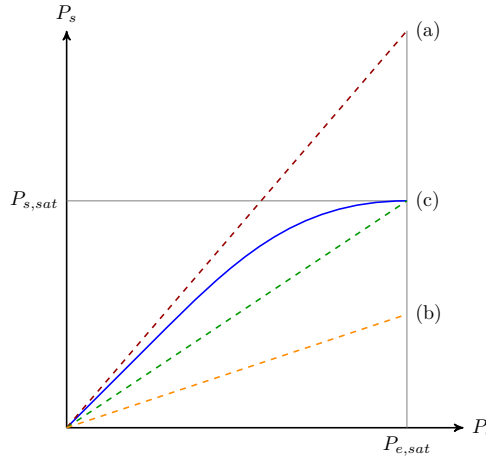


FIGURE II.1.8 – Trois caractéristiques linéarisées possibles

La caractéristique (a) est impossible à réaliser puisqu’un amplificateur de puissance n’est pas capable de générer un signal de puissance moyenne supérieure à $P_{s,sat}$. Il est tout de même possible d’obtenir une caractéristique avec une telle pente et de limiter sa sortie à $P_{s,sat}$ grâce à un écrêteur. Mais outre l’utilisation d’un écrêteur qui complexifie la conception de ce système, cette caractéristique présente deux défauts. D’abord, la caractéristique n’est pas linéaire sur tout l’intervalle $[0; P_{e,sat}]$. Ensuite, afin d’atteindre cette caractéristique, le linéariseur doit présenter un gain supérieur à 1, modélisé par un amplificateur sur l’architecture de la figure II.1.9.

II.1. CARACTÉRISTIQUES DE TRANSFERT AM/AM ET AM/PM MONO-FRÉQUENCES D'UN LINÉARISEUR PAR PRÉDISTORSION

Les courbes présentées en bas de cette figure s'attachent à expliquer pourquoi le gain du linéariseur doit être supérieur à 1. Imaginons que nous cherchions à obtenir un signal de puissance moyenne $P_{s,HPA} (< P_{s,sat})$ en sortie de l'amplificateur. Dans ces conditions, l'écrêteur ne limite pas le signal et $P_{s,Lin} = P_{e,HPA}$. Pour que la caractéristique de transfert du système "Linéariseur + Amplificateur" corresponde à la courbe en pointillé rouge, le linéariseur doit être excité par un signal de puissance moyenne $P_{e,Lin}$. L'amplificateur doit lui être excité par un signal de puissance moyenne $P_{e,HPA}$ sur la caractéristique bleue. Ainsi, le rôle du linéariseur est de transformer $P_{e,Lin}$ en $P_{e,HPA}$. Comme $P_{e,Lin} < P_{e,HPA}$, le linéariseur doit amplifier le signal à son entrée d'un gain $P_{e,HPA}/P_{e,Lin} > 1$. Pour que cette prédistorion soit efficace jusqu'à $P_{s,sat}$, le gain doit être, en outre, parfaitement linéaire, ce qui entraîne des contraintes de conception et de mise en œuvre du linéariseur.

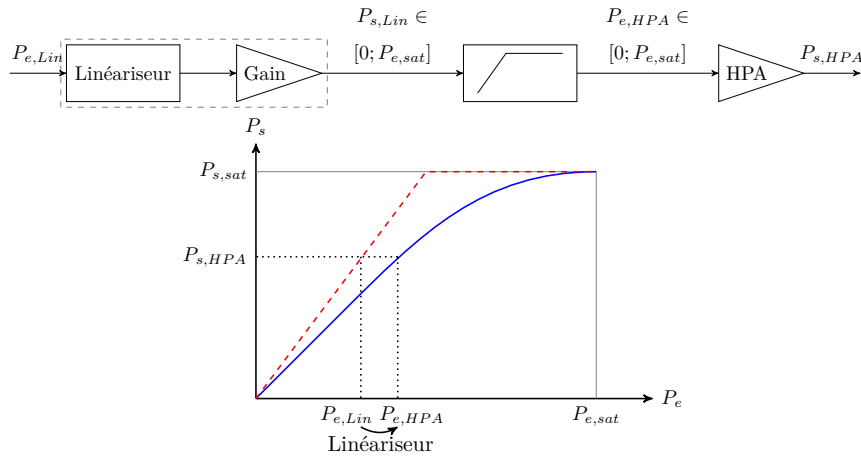


FIGURE II.1.9 – En haut : Architecture de la chaîne de transmission permettant de générer des caractéristiques de même pente que (a) jusqu'à atteindre $P_{s,sat}$
En bas : Caractéristique (a) et mise en évidence du besoin de gain dans le linéariseur

Les solutions représentées par la courbe (a) ne répondent donc pas aux contraintes de linéarité et de facilité de mise en œuvre énoncées plus haut.

Par ailleurs, afin d'exploiter au maximum les performances en puissance du HPA, les caractéristiques linéarisées doivent avoir une puissance de sortie maximale aussi proche que possible de $P_{s,sat}$. Les caractéristiques représentées par la courbe (b), dont la puissance maximale n'atteint pas $P_{s,sat}$, ne permettent pas cette exploitation optimale.

Finalement, la caractéristique AM/AM linéarisée optimale choisie pour ces travaux est la courbe (c) de la figure II.1.8. Dans ces conditions en effet, la caractéristique est linéaire sur tout l'intervalle de puissance d'entrée $[0; P_{e,sat}]$. De plus, la puissance de sortie maximale est $P_{s,sat}$ et l'amplificateur est utilisé au maximum de ses capacités en puissance. Enfin, le linéariseur ne doit pas présenter de gain ni mettre en jeu d'écrêteur, ce qui facilite sa conception et son utilisation. Dans ce contexte, le linéariseur agit même comme un atténuateur, dont l'atténuation est fonction de la puissance d'entrée. Le gain en sortie du système est le gain à saturation :

$$G_L = G_{HPA,sat} = \frac{P_{s,sat}}{P_{e,sat}} \quad (1.15)$$

La figure II.1.10 représente cette caractéristique de transfert en amplitude du système “Linéariseur + Amplificateur”.

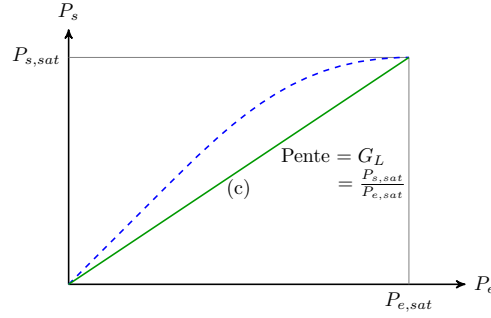


FIGURE II.1.10 – Caractéristique AM/AM linéarisée idéale (en vert)

Dans la suite de ce document, les caractéristiques de transfert en amplitude et phase mono-fréquences d’un système “Linéariseur + Amplificateur” à atteindre sont celles présentées sur les figures II.1.5 et II.1.10.

1.4 Mise en application

Ce court paragraphe présente les caractéristiques de transfert en amplitude et en phase d’un linéariseur par prédistorsion adapté aux amplificateurs de puissance présentés dans le chapitre I.1, déterminées grâce à la méthode développée dans le paragraphe 1.2 et en vue d’obtenir les caractéristiques globales du système “Linéariseur + Amplificateur” présentées au paragraphe 1.3. Les six courbes sont présentées sur la figure II.1.11

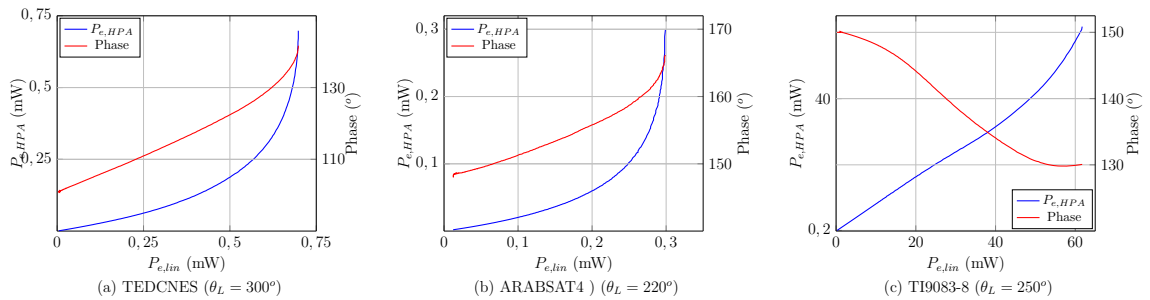


FIGURE II.1.11 – Caractéristiques AM/AM (en bleu) et AM/PM (en rouge) des linéariseurs idéaux définis pour les amplificateurs TEDCNES (a), ARABSAT4 (b) et TI9083-8 (c)

1.5 Conclusion

Ce chapitre a présenté dans un premier temps, une technique novatrice adaptable à tout type d’amplificateur, rapide et précise, de détermination des caractéristiques AM/AM et AM/PM d’un linéariseur par prédistorsion. Ensuite, les caractéristiques AM/AM et AM/PM idéales d’un amplificateur linéarisé, bénéficiant d’une exploitation maximale des performances en puissance du HPA, linéaire sur tout l’intervalle de puissance $[0; P_{e,sat}]$,

II.1. CARACTÉRISTIQUES DE TRANSFERT AM/AM ET AM/PM MONO-FRÉQUENCES D'UN LINÉARISEUR PAR PRÉDISTORSION

et n'impliquant pas l'utilisation de module de gain ou d'écrêteur, ont été présentées. Grâce à ces données, les caractéristiques de prédistorsion des linéariseurs associés aux amplificateurs présentés au chapitre I.1 ont enfin été définies.

Le chapitre suivant présente une étude de différentes architectures permettant de réaliser des opérations de linéarisation par prédistorsion. L'une de ces structures, polyvalente et plus simple à mettre en œuvre, est par la suite davantage détaillée.

CHAPITRE 2

Architectures de linéariseur par prédistorsion

Dans le chapitre II.1 a été présentée une méthode innovante de détermination des caractéristiques de transfert en amplitude et en phase d'un linéariseur par prédistorsion. Ce chapitre présente une étude d'architectures de linéariseur fonctionnant en bande de base ou à fréquence intermédiaire et mettant en œuvre ces caractéristiques de transfert. Le choix de concevoir un linéariseur utilisant des structures de prédistorsion en amplitude et en phase connectées en série est justifié. Des techniques d'implantation de ces structures sont par ailleurs proposées.

Dans toute la suite, le linéariseur est supposé fonctionner en bande de base ou à fréquence intermédiaire et l'opération de transposition à haute fréquence est supposée transparente.

2.1 Les différentes architectures de linéariseur envisageables

Le système de prédistorsion conçu dans ces travaux agit à la fois sur l'amplitude et sur la phase du signal d'entrée. Il est néanmoins difficile de réaliser un circuit électronique permettant d'agir finement sur les 2 composantes simultanément. S'il est impossible, à haute fréquence de modifier l'amplitude d'un signal sans en modifier la phase – et inversement –, ce n'est pas le cas en bande de base ou à fréquence intermédiaire. Par conséquent, dans le contexte de ces travaux, il est possible de réaliser deux modules de prédistorsion distincts, l'un agissant sur l'amplitude du signal sans en modifier la phase et l'autre agissant sur la phase du signal sans en altérer l'amplitude. Deux architectures sont alors envisageables.

2.1.1 Architecture parallèle

D'abord, il est possible de distordre en même temps et en parallèle le signal en amplitude et en phase, puis de recombinaison les deux signaux, comme le suggère la figure II.2.1.

Cette topologie présente néanmoins deux inconvénients majeurs. D'abord, elle nécessite que les temps de parcours du signal dans les deux modules de prédistorsion soient identiques afin que les ondes recombinaisonées en sortie soient bien issues du même symbole. Cette contrainte peut notamment nécessiter le développement d'une ligne à retard programmable. Ensuite, cette structure nécessite le développement d'une fonction supplémentaire permettant de recombinaison les 2 signaux. Dans l'idéal, cette fonction de mélange ne doit

II.2. ARCHITECTURES DE LINÉARISEUR PAR PRÉDISTORSION

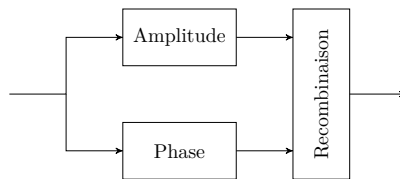


FIGURE II.2.1 – Architecture de linéarisation à prédistorsions parallèles

pas apporter de modifications supplémentaires au signal prédistordu ; si elle en apporte, elles doivent être prises en compte dans le calcul des caractéristiques de prédistorsion, ce qui complexifie la mise en œuvre du système.

2.1.2 Architectures série

Une autre structure permet de s'affranchir de ces contraintes : il est possible d'assembler les deux modules de prédistorsion en série. En effet, comme la prédistorsion en amplitude ne modifie pas la phase et celle en phase n'altère pas l'amplitude, le signal peut être traité successivement en amplitude puis en phase (ou l'inverse) comme le montre la figure II.2.2. L'ordre des corrections n'a pas d'influence sur la linéarisation.

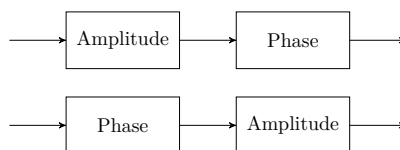


FIGURE II.2.2 – Deux architectures de linéariseur à prédistorsions série

Cette structure permet de s'affranchir des contraintes de temps de recombinaison en phase de deux ondes ayant parcouru des chemins différents et ne nécessite pas de circuit de recombinaison. Cette solution est retenue pour la conception d'un linéariseur présentée dans la suite de ce tapuscrit.

2.2 Architecture détaillée d'un linéariseur à prédistorsions série

2.2.1 Structure détaillée des fonctions de prédistorsion

Ce paragraphe détaille les fonctions que doivent intégrer les modules de prédistorsion en amplitude et en phase définie sur la figure II.2.2.

2.2.1.1 Génération d'une grandeur proportionnelle à la puissance moyenne du signal d'entrée du linéariseur

La prédistorsion consiste à corriger la puissance moyenne et la phase moyenne d'un signal en fonction de sa puissance moyenne d'entrée au cours du temps. La correction à apporter doit permettre d'obtenir des caractéristiques de transfert en amplitude et en phase identiques à celles déterminées par l'intermédiaire de la méthode décrite au

chapitre II.1. Or, l'amplitude maximale d'un signal et son enveloppe en puissance sont liées. Pour réaliser une architecture de prédistorsion à partir de la variation temporelle du signal d'entrée, il est ainsi nécessaire d'avoir accès à une grandeur proportionnelle à l'amplitude maximale ou, de manière équivalente, à la puissance moyenne de ce signal d'entrée.

En particulier, pour un signal modulé de la forme $A\cos(2\pi ft + \phi)$, la puissance moyenne correspondante est $A^2/2R$ (avec R la charge). Une image de la puissance moyenne du signal peut être estimée grâce à un détecteur de crête ou d'enveloppe, donnant une tension proportionnelle à A , ou à un détecteur de puissance, indiquant une grandeur proportionnelle à A^2 , comme le schématise la figure II.2.3. La solution retenue pour la suite des travaux est un circuit détecteur de puissance, en bleu sur la figure. Ce choix est justifié au paragraphe 2.3.

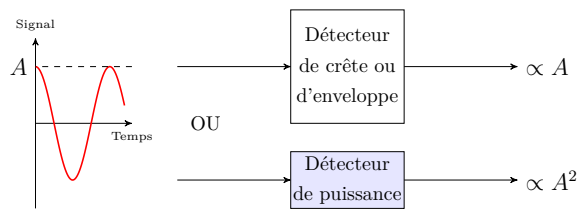


FIGURE II.2.3 – Exemple de modules permettant d'obtenir une grandeur proportionnelle à l'amplitude ou à la puissance moyenne d'un signal. Le détecteur de puissance, en bleu, est la solution retenue pour la suite des travaux.

Cette grandeur peut alors être exploitée par les modules de prédistorsion en amplitude et en phase pour réaliser les caractéristiques de transfert du linéariseur préalablement établies.

2.2.1.2 Le module de prédistorsion en amplitude

Le rôle du module de prédistorsion en amplitude est de transformer l'amplitude du signal d'entrée en fonction de la valeur de sa puissance moyenne. Le rapport entre l'amplitude du signal en sortie de ce module et la puissance moyenne en entrée a été déterminé par l'intermédiaire de la méthode présentée au chapitre II.1. Rappelons que, dans l'objectif de réaliser les fonctions de transfert du système "Linéariseur + Amplificateur" présentées dans ce même chapitre, le module de prédistorsion en amplitude joue un rôle d'atténuateur fonction de la puissance moyenne du signal d'entrée.

Le module de prédistorsion en amplitude doit donc extraire de la valeur de la puissance moyenne du signal d'entrée, issue du détecteur de puissance présenté au chapitre précédent, le facteur d'atténuation correspondant, puis appliquer ce facteur d'atténuation au signal d'entrée. Pour réaliser cette atténuation à facteur variable, le choix est fait d'utiliser un amplificateur à gain variable (ou VGA pour *Variable Gain Amplifier*) en atténuateur à facteur d'atténuation variable. Un module de commande, introduit entre le détecteur de puissance et la commande du VGA, permet d'appliquer le bon coefficient d'atténuation en fonction de la puissance moyenne du signal d'entrée et de la caractéristique de transfert AM/AM du linéariseur préalablement établie. La figure II.2.4 représente la structure du module de prédistorsion en amplitude imaginée.

La figure II.2.5 précise, pour deux signaux d'amplitudes différentes, les étapes permettant d'appliquer au VGA la commande de facteur d'atténuation correct, en relation

II.2. ARCHITECTURES DE LINÉARISEUR PAR PRÉDISTORSION

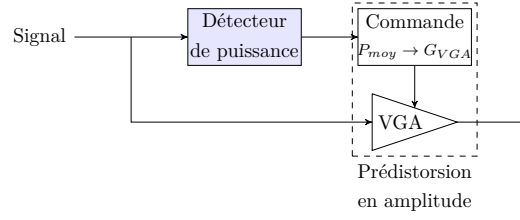


FIGURE II.2.4 – Module de prédistorsion en amplitude

avec le tableau II.1.3 décrivant la caractéristique AM/AM du linéariseur présenté au chapitre précédent. Le tableau contient uniquement les puissances d'entrée $P_{e,Lin}$ et de sortie $P_{e,HPA}$ du module de prédistorsion en amplitude ; l'atténuation G_{VGA} est le rapport des deux grandeurs : pour tout $i \in \llbracket 1; N \rrbracket$, $G_{VGA}(i) = P_{e,HPA}(i)/P_{e,Lin}(i)$. Le raisonnement $\textcircled{1}' \rightarrow \textcircled{2}' \rightarrow \textcircled{3}' \rightarrow \textcircled{4}'$ est identique au raisonnement $\textcircled{1} \rightarrow \textcircled{2} \rightarrow \textcircled{3} \rightarrow \textcircled{4}$ mais pour un signal de plus grande amplitude. Les différentes étapes sont :

- $\textcircled{1}$ (ou $\textcircled{1}'$) Détection de la puissance d'entrée ;
- $\textcircled{2}$ (ou $\textcircled{2}'$) Détermination de la puissance moyenne correspondante dans le tableau II.1.3 ;
- $\textcircled{3}$ (ou $\textcircled{3}'$) Détermination du gain correspondant dans le tableau II.1.3 ;
- $\textcircled{4}$ (ou $\textcircled{4}'$) Application de la commande d'atténuation correspondante au VGA.

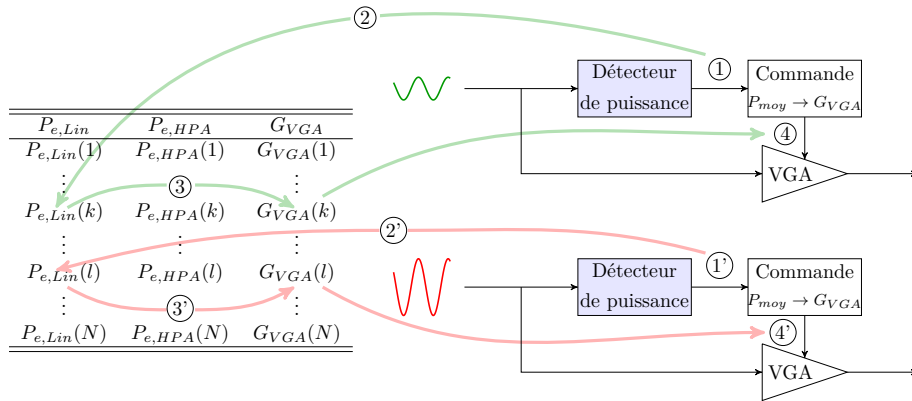


FIGURE II.2.5 – Etapes de la prédistorsion en amplitude permettant d'appliquer au VGA le facteur d'atténuation correcte. Le raisonnement $\textcircled{1}' \rightarrow \textcircled{2}' \rightarrow \textcircled{3}' \rightarrow \textcircled{4}'$ est identique au raisonnement $\textcircled{1} \rightarrow \textcircled{2} \rightarrow \textcircled{3} \rightarrow \textcircled{4}$ mais pour un signal de plus grande amplitude

Toutefois, pour que la prédistorsion soit correcte, il est nécessaire que le facteur d'atténuation soit appliqué au signal d'entrée correspondant (et non à un signal ayant une puissance moyenne différente). Or le détecteur de puissance requiert au moins une période du signal d'entrée avant de fournir une information correcte. De la même manière, la conversion $P_{moy} \rightarrow G_{VGA}$ requiert un certain temps pour être réalisée (à déterminer lors de la réalisation du module). Ainsi, pour que la consigne et le signal aux entrées du VGA correspondent au même symbole, il est nécessaire de retarder le signal entre l'entrée du système et l'entrée du VGA, d'un temps égal à la somme du temps nécessaire au circuit détecteur de puissance à fournir une donnée correcte et du temps de conversion $P_{moy} \rightarrow G_{VGA}$. Finalement, une structure détaillée plus aboutie du module de prédistorsion en

amplitude est présentée sur la figure II.2.6.

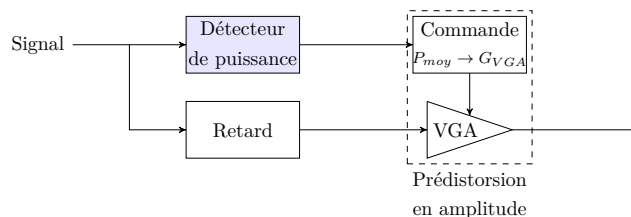


FIGURE II.2.6 – Module de prédistorsion en amplitude avec retard

2.2.1.3 Le module de prédistorsion en phase

Le rôle du module de prédistorsion en phase est de transformer la phase du signal d'entrée en fonction de la valeur de sa puissance moyenne. Le rapport entre la phase du signal en sortie de ce module et la puissance moyenne en entrée a été déterminé par l'intermédiaire de la méthode présentée au chapitre II.1.

Le module de prédistorsion en amplitude doit donc extraire de la valeur de la puissance moyenne du signal d'entrée, issue du détecteur de puissance présenté au chapitre précédent, le déphasage correspondant, puis appliquer ce déphasage au signal d'entrée. Pour réaliser ce déphasage variable, le choix est fait d'utiliser un déphaseur à commande variable. Un module de commande, introduit entre le détecteur de puissance et la commande du déphaseur, permet d'appliquer le bon déphasage en fonction de la puissance moyenne du signal d'entrée et de la caractéristique de transfert AM/PM du linéariseur préalablement établie. La figure II.2.7 représente la structure du module de prédistorsion en amplitude imaginée.

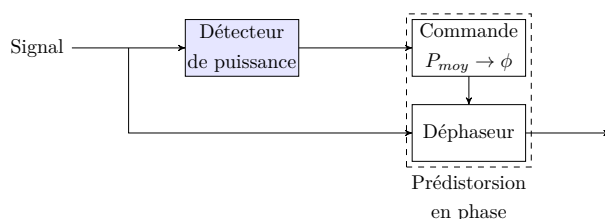


FIGURE II.2.7 – Module de prédistorsion en phase

La figure II.2.8 précise, pour deux signaux d'amplitudes différentes, les étapes permettant d'appliquer au déphaseur la commande de déphasage correct, en relation avec le tableau II.1.3 décrivant la caractéristique AM/PM du linéariseur présenté au chapitre précédent. Le raisonnement ①'→②'→③'→④' est identique au raisonnement ①→②→③→④ mais pour un signal de plus grande amplitude.

- ① (ou ①') Détection de la puissance d'entrée ;
- ② (ou ②') Détermination de la puissance moyenne correspondante dans le tableau II.1.3 ;
- ③ (ou ③') Détermination du déphasage correspondant dans le tableau II.1.3 ;
- ④ (ou ④') Application de la commande de déphasage correspondante au déphaseur.

II.2. ARCHITECTURES DE LINÉARISEUR PAR PRÉDISTORSION

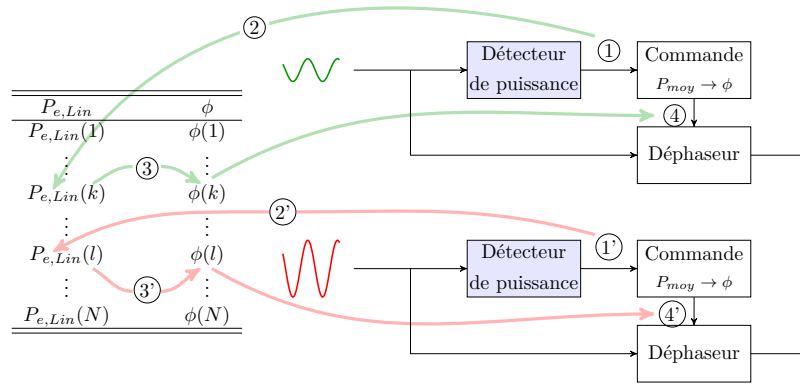


FIGURE II.2.8 – Etapes de la prédistorsion en phase permettant d'appliquer au déphaseur la consigne de déphasage correcte. Le raisonnement $\textcircled{1}' \rightarrow \textcircled{2}' \rightarrow \textcircled{3}' \rightarrow \textcircled{4}'$ est identique au raisonnement $\textcircled{1} \rightarrow \textcircled{2} \rightarrow \textcircled{3} \rightarrow \textcircled{4}$ mais pour un signal de plus grande amplitude

De la même façon que pour la prédistorsion en amplitude, la commande de déphasage et le signal en entrée du déphaseur à un instant donné doivent correspondre au même symbole. Un retard doit donc également être implanté dans la structure de prédistorsion en phase. La figure II.2.9 représente cette structure.

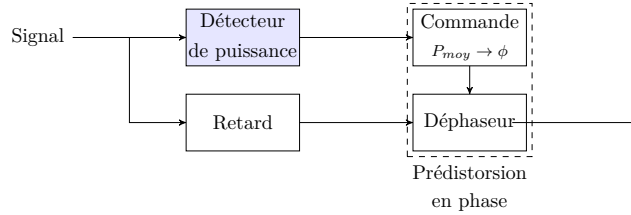


FIGURE II.2.9 – Module de prédistorsion en phase avec retard

2.2.2 Architecture finale

Ce paragraphe présente une architecture de linéariseur intégrant les deux modules de prédistorsion des figures II.2.6 et II.2.9 connectés en série selon la figure II.2.2. Il est cependant possible de réaliser une architecture plus innovante que le simple chaînage des deux modules de prédistorsion en amplitude et en phase tels qu'ils sont décrits dans les paragraphes précédents.

En effet, le module de prédistorsion en phase ne modifie pas l'amplitude du signal et donc n'altère pas sa puissance moyenne. Il est donc possible de s'affranchir de détecter la puissance moyenne du signal en sortie du déphaseur et d'en injecter la sortie directement sur l'entrée du VGA. Un unique détecteur de puissance peut ainsi servir aux deux modules de commande $P_{moy} \rightarrow G_{VGA}$ et $P_{moy} \rightarrow \phi$. Un circuit, générant un retard égal au temps de transit du signal dans le déphaseur, doit tout de même être implanté entre le détecteur de puissance et le module de commande $P_{moy} \rightarrow G_{VGA}$. De cette manière, la consigne générée par ce module correspond bien au signal transitant dans le VGA.

L'architecture du linéariseur à prédistorsion est détaillée sur la figure II.2.10.

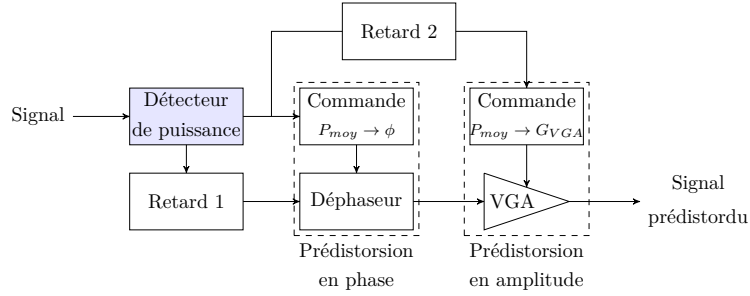


FIGURE II.2.10 – Architecture détaillée du linéariseur à prédistorsion proposé dans ce tapuscrit

2.3 Simulation comportementale du linéariseur proposé

L'architecture du linéariseur ayant été définie, elle a été modélisée sous Scilab 5.5.0 afin de valider l'ensemble des considérations présentées précédemment et ainsi montrer que cette topologie permet bien de réaliser les corrections attendues. Sur le même principe, le HPA a été modélisé par ses variations d'amplitude et de phase en fonction de la puissance moyenne du signal à son entrée. Dans cette étude, la transposition, supposée transparente, n'est ni représentée, ni simulée : le raisonnement s'effectue uniquement sur l'enveloppe du signal. Par ailleurs, le comportement des différentes fonctions est idéal ; en particulier, le détecteur de puissance et le déphaseur ne génèrent pas de retard.

Pour simuler le linéariseur, il est nécessaire de définir précisément dans un premier temps, les caractéristiques de transfert du détecteur de puissance, du VGA, du déphaseur et des modules de commande $P_{moy} \rightarrow G_{VGA}$ et $P_{moy} \rightarrow \phi$.

2.3.1 Caractéristiques de transfert des différentes fonctions du linéariseur

2.3.1.1 Caractéristique du détecteur de puissance

Plusieurs familles de circuits permettent de générer un signal image de la puissance moyenne d'un signal. Les circuits détecteurs de crête ou d'enveloppe fournissent une information proportionnelle à l'amplitude maximale du signal ; les circuits détecteurs de puissance renvoient, eux, une information proportionnelle à sa puissance moyenne. La famille la plus représentée est celle des circuits détecteurs de puissance, à la fois dans la littérature scientifique [95–97] et chez les grands fabricants de composants électroniques (Linear Technology LT5534 ou LTC5582, Analog Devices AD8319 ou AD8364, etc.), couvrant de larges gammes de fréquences et de grandes plages de gain. La majorité des circuits fournissent une tension de sortie proportionnelle à la puissance moyenne du signal en dBm. C'est ce type de composant qui a été retenu pour la suite des travaux. Le choix du modèle du composant est justifié au chapitre III.1.

A partir de ces considérations, il est possible de construire la caractéristique de transfert du détecteur de puissance. Comme toutes les données dont nous disposons fournissent les puissances exprimées en W, la même convention a été choisie pour décrire la caractéristique du détecteur. Pour chaque valeur de puissance moyenne d'entrée issue du

II.2. ARCHITECTURES DE LINÉARISEUR PAR PRÉDISTORSION

tableau II.1.3, le circuit génère ainsi une tension V_{pwr} proportionnelle à cette dite puissance d'entrée exprimée en dBm, selon le tableau II.2.1 :

TABLEAU II.2.1 – Tableau décrivant la caractéristique du détecteur de puissance ($a_{pwr} \in \mathbb{R}^+$)

$P_{e,Lin}$ (W)	V_{pwr} (V)
$P_{e,Lin}(i)$	$V_{pwr}(i) = a_{pwr}(10\log(P_{e,Lin}(i)) + 30)$
$P_{e,Lin}(1)$	$V_{pwr}(1) = a_{pwr}(10\log(P_{e,Lin}(1)) + 30)$
$P_{e,Lin}(2)$	$V_{pwr}(2) = a_{pwr}(10\log(P_{e,Lin}(2)) + 30)$
\vdots	\vdots
$P_{e,Lin}(N)$	$V_{pwr}(N) = a_{pwr}(10\log(P_{e,Lin}(N)) + 30)$

Rappel : La puissance en dBm s'exprime à partir de la puissance en W selon : $P_{dBm} = 10\log(\frac{P_W}{1mW}) = 10\log(P_W) + 30$.

2.3.1.2 Caractéristiques du déphaseur et du module de commande $P_{moy} \rightarrow \phi$

Un circuit déphaseur configurable est utilisé pour réaliser la prédistorsion en phase. La grande majorité des implantations de tels circuits repose sur l'utilisation de filtres passe-tout [98–101]. Ces circuits ont un gain unitaire et une phase ϕ fonction de la valeur de composants passifs (résistance R et condensateur C) selon l'équation 2.1 :

$$\phi = 180^\circ - 2\text{Arctan}(RC\omega_0) \quad (2.1)$$

avec ω_0 la pulsation du signal d'entrée. Or il est possible d'implanter des composants passifs contrôlables par l'intermédiaire d'une tension $V_{c,\phi}$ et dont la valeur est inversement proportionnelle à ce signal. La phase s'écrit alors :

$$\phi = 180^\circ - 2\text{Arctan}\left(\frac{a_\phi\omega_0}{V_{c,\phi}}\right) \quad (2.2)$$

avec a_ϕ un paramètre dépendant du circuit.

A partir de ces considérations et du tableau II.1.3, il est possible de construire la caractéristique de transfert du module de commande $P_{moy} \rightarrow \phi$. Le module reçoit la tension V_{pwr} en entrée et génère une tension $V_{c,\phi}$ selon le tableau II.2.2.

TABLEAU II.2.2 – Tableau décrivant la caractéristique du module de commande $P_{moy} \rightarrow \phi$

V_{pwr} (V)	$V_{c,\phi}$ (V)
$V_{pwr}(i)$	$V_{c,\phi}(i) = a_\phi\omega_0 \cdot \left(\tan\left(\frac{\phi(i)-180^\circ}{2}\right)\right)^{-1}$
$V_{pwr}(1)$	$V_{c,\phi}(1) = a_\phi\omega_0 \cdot \left(\tan\left(\frac{\phi(1)-180^\circ}{2}\right)\right)^{-1}$
$V_{pwr}(2)$	$V_{c,\phi}(2) = a_\phi\omega_0 \cdot \left(\tan\left(\frac{\phi(2)-180^\circ}{2}\right)\right)^{-1}$
\vdots	\vdots
$V_{pwr}(N)$	$V_{c,\phi}(N) = a_\phi\omega_0 \cdot \left(\tan\left(\frac{\phi(N)-180^\circ}{2}\right)\right)^{-1}$

Inversement, naturellement, la caractéristique en phase du déphaseur, en fonction de la puissance moyenne du signal à son entrée et de la tension de commande $V_{c,\phi}$ est décrite par le tableau II.2.3.

II.2.3. SIMULATION COMPORTEMENTALE DU LINÉARISEUR PROPOSÉ

TABLEAU II.2.3 – Tableau décrivant la caractéristique de transfert du déphaseur

$P_{e,Lin}$ (W)	ϕ (V)
$P_{e,Lin}(i)$	$\phi(i) = 180^\circ - 2Arctan(\frac{a_\phi \omega_0}{V_{c,\phi}(i)})$
$P_{e,Lin}(1)$	$\phi(1) = 180^\circ - 2Arctan(\frac{a_\phi \omega_0}{V_{c,\phi}(1)})$
$P_{e,Lin}(2)$	$\phi(2) = 180^\circ - 2Arctan(\frac{a_\phi \omega_0}{V_{c,\phi}(2)})$
\vdots	\vdots
$P_{e,Lin}(N)$	$\phi(N) = 180^\circ - 2Arctan(\frac{a_\phi \omega_0}{V_{c,\phi}(N)})$

2.3.1.3 Caractéristiques du VGA et du module de commande $P_{moy} \rightarrow G_{VGA}$

Il existe de nombreux amplificateurs à gain variable dans la littérature scientifique [102–104] ou chez de grands fabricants de composants électroniques (Analog Device ADL5330 ou AD8330, Texas Instrument VCA82X ou LMH6502, NXP BGA7351, etc.), couvrant de larges gammes de fréquences et de grandes plages de gain. Ces circuits ont parfois un gain linéaire, mais plus généralement exponentiel en fonction du signal de contrôle. Cette dernière solution, plus courante, est retenue pour la suite des travaux. Une référence d'amplificateur à gain variable spécifique est choisie au chapitre III.1.

A partir de ces considérations et du tableau II.1.3, il est possible de construire la caractéristique de transfert du module de commande $P_{moy} \rightarrow G_{VGA}$. Le module reçoit la tension V_{pwr} en entrée et génère une tension $V_{c,VGA}$ proportionnelle au gain en dB que doit réaliser le VGA, selon le tableau II.2.4.

TABLEAU II.2.4 – Tableau décrivant la caractéristique du module de commande $P_{moy} \rightarrow G_{VGA}$ ($a_{VGA} \in \mathbb{R}^+$)

V_{pwr} (V)	$V_{c,VGA}$ (V)
$V_{pwr}(i)$	$V_{c,VGA}(i) = a_{VGA} \cdot 10\log(G_{VGA}(i))$
$V_{pwr}(1)$	$V_{c,VGA}(1) = a_{VGA} \cdot 10\log(G_{VGA}(1))$
$V_{pwr}(2)$	$V_{c,VGA}(2) = a_{VGA} \cdot 10\log(G_{VGA}(2))$
\vdots	\vdots
$V_{pwr}(N)$	$V_{c,VGA}(N) = a_{VGA} \cdot 10\log(G_{VGA}(N))$

Rappel : Le gain en dB G_{dB} s'exprime à partir du facteur d'amplification G selon : $G_{dB} = 10\log(G)$.

La puissance moyenne $P_{e,HPA}$ du signal en sortie du VGA est fonction de la puissance moyenne $P_{e,Lin}$ du signal à son entrée et de la tension $V_{c,VGA}$ selon le tableau II.2.5.

TABLEAU II.2.5 – Tableau décrivant la caractéristique de transfert du VGA

$P_{e,Lin}$ (W)	$P_{e,HPA}$ (W)
$P_{e,Lin}(i)$	$P_{e,HPA}(i) = 10^{V_{c,VGA}(i)/(10a_{VGA})} P_{e,Lin}(i)$
$P_{e,Lin}(1)$	$P_{e,HPA}(1) = 10^{V_{c,VGA}(1)/(10a_{VGA})} P_{e,Lin}(1)$
$P_{e,Lin}(2)$	$P_{e,HPA}(2) = 10^{V_{c,VGA}(2)/(10a_{VGA})} P_{e,Lin}(2)$
\vdots	\vdots
$P_{e,Lin}(N)$	$P_{e,HPA}(N) = 10^{V_{c,VGA}(N)/(10a_{VGA})} P_{e,Lin}(N)$

2.3.2 Déroulement de la simulation

A partir des tableaux II.2.1, II.2.2, II.2.3, II.2.4 et II.2.5, l'architecture présentée sur la figure II.2.10 est modélisée et simulée selon la procédure suivante, schématisée sur la figure II.2.11 :

- ① un signal d'entrée sinusoïdal pur d'amplitude $A(i)$ (et de puissance moyenne $P_{e,Lin}(i)$) et de phase nulle est généré ;
- ② sa puissance moyenne $P_{e,Lin}(i)$ et la tension $V_{pwr}(i)$ sont déterminées à partir du tableau II.2.1 ;
- ③ la tension $V_{c,\phi}(i)$ est déterminée à partir du tableau II.2.2 et appliquée au circuit déphaseur ;
- ④ le déphasage à appliquer au signal est déterminé à partir de sa puissance moyenne, de la tension $V_{c,\phi}(i)$ et du tableau II.2.3. Un signal déphasé de $\phi(i)$ est alors modélisé par un décalage temporel de $\Delta T = 2\pi f\phi(i)$;
- ⑤ la tension $V_{c,VGA}(i)$ est déterminée à partir du tableau II.2.4 et appliquée au VGA ;
- ⑥ le VGA atténue le signal en fonction de la tension $V_{c,\phi}(i)$ et du tableau II.2.5.

A ce stade de la simulation, le signal généré est équivalent à un sinus prédistordu en sortie de linéariseur. Il est alors appliqué au HPA :

- ⑦ le signal est déphasé en fonction de sa puissance moyenne et du tableau II.1.1. Encore une fois, le déphasage est modélisé par un décalage temporel ;
- ⑧ le signal est amplifié en fonction de sa puissance moyenne et du tableau II.1.1.

Le signal, représentant un symbole linéarisé en sortie d'amplificateur, a une puissance moyenne de $P_{s,HPA}(i)$ et une phase de $\phi(i) + \psi(i)$.

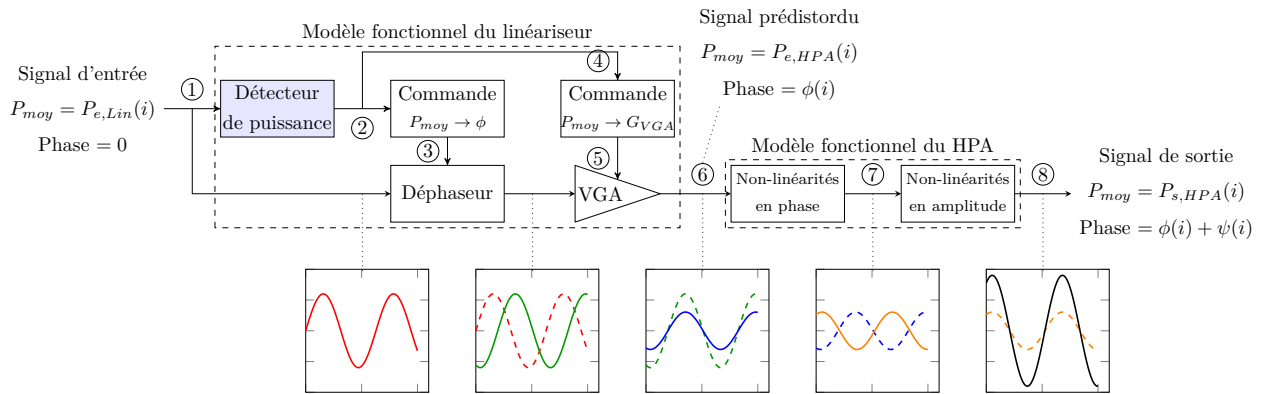


FIGURE II.2.11 – Topologie du système simulé représentant l'architecture de la figure II.2.10

En répétant cette procédure ① → ... → ⑧ pour différentes amplitudes du signal d'entrée, correspondant à différentes puissances moyennes, il est possible de construire les caractéristiques AM/AM et AM/PM complètes du système "Linéariseur+Amplificateur".

2.3.3 Résultats

Ce paragraphe présente les résultats de cette modélisation comportementale pour l'amplificateur TEDCNES. Pour ne pas nuire à la lisibilité du tapuscrit, les résultats

II.2.3. SIMULATION COMPORTEMENTALE DU LINÉARISEUR PROPOSÉ

associés aux amplificateurs ARABSAT4 et TI9083-8 sont présentés dans l'annexe D.

La figure II.2.12 présente les caractéristiques de transfert des modules de commande pour $a_{pwr} = 1$, $a_\phi = 1$, $\omega_0 = 1$ et $a_{VGA} = 1$. Les différentes valeurs n'ont aucune réalité physique ; seul l'aspect des courbes est important ici.

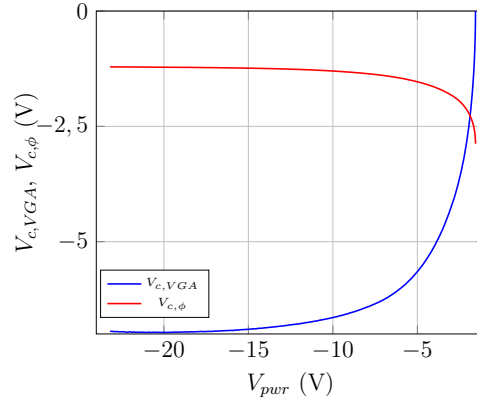


FIGURE II.2.12 – Caractéristiques de transfert des modules de commande $P_{moy} \rightarrow G_{VGA}$ et $P_{moy} \rightarrow \phi$ de l'amplificateur TEDCNES pour $a_{pwr} = 1$, $a_\phi = 1$, $\omega_0 = 1$ et $a_{VGA} = 1$

La figure II.2.13 représente les caractéristique AM/AM et AM/PM linéarisées (respectivement à gauche et à droite) de l'amplificateur TEDCNES. Le gain et la phase sont parfaitement constants.

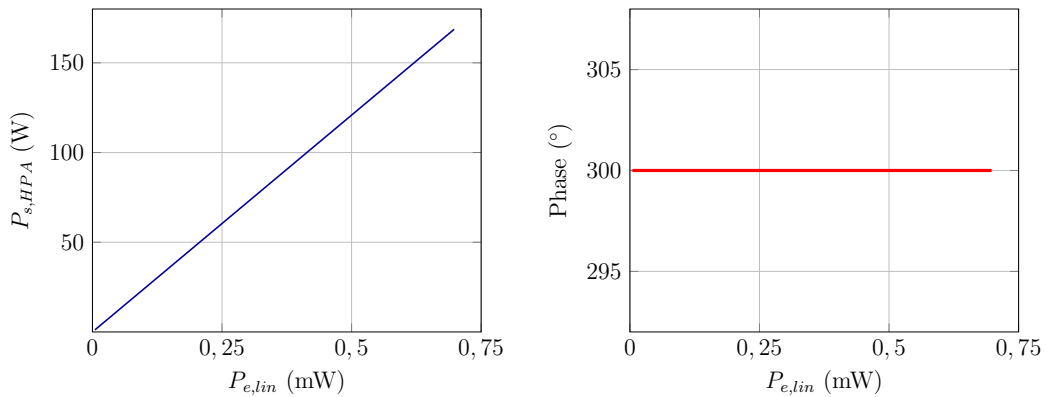


FIGURE II.2.13 – Simulation de l'architecture de la figure II.2.10 et linéarisation de l'amplificateur de puissance TEDCNES
A gauche : caractéristiques de transfert AM/AM linéarisée
A droite : caractéristiques de transfert AM/PM linéarisée

Cette procédure donne naturellement un résultat parfait avec les caractéristiques idéales des tableaux précédents. Il était néanmoins important, pour la suite des travaux, de valider cette méthode (et le comportement du linéariseur) dans ce cadre, afin de pouvoir l'exploiter avec des modules de commande non-idéaux mais implantables.

2.4 Conclusion

Dans ce chapitre, une architecture de linéariseur à prédistorsion est proposée. Elle permet de réaliser les opérations de linéarisation en amplitude et en phase indépendamment. Il est démontré que cette architecture est capable de linéariser un amplificateur de manière à obtenir les caractéristiques de sortie du système “Linéariseur + Amplificateur” définies au chapitre précédent. Cette architecture sera caractérisée plus finement dans la suite de ces travaux.

Dans le chapitre suivant est traitée la modélisation des modules de commande $P_{moy} \rightarrow G_{VGA}$ et $P_{moy} \rightarrow \phi$ de l’architecture proposée sur la figure II.2.10. Leur précision d’approximation des caractéristiques de transfert AM/AM et AM/PM du linéariseur et leur reconfigurabilité sont deux critères fondamentaux pour le développement d’un système de prédistorsion susceptible de linéariser plusieurs amplificateurs de puissance selon les critères définis au chapitre II.1. Pour atteindre ces objectifs, une structure polyvalente et adaptative est exploitée : les réseaux de neurones.

CHAPITRE 3

Modélisation des caractéristiques de prédistorsion par réseaux de neurones

Il existe de nombreuses techniques de modélisation de non-linéarités susceptibles d'être utilisées dans le développement d'un linéariseur à prédistorsion. L'annexe B présente les principales méthodes, leurs avantages et leurs inconvénients. Les réseaux de neurones y apparaissent comme la solution la plus polyvalente et c'est pourquoi seules ces structures sont étudiées dans ces travaux.

Ce chapitre présente ainsi l'exploitation des réseaux de neurones pour modéliser les caractéristiques de transfert des modules de conversion $P_{moy} \rightarrow G_{VGA}$ et $P_{moy} \rightarrow \phi$ des prédistorsions en amplitude et en phase d'un linéariseur présentés au chapitre II.2. Après une brève description des réseaux de neurones et de leurs avantages dans le contexte de la linéarisation d'amplificateurs de puissance, la simulation comportementale de ces structures polyvalentes démontre leur capacité à linéariser les trois amplificateurs présentés au chapitre I.1.

3.1 Introduction aux réseaux de neurones

Les réseaux de neurones sont des architectures de calcul utilisées dans un grand nombre d'applications. Ils sont ainsi exploités pour des opérations de classifications [10], notamment de reconnaissance de forme (lecture automatique de codes postaux [105–107], reconnaissance de visages [108, 109], détection de formes [110, 111]), de contrôle non destructif (détection de défauts dans les rails par courant de Foucault [112]), de fouille de données [113], etc. Les réseaux de neurones sont également utilisés pour des applications nécessitant la modélisation de fonctions non-linéaires, telles que

- la recherche de lois générales régissant un système à partir d'un nombre limité de données, afin d'en prévoir l'évolution (en météorologie, démographie ou finance par exemple) ;
- le traitement de données afin de simplifier une prise de décision [114] ;
- la correction de transferts non linéaires [23, 27, 28, 79–83, 115, 116].

C'est dans ce dernier cadre qu'ils sont présentés et étudiés dans cette thèse.

3.1.1 Structure d'un réseau de neurones

3.1.1.1 Le neurone

Un neurone est une fonction non-linéaire, paramétrable, à valeurs bornées à une ou plusieurs entrées et une sortie. Cette appellation est inspirée des neurones biologiques. La figure II.3.1 représente à gauche un neurone biologique transmettant un signal électrique

II.3. MODÉLISATION DES CARACTÉRISTIQUES DE PRÉDISTORSION PAR RÉSEAUX DE NEURONES

issu des dendrites vers l'axone. À droite, un neurone formel réalise, à partir de ses variables d'entrées x_i ($i \in \llbracket 1; n \rrbracket$) et de paramètres externes a_j ($j \in \llbracket 1; k \rrbracket$) la fonction non-linéaire bornée $y = f(x_1, x_2, \dots, x_n, a_1, a_2, \dots, a_k)$ [117, 118].

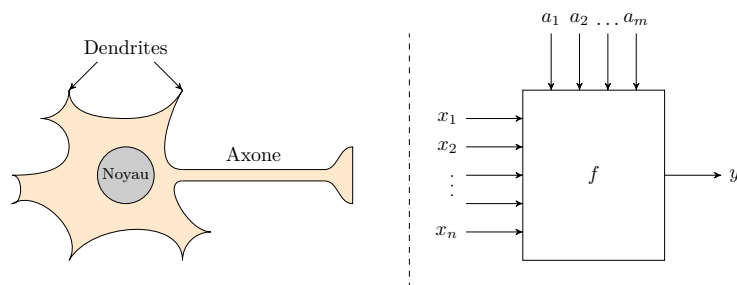


FIGURE II.3.1 – Représentation d'un neurone biologique (à gauche) et d'un neurone formel (à droite)

La fonction de transfert d'un neurone dépend à la fois de ses variables d'entrées et de paramètres externes qui permettent d'ajuster la forme de la fonction non-linéaire. L'intérêt des neurones réside dans leur association en réseau.

3.1.1.2 Les réseaux de neurones

Un réseau de neurones est l'association de plusieurs neurones, organisés de sorte que les sorties du réseau réalisent une approximation d'une fonction spécifique en fonction des entrées x_i et des paramètres a_j . Les sorties d'un réseau de neurones réalisent donc des compositions de fonctions non-linéaires de ses entrées et de ses paramètres externes.

Il existe deux familles de réseaux de neurones : les réseaux bouclés et les réseaux non-bouclés.

Un réseau de neurones non-bouclé (ou *Feedforward Neural Network*) peut être représenté graphiquement par un ensemble de neurones connectés de sorte que l'information ne transite au sein du réseau que des entrées vers les sorties, sans contre-réaction [10]. Les neurones effectuant les dernières opérations sont appelés neurones de sortie et constituent la couche de sortie. Les neurones placés entre les entrées et les neurones de sorties sont appelés neurones cachés et sont organisés en plusieurs couches dites cachées. Les neurones cachés sont en nombre variable et forment le cœur du réseau, effectuant des calculs intermédiaires en parallèle. Plus ils sont nombreux, plus la puissance de calcul ou la capacité du réseau à approcher une fonction spécifique est importante. Le nombre de couches cachées est généralement limité à une ou deux, afin de faciliter la convergence des algorithmes de mise à jour des paramètres a_j détaillés dans l'annexe C.

Les réseaux non-bouclés sont dits *statiques*, car le temps nécessaire pour le calcul de la fonction réalisée par chaque neurone est considéré comme négligeable et la modification d'une (ou plusieurs) entrée(s) est répercutée en sortie de manière quasi-immédiate.

La figure II.3.2 représente un réseau de neurones non-bouclés à n entrées, une couche cachée de N_j neurones et à N_m neurones de sortie. Il réalise N_m fonctions non-linéaires de ses n variables d'entrée par composition des N_j fonctions des neurones cachés [10]. Par souci de clarté, les paramètres externes ne sont pas représentés.

Les réseaux de neurones bouclés sont, eux, de plusieurs types, ayant tous en commun, dans l'arrangement de leurs neurones, la présence d'un chemin qui part et revient au même neurone. Tout réseau bouclé peut être représenté sous la forme d'un réseau

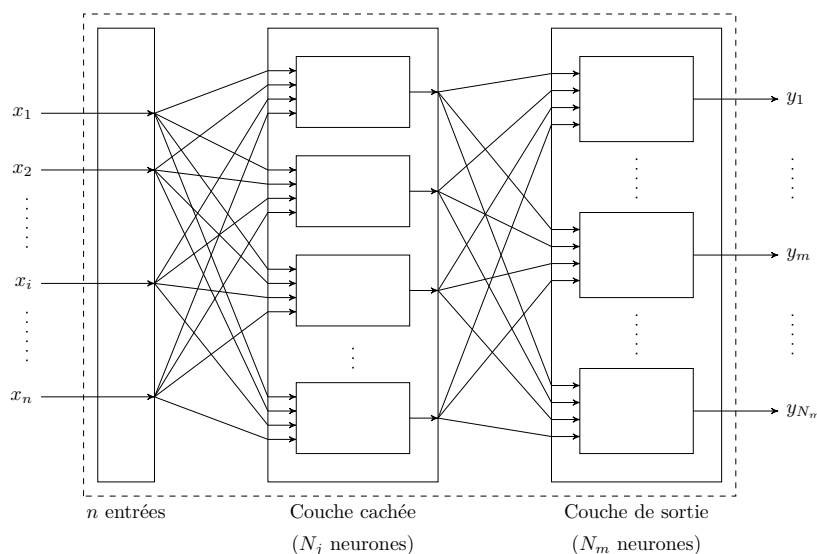


FIGURE II.3.2 – Représentation d’un réseau de neurones non-bouclé à n entrées, une couche cachée de N_j neurones et N_m neurones de sortie

non-bouclé ayant une contre-réaction de la sortie d’un neurone vers un neurone d’une couche antérieure. A cause de cette contre-réaction, ces réseaux sont dits *dynamiques*. Pour étudier un réseau de neurones bouclé, il est nécessaire d’étudier, dans un premier temps, l’équivalent non-bouclé et, par conséquent, quel que soit le type de réseau élaboré, l’étude des réseaux de neurones non-bouclés est fondamentale.

3.1.1.3 Apprentissage des réseaux de neurones

L’apprentissage d’un réseau de neurones est l’étape de calcul des paramètres permettant au réseau d’approcher au mieux la fonction qu’il a à réaliser. Cette fonction peut représenter un phénomène physique, chimique, biologique, économique, etc. parfaitement modélisable par une ou des équations analytiques, ou seulement observable et décrit par un nombre fini de valeurs expérimentales de sorties fonction de valeurs d’entrées judicieusement choisies, sans que les relations les reliant ne soient connues ou définies.

Un apprentissage dit *supervisé* consiste à minimiser l’erreur entre un ensemble de valeurs expérimentales et l’ensemble des valeurs de sortie du réseau de neurones associé, calculé algébriquement en fonction de ses paramètres. Les réseaux de neurones à apprentissage supervisé sont ainsi utilisés pour effectuer des approximations de fonctions définies analytiquement, de la modélisation statistique ou de la régression de fonctions dont la forme analytique est inconnue ou indéfinies expérimentalement.

Un apprentissage dit *non-supervisé* permet de regrouper des données selon des critères de ressemblance inconnus *a priori*. Les réseaux de neurones à apprentissage non-supervisé les plus étudiés et utilisés, en particulier dans le domaine de la visualisation ou de l’analyse de données sont les cartes auto-organisatrices ou de Kohonen [10, 119].

3.2 Le choix d'une architecture de réseaux de neurones dans le cadre de la linéarisation par prédistorsion

Dans l'optique de modéliser les caractéristiques de prédistorsion en amplitude et en phase d'un linéariseur, les réseaux de neurones non-bouclés à apprentissage supervisé représentent la solution la plus simple à mettre en œuvre et la plus robuste [10, 28, 80, 82, 83, 115, 120]. Plus particulièrement, l'architecture de réseaux de neurones non-bouclés à apprentissage supervisé appelée *Perceptron Multi-Couches* (ou MLP pour *Multi-Layers Perceptron*), une des plus utilisées et des plus étudiées à l'heure actuelle, est reconnue pour sa précision et a déjà été implantée avec succès [79–83, 121]. C'est pourquoi le MLP est le modèle de réseau de neurones retenu pour la suite des travaux. L'étude des réseaux de neurones dans le cadre de la modélisation de caractéristiques de prédistorsion présentée dans la suite du chapitre est donc limitée aux réseaux non-bouclés à apprentissage supervisé et au cas particulier du Perceptron Multi-Couches.

3.2.1 Les réseaux de neurones non-bouclés à apprentissage supervisé

3.2.1.1 Propriétés fondamentales

Les réseaux de neurones à apprentissage supervisé ont pour propriété d'être des approximateurs universels : toute fonction bornée suffisamment régulière peut être approchée uniformément, avec une précision arbitraire, dans un domaine fini de l'espace de ses variables, par un réseau de neurones comportant une couche de neurones cachés en nombre fini, possédant tous la même fonction d'activation, et un neurone de sortie linéaire [122–124].

En outre, un réseau de neurones non-bouclés à apprentissage supervisé, entraîné pour un nombre fini de couples $(x_i, y(x_i))$, a la capacité d'extrapoler les valeurs intermédiaires et de réaliser ainsi une fonction continue à partir de données discrètes. Cette faculté est appelée *généralisation*. Même si cette propriété peut être la source d'erreurs d'approximation par surajustement (voir Annexe C), les réseaux de neurones non-bouclés à apprentissage supervisé restent d'excellents approximateurs sur un espace d'entrée bien défini.

Les réseaux de neurones non-bouclés à apprentissage supervisé sont également des approximateurs dits *parcimonieux*. A précision égale, ils nécessitent moins de paramètres ajustables que les approximateurs universels couramment utilisés (polynomiaux par exemple). Plus précisément, le nombre de paramètres varie linéairement en fonction du nombre de variables de la fonction à approcher, alors qu'il varie exponentiellement pour la plupart des autres approximateurs [125].

Enfin, les réseaux des neurones non-bouclés à apprentissage supervisés peuvent être utilisés de manière logicielle ou être intégrés matériellement, directement au sein d'une application. Cette intégration peut se faire sous différentes formes : numérique, analogique, optoélectronique ou mixte. Ces méthodes d'intégration sont davantage étudiées dans la partie III.

3.2.1.2 Contraintes d'utilisation

Les réseaux de neurones à apprentissage supervisé ayant la propriété d'approcher, de manière parcimonieuse, toute fonction non-linéaire suffisamment régulière, il peut être avantageux de les utiliser pour toute application nécessitant de trouver, par apprentissage, une relation non-linéaire entre des données. Pour cela, les conditions suivantes doivent nécessairement être remplies [10] :

- disposer d'échantillons de taille suffisamment grande et représentatifs ;
- s'assurer de l'intérêt réel d'un modèle non-linéaire pour l'application considérée ;
- s'assurer de l'utilité d'un réseau de neurones plutôt qu'un autre approximateur de fonctions non-linéaires ;
- étudier l'implantabilité du réseau de neurones choisi s'il doit être intégré au sein du système où il doit approcher une fonction spécifique.

Il peut être nécessaire de mettre en œuvre un pré-traitement des données si celles-ci ne sont pas exploitables directement par le réseau de neurones, et/ou un post-traitement pour que les sorties soient utilisables par le circuit suivant. Dans ce cas, il est nécessaire d'évaluer la complexité des structures de mise en forme et l'impact sur les temps de calcul du système complet et de remettre en perspective les deux dernières conditions.

Les réseaux de neurones non-bouclés à apprentissage supervisé représentent donc bien une solution adaptée aux problématiques de modélisation de caractéristiques de prédistorsion. En effet, les données à disposition sont de taille suffisamment grande et représentative. De plus, les fonctions à modéliser sont, par principe, non-linéaires. En outre, ils offrent, grâce à leur grande précision et leur caractère parcimonieux, des capacités de modélisation supérieures aux autres approximateurs non-linéaires (voir Annexe B).

3.2.2 Le Perceptron Multi-Couches

3.2.2.1 Structure

Le Perceptron Multi-Couches est une architecture particulière de réseaux de neurones non-bouclés à apprentissage supervisé, très utilisée, reconnue pour sa précision et implantable [79–83]. Sa structure est représentée sur la figure II.3.3. Il est constitué d'un neurone d'entrée, d'une couche cachée constituée de N_j neurones et d'un neurone de sortie linéaire. Les neurones de la couche cachée, dont le nombre optimal est déterminé dans la suite du chapitre, génèrent en sortie une fonction non-linéaire de leur entrée, pondérée par un paramètre $w_{1,i}$ appelée "poids" ou "poids synaptique" (en relation avec les neurones biologiques) et sommée à un paramètre $b_{1,i}$ appelé "biais". La fonction non-linéaire, appelée fonction d'activation, est généralement une fonction sigmoïdale telle que la tangente hyperbolique. La fonction de transfert du Perceptron Multi-Couches représenté sur la figure II.3.3 est ainsi :

$$y = \sum_{i=1}^n \left(w_{2,i} \cdot \tanh(w_{1,i} * x + b_{1,i}) \right) + b_2 \quad (3.1)$$

II.3. MODÉLISATION DES CARACTÉRISTIQUES DE PRÉDISTORSION PAR RÉSEAUX DE NEURONES

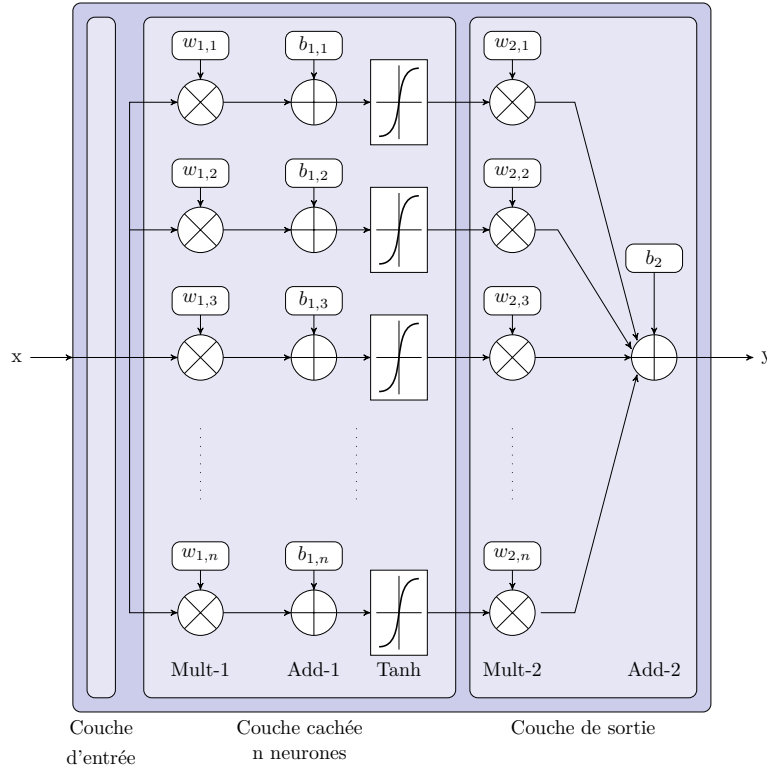


FIGURE II.3.3 – Structure d'un Perceptron Multi-Couches à fonction d'activation sigmoïdale

3.2.2.2 Entraînement et fonction d'erreur au sens des moindres carrés

L'apprentissage des MLP utilisés dans la suite du tapuscrit est réalisé grâce à l'algorithme de Levenberg-Marcquardt, présenté dans l'annexe C, qui permet de minimiser la fonction d'erreur au sens des moindres carrés de la modélisation. En appelant x_i ($i \in \llbracket 1; N \rrbracket$) le vecteur contenant les N valeurs de puissance d'entrée du linéariseur, $y(x_i)$ le vecteur contenant les valeurs de sorties (d'amplitude ou de phase), et $g(x_i, a_1, a_2, \dots, a_k)$ le vecteur contenant la réponse du réseau de neurones à une puissance d'entrée x_i , la fonction d'erreur au sens des moindres carrés E – ou d'erreur quadratique moyenne – est :

$$E = \frac{1}{2} \sum_{i=1}^N \left(y_i(x_i) - g(x_i, a_1, a_2, \dots, a_k) \right)^2 \quad (3.2)$$

Dans l'annexe C, différents algorithmes d'apprentissage sont présentés. L'algorithme de Levenberg-Marcquardt y est en particulier préconisé pour sa précision et sa rapidité de convergence [10, 126]. Les difficultés qui peuvent survenir lors des phases d'apprentissage et les solutions à mettre en œuvre pour les pallier sont également détaillées dans cette annexe.

La suite du chapitre présente l'exploitation des MLP dans le contexte de la linéarisation d'amplificateurs de puissance. Leur capacité à modéliser avec précision les caractéristiques de commande du VGA et du déphaseur des trois amplificateurs présentés au chapitre I.1 est démontrée. Une étape, appelée calibrage, permet ensuite de déterminer le nombre optimal de neurones à intégrer dans la couche cachée. Enfin, le réseau de neu-

rones ainsi élaboré est simulé au sein de l'architecture présentée sur la figure II.2.10 du chapitre II.2 afin de valider cette architecture innovante de linéariseur par prédistorsion à base de réseaux de neurones, capable de s'adapter à plusieurs amplificateurs de puissance.

3.3 Exploitation des réseaux de neurones pour la linéarisation d'amplificateurs de puissance

Sur l'architecture présentée sur la figure II.2.10, les réseaux de neurones jouent le rôle des modules de commande $P_{moy} \rightarrow G_{VGA}$ et $P_{moy} \rightarrow \phi$. Ils doivent donc approcher les caractéristiques représentées dans les tableaux II.2.2 et II.2.4 du chapitre précédent.

Dans ce paragraphe est déterminée la structure optimale des réseaux de neurones en vue de modéliser ces caractéristiques et donc de réaliser un linéariseur à prédistorsion performant, basé sur cette architecture. Des simulations de linéarisation intégrant des réseaux de neurones démontrent ensuite l'efficacité de la structure proposée.

Dans cette étude, la dynamique des signaux en entrée ou en sortie des différents circuits est normalisée à la plage $[0; 1]$. Il sera détaillé dans la partie III (présentant la conception d'un démonstrateur de linéariseur), que, pour plus de souplesse dans le développement, des structures spécifiques sont implantées entre les circuits afin d'adapter les amplitudes de variations des signaux à chaque composant.

3.3.1 Modélisation des fonctions de transfert par réseau de neurones

L'objectif premier de ce paragraphe est de démontrer qu'un réseau de neurones judicieusement construit est capable de modéliser les six fonctions de transfert des circuits de contrôle préalablement établies.

3.3.1.1 Calibrage du réseau de neurones

Dans un premier temps, il est nécessaire de calibrer les réseaux de neurones réalisant les fonctions de transfert des circuits de contrôle des prédistorsions en amplitude et en phase. Le calibrage d'un réseau de neurones consiste à déterminer sa structure optimale pour une application spécifique et à évaluer certaines contraintes que peuvent imposer les fonctions à modéliser ou liées à une future implantation.

Dans le cadre de ces travaux, il est notamment important de limiter les valeurs de poids et biais des réseaux de neurones pour anticiper les contraintes d'intégration du circuit. Un compromis doit être établi. En effet, si un grand intervalle de variation offre une meilleure précision d'approximation, il peut être difficile à implanter. Le calibrage permettra donc de déterminer un intervalle de variation adéquat.

Par ailleurs, les courbes des figures II.2.12 (et des figures similaires dans l'annexe D) révèlent le besoin de modéliser des caractéristiques avec une forte pente. Pour ce faire, une fonction d'activation présentant localement une forte pente est nécessaire. La fonction d'activation classique $\tanh(x)$ est donc modifiée en $\tanh(\alpha \cdot x)$ avec α une constante supérieure à 1, déterminée grâce au calibrage. La pente maximale de la fonction d'activation passe ainsi de 1 à α .

Une succession d'apprentissages a d'abord révélé que la convergence vers une solution satisfaisante n'est pas possible pour des poids et biais variant sur un intervalle

II.3. MODÉLISATION DES CARACTÉRISTIQUES DE PRÉDISTORSION PAR RÉSEAUX DE NEURONES

plus petit que $[-1, 5; +1, 5]$, pour un réseau constitué de moins de 4 neurones et pour un paramètre α inférieur à 3. Partant de ce constat, une étude statistique, présentée dans l'annexe D, a alors permis de déterminer un compromis entre précision de modélisation (au sens des moindres carrés), dynamique de variation des poids et biais, taille du réseau et paramètre α pour l'approximation des six caractéristiques de transfert des réseaux de neurones. Ainsi, la structure de réseaux de neurones retenue pour la suite des travaux est un réseau comprenant 8 neurones sur sa couche cachée, une fonction d'activation avec une pente $\alpha = 4$ et des poids et biais variant sur l'intervalle $[-2; +2]$.

3.3.1.2 Simulation comportementale d'un linéariseur par prédistorsion à base de réseaux de neurones

La topologie développée au chapitre précédent est employée pour valider l'architecture de linéariseur à base de réseaux de neurones. Les modules de commande $P_{moy} \rightarrow G_{VGA}$ et $P_{moy} \rightarrow \phi$ sont ainsi remplacés par des réseaux de neurones. Comme au chapitre précédent, seuls les résultats relatifs à l'amplificateur TEDNCES sont détaillés. Les résultats relatifs aux deux autres HPA sont présentés dans l'annexe D.

La première étape consiste à entraîner les réseaux de neurones à approcher les caractéristiques des modules de commande préalablement normalisées. La figure II.3.4 représente à gauche des résultats d'apprentissage de réseaux et à droite l'erreur de l'approximation par rapport à la caractéristique idéale. L'erreur d'approximation est faible pour de faibles valeurs d'entrée, et augmente près de la singularité pour atteindre près de 10% pour l'approximation de la caractéristique $P_{moy} \rightarrow \phi$.

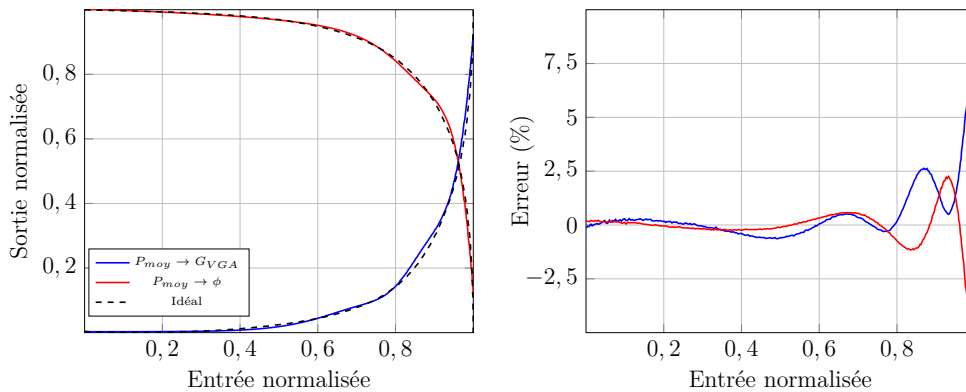


FIGURE II.3.4 – Modélisation par réseaux de neurones des caractéristiques des modules de commande $P_{moy} \rightarrow G_{VGA}$ et $P_{moy} \rightarrow \phi$ associé à l'amplificateur TEDNCES

Les différents poids et biais issus des entraînements ci-dessus sont mémorisés pour simuler l'architecture de la topologie de la figure II.2.11. La figure II.3.5 illustre les résultats de linéarisation par prédistorsion avec modélisation des fonctions de transfert par réseau de neurones et l'écart par rapport à la solution idéale pour l'amplificateur TEDCNES. La linéarité des caractéristiques de sortie en amplitude et en phase du système "Linéariseur + Amplificateur" est fortement améliorée par rapport à l'utilisation du HPA seul : l'erreur relative en amplitude est inférieure à 3% et l'erreur de phase ne dépasse pas $1,2^\circ$. L'architecture de linéariseur à base de réseau de neurones proposée se révèle donc très efficace pour linéariser l'amplificateur TEDCNES. L'annexe D montre qu'elle est également efficace pour linéariser les amplificateurs ARABSAT4 et TI9083-8,

avec dans chaque cas, moins de 1% d'erreur relative en amplitude et moins de 0.5° d'erreur de phase.

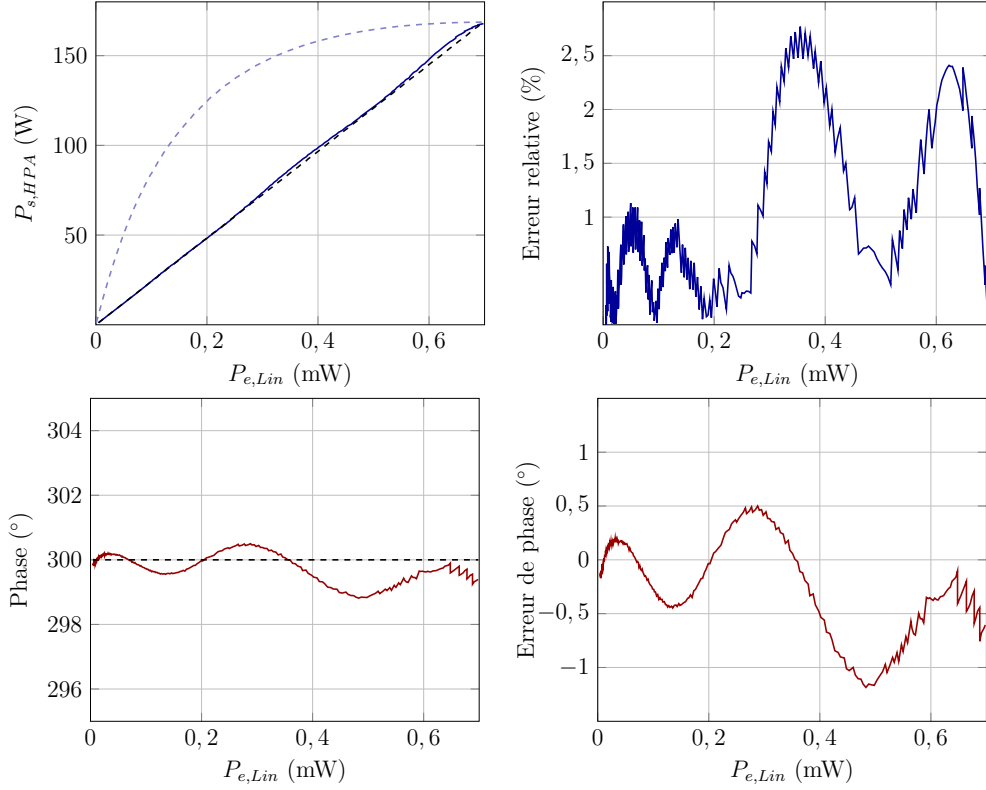


FIGURE II.3.5 – Simulation de l'architecture de la figure II.2.10 et linéarisation de l'amplificateur de puissance TEDCNES à l'aide de réseaux de neurones
 En haut à gauche : caractéristiques de transfert AM/AM simulée (trait plein bleu), idéale (pointillés noirs) et de l'amplificateur seul (pointillés bleus)
 En haut à droite : erreur de linéarisation en amplitude
 En bas à gauche : caractéristiques de transfert AM/PM simulée (trait plein rouge) et idéale (pointillés noirs)
 En bas à droite : erreur de linéarisation en phase

3.4 Conclusion

Ce chapitre a présenté dans un premier temps les réseaux de neurones en général, et leurs principales propriétés. En concentrant le propos sur le Perceptron Multi-Couches, architecture de réseau de neurones reconnue pour sa précision et sa facilité de mise en œuvre pour la modélisation de fonctions non-linéaires, un réseau de neurones a été calibré afin de modéliser les fonctions de transfert des modules de commande $P_{moy} \rightarrow G_{VGA}$ et $P_{moy} \rightarrow \phi$ présentés sur l'architecture de linéariseur de la figure II.2.10. Ce même réseau a alors été entraîné et simulé au sein de cette architecture et a permis de mettre en évidence les capacités de l'architecture de linéariseur par prédistorsion à base de réseau de neurones à linéariser différents amplificateurs de puissance.

Cette partie a présenté dans un premier temps une technique innovante de détermination des caractéristiques de transfert d'un linéariseur à partir des caractéristiques expérimentales d'un amplificateur de puissance uniquement. Ce procédé, rapide et précis, a fait l'objet d'un brevet déposé durant cette thèse [94].

Une étude d'architecture de linéariseur à prédistorsion a ensuite été menée. Une organisation en série des modules de prédistorsion a été retenue et cette structure a été simulée pour mettre en évidence ses capacités à linéariser efficacement différents amplificateurs de puissance.

Enfin, les réseaux de neurones, reconnus pour leur qualité d'approximateurs universels parcimonieux, ont été retenus pour modéliser les modules de commande $P_{moy} \rightarrow G_{VGA}$ et $P_{moy} \rightarrow \phi$ introduits au chapitre précédent. Après une étape de calibrage, des simulations ont démontré l'efficacité de la linéarisation de plusieurs amplificateurs de puissance grâce à l'architecture proposée et à l'utilisation des réseaux de neurones.

La partie suivante présente en détails la conception d'un démonstrateur de l'architecture imaginée ci-dessus.

Troisième partie

**CONCEPTION D'UN
DÉMONSTRATEUR DE LINÉARISEUR
PAR PRÉDISTORSION**

Cette partie présente le développement d'un démonstrateur de linéariseur suivant l'architecture imaginée dans la partie précédente.

Le choix des différents circuits électroniques mis en jeu dans le démonstrateur de linéariseur par prédistorsion à base de réseaux de neurones est d'abord justifié.

Notamment, la nécessité de concevoir un Circuit Intégré Spécifique (ou ASIC pour *Application Specific Integrated Circuit*) contenant les réseaux de neurones analogiques et un circuit déphaseur configurable est mise en évidence. Le choix de la technologie AMS CMOS $0,35\mu m$ est d'abord expliqué, puis les équations de fonctionnement des transistors sont rappelées et quelques structures élémentaires à base de transistors sont présentées.

L'implantation d'un réseau de neurones analogique et d'un circuit déphaseur configurable est alors décrite. Ensuite, la conception des réseaux de neurones et du déphaseur est détaillée.

Enfin, la simulation des circuits développés permet de mettre en évidence leurs capacités à modéliser les fonctions décrites dans les chapitres précédents et leur aptitude à répondre à nos besoins.

CHAPITRE 1

Présentation du circuit électronique de prédistorsion

Ce chapitre présente la réalisation physique du linéariseur dont l'architecture est décrite dans le chapitre II.3 et rappelée sur la figure III.1.1. L'objectif est de concevoir un démonstrateur afin de valider les techniques de linéarisation proposées. Ainsi, aucune contrainte de consommation ou d'embarquabilité n'est prise en compte.

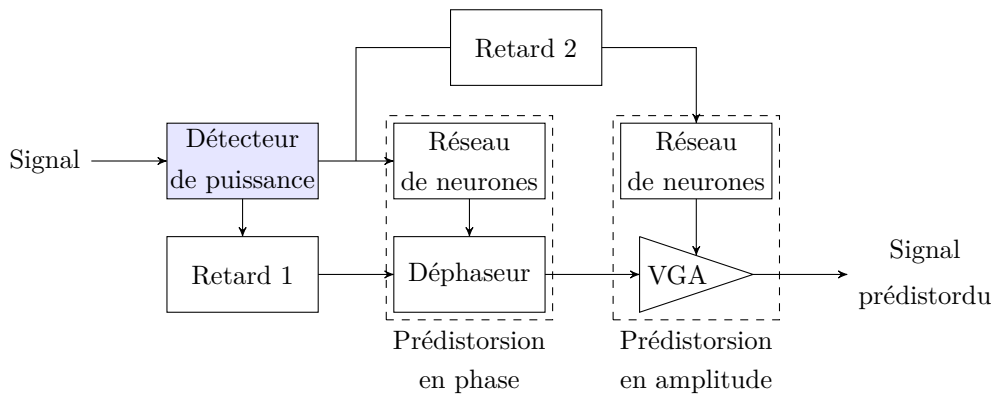


FIGURE III.1.1 – Architecture du linéariseur à concevoir

Dans un premier temps, les propriétés générales (fréquence, dynamique) du signal à prédistordre sont exposées. Ensuite, et en conformité avec ces propriétés, les choix des composants électroniques réalisant les différentes fonctions sont justifiés : certaines tâches seront accomplies à l'aide de composants du commerce, alors qu'un circuit intégré dédié sera développé pour les réseaux de neurones et le déphaseur. Une présentation plus approfondie sur les techniques d'intégration des réseaux de neurones et de leur système de mise à jour est également proposée. En outre, les propriétés des signaux de contrôle (en entrée et sortie des réseaux de neurones notamment) sont décrites, et d'éventuels circuits de mise en forme de ces signaux, permettant notamment d'adapter la dynamique ou le niveau de polarisation entre les différentes fonctions du linéariseur, sont mis en place. Enfin, une architecture haut niveau de l'ASIC est présentée, mettant en lumière les différentes fonctions implantées et leurs interconnexions.

1.1 Propriétés du signal à prédistordre

Le signal en entrée du linéariseur est un signal analogique sinusoïdal, d'amplitude et de phase variables, représentant une modulation en amplitude et/ou en phase. Ce paragraphe présente les principales propriétés de ce signal à prédistordre.

III.1. PRÉSENTATION DU CIRCUIT ÉLECTRONIQUE DE PRÉDISTORSION

1.1.1 Fréquence du signal

Le chapitre II.2 précise qu'il est impossible de dissocier les prédistorsions en amplitude et en phase à hautes fréquences et que, par conséquent, l'architecture de la figure III.1.1 n'est réalisable qu'à fréquence intermédiaire ou en bande de base. Sa réalisation et sa mise en œuvre étant plus aisées en bande de base, c'est dans ce cadre qu'est conçu le démonstrateur du linéariseur. En particulier, nous nous fixons l'objectif de pouvoir transmettre des informations à une vitesse de 200Mbps (200 millions de bits par seconde) avec une modulation 16-QAM. Dans cette modulation, 4 bits sont transmis à chaque symbole. En supposant qu'un symbole corresponde à au moins une période de signal, la fréquence minimale du signal à prédistordre est donc $f_S = \frac{200\text{Mbps}}{4\text{b}} = 50\text{MHz}$ et sa période est $T_S = 20\text{ns}$.

1.1.2 Dynamique du signal

Un des objectifs des travaux de ce tapuscrit est la conception d'un linéariseur capable de s'adapter à plusieurs amplificateurs de puissance, et en particulier aux trois amplificateurs présentés au chapitre I.1. Le linéariseur doit ainsi être en mesure de linéariser la caractéristique de ces trois amplificateurs pour un signal dont la puissance moyenne varie de 0 à $P_{e,sat}$. Or, selon l'amplificateur étudié, la valeur de $P_{e,sat}$, déterminée lors de la caractérisation de l'amplificateur, varie sur plus de deux décades. En conséquence, l'amplitude maximale du signal en entrée du linéariseur (ou du HPA) $A_{max,HPA}$, en racine carrée de $P_{e,sat}$, varie sur plus d'une décade. Le tableau III.1.1 fournit, pour chaque amplificateur, sa puissance moyenne de saturation en entrée et l'amplitude maximale du signal correspondante, en supposant une charge d'amplificateur de 50Ω .

TABLEAU III.1.1 – Puissance moyenne de saturation en entrée et amplitude maximale du signal correspondante en fonction de l'amplificateur étudié, pour une charge de 50Ω

Amplificateur	$P_{e,sat}$	$A_{max,HPA}$
TI9083-8	$61,7\text{mW}$	$1,76\text{V}$
TEDCNES	$698\mu\text{W}$	187mV
ARABSAT4	$299\mu\text{W}$	122mV

Utiliser des composants ou concevoir des circuits efficaces sur de telles dynamiques peut être difficile. Afin de s'affranchir de cette contrainte, l'amplitude maximale que peut atteindre le signal à prédistordre dans le linéariseur est fixée. La valeur de cette amplitude maximale, notée $A_{max,Lin}$ est déterminée plus loin dans ce chapitre en fonction des capacités des différents circuits impliqués dans le linéariseur. Afin d'ajuster la dynamique du signal en entrée du linéariseur à $A_{max,Lin}$, un amplificateur à gain variable est ajouté en amont du linéariseur et son facteur d'amplification est $G_{Ajust} = \frac{A_{max,Lin}}{A_{max,HPA}}$. Afin d'ajuster ensuite la dynamique du signal en sortie du linéariseur à la dynamique admissible par l'amplificateur de puissance, un second amplificateur à gain variable est ajouté en aval du linéariseur et son facteur d'amplification est $G'_{Ajust} = \frac{A_{max,HPA}}{A_{max,Lin}} = \frac{1}{G_{Ajust}}$, soit, en dB, $G'_{Ajust} \text{ dB} = -G_{Ajust} \text{ dB}$. Un des amplificateurs joue en réalité un rôle d'atténuateur et son facteur d'atténuation est l'inverse du facteur d'amplification de l'autre amplificateur. La

figure III.1.2 représente l'implantation proposée dans ce paragraphe pour fixer l'amplitude maximale du signal dans le circuit de linéarisation. La valeur de cette amplitude maximale est déterminée plus loin dans le tapuscrit.

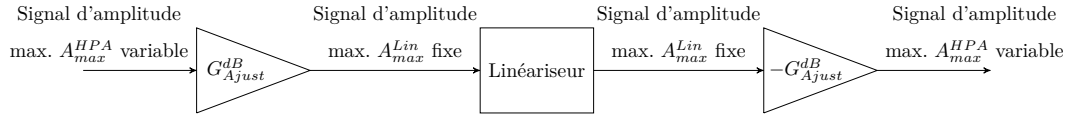


FIGURE III.1.2 – Implantation proposée permettant de fixer l'amplitude maximale du signal dans le circuit de linéarisation

1.2 Choix des circuits électroniques

Outre les deux amplificateurs à gain variable à intégrer dans le circuit complet du linéariseur, présentés dans le paragraphe précédent, le système de prédistorsion est constitué de retards, d'un détecteur de puissance, de deux réseaux de neurones, d'un amplificateur à gain variable et d'un déphaseur. Tous ces circuits doivent fonctionner à une fréquence au moins égale à 50MHz. Afin d'éviter les conversions analogique-numérique et numérique-analogique¹, le bruit et les imprécisions qui en résultent, les composants choisis traitent et sont contrôlés par, dans la mesure du possible, des signaux analogiques.

1.2.1 Les circuits de retard

Le principe de ces circuits est de retarder le signal d'une période avant qu'il ne soit appliqué au déphaseur. Pour un signal à 50MHz, le circuit doit donc générer un retard de 20ns.

Plusieurs solutions analogiques existent pour réaliser ce retard. L'entreprise muRata propose par exemple des circuits de petites dimension générant des retards 1ns à 10ns à 2% près. La mise en cascade de plusieurs composants permet ainsi de générer n'importe quel retard supérieur à 1ns. Une autre méthode, simple mais encombrante, est l'utilisation d'une grande longueur de câble coaxial (quelques mètres, en fonction du câble choisi). Pour la réalisation d'un démonstrateur, cette solution est aisée à mettre en œuvre et peut donc tout de même être retenue.

1.2.2 Le détecteur de puissance

Comme le stipule le chapitre II.2, plusieurs fabricants de circuits intégrés proposent des circuits détecteurs de puissance, robustes et dont l'efficacité et la précision sont démontrées.

Un détecteur de crête est adapté à nos spécifications s'il a une bande passante supérieure à 50MHz. Le circuit Analog Devices AD8317 a une bande passante comprise entre 1MHz et 10Ghz et un temps de réponse inférieur à 16ns pour une variation de puissance de signal d'entrée de 80% sur la gamme de puissance d'entrée admissible. Il peut donc être retenu pour la réalisation du linéariseur.

1. désignées respectivement A/N et N/A dans la suite du tapuscrit

III.1. PRÉSENTATION DU CIRCUIT ÉLECTRONIQUE DE PRÉDISTORSION

Notons que l'emploi de ce circuit conditionne en partie l'amplitude maximale A_{max}^{Lin} que le signal en entrée du linéariseur peut atteindre. En effet, le détecteur de puissance n'est exploitable que sur l'intervalle de puissance d'entrée pour lequel la tension en sortie est linéaire. En particulier, en tolérant une erreur de linéarité de 0,5dB, le circuit AD8317 fournit une réponse linéaire jusqu'à une puissance moyenne du signal d'entrée de -4dBm. Cette puissance correspond ainsi à la puissance moyenne de saturation dans le linéariseur. A 50MHz, le circuit AD8317 présente intrinsèquement une impédance d'entrée d'environ 2,5k Ω , et le signal d'entrée peut donc atteindre une amplitude maximale de 1V. Néanmoins, le circuit tolère l'ajout d'une résistance extérieure pour adapter l'impédance d'entrée à celle de sortie du circuit en amont et optimiser la dynamique du signal de sortie en fonction de la variation maximale de la puissance moyenne du signal d'entrée.

1.2.3 Les amplificateurs à gain variable

1.2.3.1 L'amplificateur à gain variable associé à la prédistorsion en amplitude

Le chapitre II.2 présente plusieurs amplificateurs à gain variable, pilotés par une tension analogique, disponibles auprès de grands fabricants de circuits intégrés.

Le VGA retenu doit être en mesure de réaliser toutes les variations de gain nécessaires pour réaliser les prédistorsions en amplitude des trois amplificateurs étudiés sont également présentées. Dans notre étude, la variation la plus forte concerne l'amplificateur ARABSAT4, de -8dB à 0dB. Un VGA répond à nos critères de conception s'il admet une amplitude de gain supérieure à 8dB.

En outre, il doit présenter une bande passante supérieure à 50MHz. Un autre critère doit également être pris en compte : la commande de gain est susceptible d'être modifiée tous les T_S et l'amplitude de la sortie de l'amplificateur à gain variable doit être modifiée en conséquence en un temps le plus court possible, très inférieur à T_S , pour que la prédistorsion en amplitude soit effective.

Parmi les circuits cités, le circuit Texas Instruments LMH6502 répond à tous ces critères : sa bande passante est de 130MHz, son gain (en dB) est linéairement contrôlable de -40dB à +10dB, et sa réponse à une modification de la commande de gain est de 4,8dB/ns (soit moins de 2ns pour une variation de 8dB). Ce composant peut donc être retenu pour la réalisation du linéariseur.

1.2.3.2 Les amplificateurs à gain variable d'adaptation de dynamique d'entrée et sortie

Contrairement à l'amplificateur associé à la prédistorsion en amplitude, les amplificateurs à gain variable chargés d'adapter les dynamiques des signaux d'entrée et de sortie et présentés sur la figure III.1.2, ne présentent pas de contraintes de rapidité. Ainsi, chaque circuit ayant une bande passante supérieure à 50MHz et pouvant réaliser une amplification ou une atténuation est exploitable.

A ce titre, le circuit Analog Device ADL5330 est adéquat car il permet à la fois une amplification jusqu'à 20dB et une atténuation, symétriquement, jusqu'à -20dB, pour une tension de contrôle linéaire sur toute cette plage de variation. L'amplitude maximale du signal dans le linéariseur $A_{max,Lin}$ peut ainsi se situer entre 176mV (atténuation maximale pour l'amplificateur TI9083-8) et 1,22V (amplification maximale pour l'amplificateur ARABSAT4).

1.2.4 Le déphaseur

Il n'existe pas, dans le commerce, de composant déphaseur fonctionnant à 50MHz et ayant une amplitude de déphasage supérieure à 40° comme le requiert l'amplificateur TEDCNES. Un circuit déphaseur analogique, répondant à ces critères, devra donc être développé. Toutefois, une réalisation à base de composants discrets aurait un rapport signal sur bruit et donc une finesse de linéarisation dégradés et la fréquence de fonctionnement serait difficilement atteignable en raison des composants passifs parasites liés aux entrées/sorties des différents éléments. Le déphaseur sera donc intégré dans un ASIC. La conception de ce circuit est présentée au chapitre III.4.

1.2.5 Les réseaux de neurones

De la même façon, il n'existe pas, dans le commerce, de réseaux de neurones ayant une fréquence de fonctionnement d'au moins 50MHz et construit selon la structure de MLP présentée au chapitre II.3.

Il existe toutefois plusieurs techniques pour intégrer un réseau de neurones matériellement au sein d'une application et il est d'ores et déjà possible de déterminer la plus adaptée à notre problématique.

1.2.5.1 Intégration numérique

Actuellement, la majorité des réseaux de neurones intégrés existant est numérique. L'implantation numérique présente l'avantage d'être bien maîtrisée, simple et rapide à réaliser, parfaitement reproductible et surtout reconfigurable, ce qui peut se révéler être un avantage précieux lors de la mise en œuvre au sein d'un système. De plus, le développement et la fabrication sont facilités par l'existence d'importantes bibliothèques de fonctions optimisées. Enfin, les systèmes de mise à jour des paramètres des réseaux de neurones sont en grande majorité numériques et aucune conversion A/N ou N/A n'est donc requise.

Toutefois, une implantation numérique limite la fréquence de traitement et implique une consommation importante, fonction de la fréquence d'horloge choisie. En outre, la simple réalisation d'une cellule de base demande un grand nombre de transistors, en particulier si une grande précision de traitement sur l'ensemble de définition des entrées est souhaitée. Enfin, dans le cas d'un système traitant des signaux analogiques à 50MHz, des convertisseurs analogique-numérique et numérique-analogique rapides doivent être intégrés, ce qui entraîne une consommation encore plus importante, une vitesse de traitement limitée et surtout une diminution de la précision.

De nombreuses implantations numériques de réseaux de neurones ont été proposées dans la littérature scientifique [108, 127–132], majoritairement de type Perceptron Multi-Couches. Les additionneurs et multiplieurs, souvent synthétisés à partir de bibliothèque déjà existantes et optimisées, sont rarement détaillés. La fonction d'activation – et sa dérivée, nécessaire aux algorithmes d'apprentissage – font en revanche l'objet de nombreuses études [128–131, 133]. L'objectif est de concilier le caractère continu de l'approximation d'un réseau de type MLP tout en approchant le plus finement possible la caractéristique d'une fonction sigmoïdale. De la fonction la plus simple de type échelon ou rampe aux approximations non-linéaires par morceaux et développements limités de la fonction sigmoïdale à un ordre plus ou moins élevé, de nombreuses fonctions d'activation ont été intégrées numériquement. Néanmoins, plus l'approximation doit être fine, plus le nombre de circuits numériques à synthétiser est important. En conséquence, le nombre

III.1. PRÉSENTATION DU CIRCUIT ÉLECTRONIQUE DE PRÉDISTORSION

de ressources mobilisées et la puissance consommée augmentent, tandis que la vitesse de traitement et la bande passante du système complet diminuent.

1.2.5.2 Intégrations analogique et mixte

Bien qu'ils soient moins représentés que leur pendant numérique, les réseaux de neurones analogiques présentent de nombreux avantages. D'abord, les cellules analogiques traitent les données plus rapidement que les équivalents numériques. Un système analogique a donc une bande passante plus importante qu'un circuit numérique. Ensuite, une implantation analogique garantit la continuité des signaux traités sur l'intégralité de l'intervalle de travail. Enfin, le nombre de transistors utilisés pour synthétiser une cellule analogique est nettement plus faible. A titre de comparaison, la réalisation d'une fonction d'activation sigmoïdale analogique nécessite un nombre de transistors de l'ordre de la dizaine, quand, en numérique, même une approximation grossière de la fonction nécessite des centaines de blocs logiques. Le choix d'une implantation analogique permet donc de diminuer la surface de silicium utilisée et la consommation pour une précision identique. Donc, pour le long terme, lorsque les contraintes d'embarquabilité seront prises en compte, ce type d'intégration sera très avantageux.

En revanche, un inconvénient majeur d'une implantation analogique est la non-reconfigurabilité de la structure : une fois le circuit intégré ou le circuit imprimé développé, il n'est plus possible d'effectuer d'importantes modifications sur l'architecture du réseau de neurones.

Certaines implantations de réseaux de neurones intègrent un système d'apprentissage analogique, afin d'entraîner le réseau directement au sein de l'application [134–136]. Cette technique permet de minimiser les erreurs de tension de décalage et de diminuer la consommation du circuit. Mais les mémoires analogiques sont nettement moins robustes que les méthodes de stockage numériques et, en conséquence, la plupart des réseaux analogiques sont accompagnés d'une partie algorithmique numérique, directement intégrée au sein du système ou déportée et réalisée par un logiciel annexe [79–81, 94, 116, 137, 138]. Dans ce type d'architecture, appelée *mixte* ou *hybride*, la conception analogique du réseau de neurones garantit un temps de transit de l'information et une consommation optimisés et le circuit reste facilement reparamétrable grâce à l'implantation numérique des algorithmes d'apprentissage et de mise à jour des paramètres.

1.2.5.3 Intégration opto-électronique

Une dernière forme d'intégration, plus rare, est présentée dans [139, 140] : l'intégration opto-électronique. Ces réseaux de neurones présentent en particulier l'avantage de minimiser le temps de traitement de l'information au sein du réseau, puisque celles-ci circulent à la vitesse de la lumière. Dans les deux implantations citées, les premières couches du réseau sont optiques et la couche de sortie est analogique. L'interface entre les différentes couches est réalisée par un capteur. Cette solution permet de s'affranchir de toute conversion analogique-numérique, et permet donc un gain en consommation, en temps de calcul et en surface de silicium utilisée.

Cependant, peu d'implantations de réseaux de neurones opto-électroniques ont été proposées à ce jour et la fiabilité de cette technique n'a pas été démontrée. En outre, ce type d'implantation requiert l'utilisation de composants optiques (miroirs, lentilles, polariseurs, etc.) chers, fragiles et difficiles à mettre en œuvre.

1.2.5.4 Choix de l'intégration

Dans le but de réaliser un linéariseur rapide et précis, une implantation analogique du cœur du réseau de neurone est préférable à une implantation numérique. Toutefois, une réalisation à base de composants discrets aurait un rapport signal sur bruit et donc une finesse de linéarisation dégradés et la fréquence de fonctionnement serait difficilement atteignable en raison des composants passifs parasites liés aux entrées/sorties des différents éléments. C'est pourquoi les réseaux de neurones seront également intégrés dans un ASIC, conjointement avec le déphaseur. La conception microélectronique des réseaux de neurones analogiques ces circuits est présentée au chapitre III.3. L'algorithme d'apprentissage et de mise à jour des paramètres, en revanche, n'ayant pas besoin d'être rapide, peut être intégré dans un système numérique. De cette façon, le développement de l'algorithme et l'application de nouveaux paramètres aux réseaux de neurones sont facilités.

Le système neuronal développé dans la suite du tapuscrit, intégré dans l'architecture de prédistorsion présentée auparavant en vue de linéariser les amplificateurs de puissance TEDCNES, ARABSAT4 et TI9083-8, est donc mixte. La figure III.1.3 schématise ce système neuronal, en incluant les convertisseurs numériques-analogiques des poids et biais.

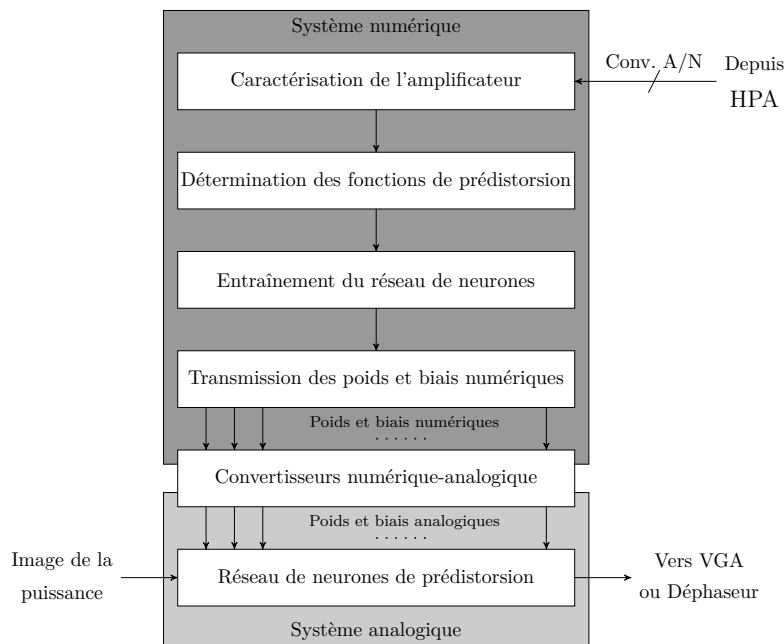


FIGURE III.1.3 – Fonctionnement du linéariseur

La partie numérique de calcul peut être intégrée dans un circuit électronique dédié, comme un FPGA, ou, dans un premier temps, être déportée sur un ordinateur. L'implantation des convertisseurs numérique-analogique peut être réalisée grâce à des composants comme les circuits Analog Devices AD5372. Cette famille de circuits bénéficie d'une grande précision (16 bits), d'un niveau continu et d'une dynamique paramétrables, et de 32 voies par puce. Ils sont donc particulièrement bien adaptés à la programmation des nombreux poids et biais que comportent les réseaux de neurones élaborés au chapitre II.3.

Notons enfin que la partie numérique programme également, via les convertisseurs numérique-analogique, les deux amplificateurs à gain variable permettant d'adapter la dynamique du signal d'entrée à celle du linéariseur.

III.1. PRÉSENTATION DU CIRCUIT ÉLECTRONIQUE DE PRÉDISTORSION

1.2.6 Stabilisation de la consigne générée par les réseaux de neurones

Les signaux que les réseaux de neurones génèrent et qui pilotent l'amplificateur à gain variable et le déphaseur doivent être stables pendant toute la durée de traitement d'un symbole binaire, c'est-à-dire 20ns. Or les signaux en sortie du circuit détecteur de puissance et du réseau de neurones requièrent un délai pour s'établir. Pour stabiliser la consigne issue des réseaux de neurones, il est donc important d'implanter en sortie de ceux-ci des circuits échantillonneurs-bloqueurs synchronisés sur l'horloge générant les symboles numériques à 50MHz. Ainsi, les tensions qui pilotent le VGA et le déphaseur sont constantes pendant tout le traitement d'un symbole et, pendant ces 20ns, les circuits détecteurs de puissance et les réseaux de neurones peuvent établir, sans risque de perturber la prédistorsion, leur sortie pour le symbole suivant.

Texas Instruments propose un circuit échantillonneur-bloqueur adapté à nos besoins : le TI OPA615.

1.3 Mise en forme des signaux internes au linéariseur

Outre le signal à prédistordre, différents signaux, dits *de contrôle*, sont générés dans le linéariseur. Or, le niveau continu et la dynamique des signaux générés par une fonction ne sont pas nécessairement adaptés à la fonction suivante. Ce paragraphe présente ainsi les structures mises en place pour adapter les signaux entre circuits et appelées par la suite *circuits de mise en forme*.

1.3.1 Dynamique des signaux

Si le signal généré par un circuit (par exemple le détecteur de puissance) a une dynamique trop importante par rapport à la capacité du circuit auquel il est appliqué (les réseaux de neurones), il convient de diminuer cette dynamique grâce à un atténuateur fixe (un pont diviseur résistif par exemple) pour ne pas distordre le signal. A l'inverse, si la dynamique du signal généré est faible par rapport à la capacité du circuit suivant, il est judicieux d'implanter un amplificateur pour augmenter la dynamique du signal afin d'améliorer la précision.

1.3.2 Niveau continu

Le niveau continu des signaux entre les différents circuits est adapté grâce à des capacités de liaison et un pont résistif, comme le représente la figure III.1.4. Avec une capacité adaptée à la fréquence de travail, cette structure permet d'ajuster le niveau continu du signal à $\frac{R_2}{R_1 + R_2} V_{DD}$. En choisissant R_1 et R_2 judicieusement, il est possible d'adapter le niveau continu de tout signal aux spécifications du circuit auquel il est appliqué. En ce qui concerne l'ASIC, les ponts résistifs sont intégrés au circuit.

1.4 Architecture haut niveau de l'ASIC

Le circuit intégré développé dans ces travaux doit intégrer au moins un déphaseur et deux réseaux de neurones. Au besoin, il peut par exemple aussi intégrer certaines

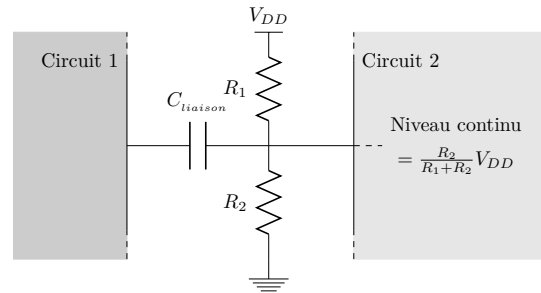


FIGURE III.1.4 – Circuit permettant d’adapter le niveau continu d’un signal

structures élémentaires de test.

La connexion à réaliser entre l’un des réseaux de neurones et le déphaseur pourrait être faite physiquement dans l’ASIC. Pourtant, cette connexion sera réalisée à l’extérieur du circuit. Ainsi, les deux réseaux de neurones intégrés dans l’ASIC sont totalement indifférentiés. Outre la simplification de conception, cette solution offre la possibilité de caractériser les deux réseaux de neurones finement, indépendamment de l’application. Par ailleurs, cette configuration est plus souple et permet d’identifier et de remplacer plus simplement un circuit fautif en cas de défaillance. La figure III.1.5 illustre ce choix de conception. Dans un souci de clarté, les poids, biais et alimentations de l’ASIC, ainsi que les circuits de mise en forme des signaux, ne sont pas représentés.

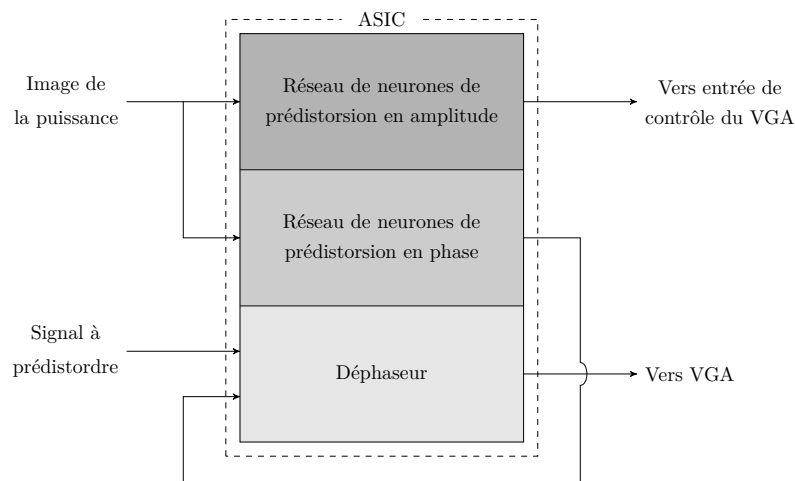


FIGURE III.1.5 – Interconnexions entre les fonctions de l’ASIC

1.5 Synthèse

La figure III.1.6 synthétise les solutions retenues dans ce chapitre : elle représente le circuit électronique du linéariseur, incluant notamment les amplificateurs à gain variable destinés à ajuster la dynamique du signal à prédistordre dans le linéariseur et les circuits de mise en forme des signaux internes au linéariseur. Les circuits grisés sont les composants intégrés à l’ASIC tandis que les composants blancs sont ceux disponibles auprès de grands fabricants microélectroniques. Pour ces derniers lorsque cela est possible, la référence du composant proposé est indiquée.

III.1. PRÉSENTATION DU CIRCUIT ÉLECTRONIQUE DE PRÉDISTORSION

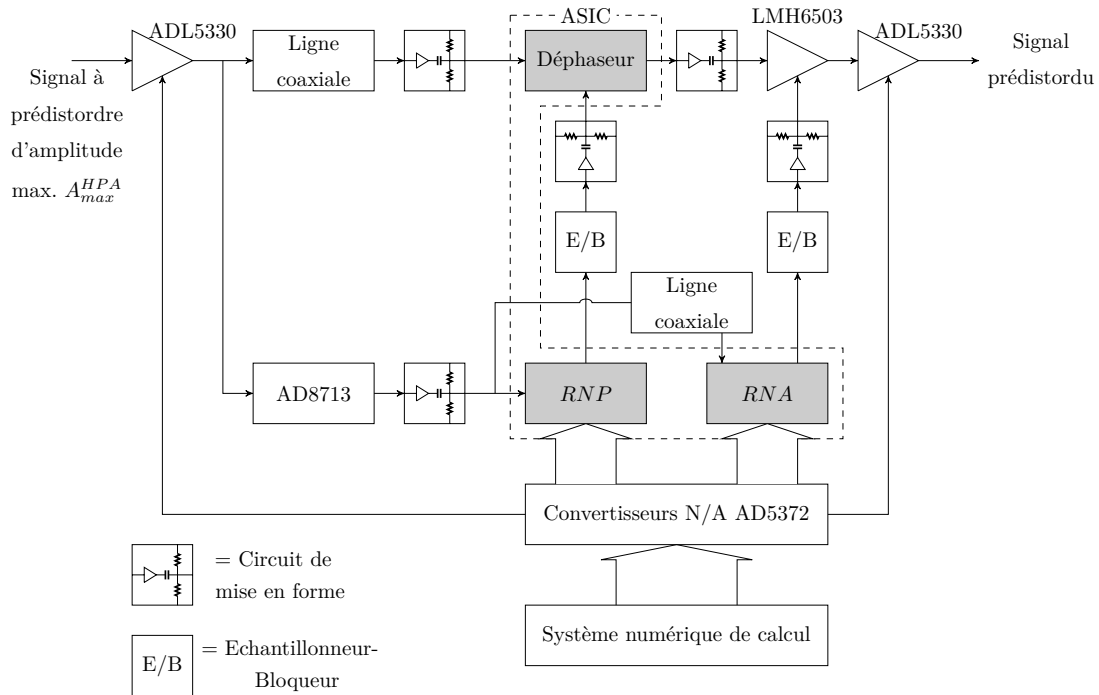


FIGURE III.1.6 – Représentation haut niveau du circuit électronique du linéariseur. En gris : les fonctions intégrées dans l'ASIC ; en blanc, les composants industriels

Ce chapitre a présenté l'architecture du linéariseur complet, incluant notamment une étude des différents circuits capables de réaliser chaque fonction. Aucun composant disponible dans le commerce ne vérifiant les spécifications des réseaux de neurones et du déphaseur, ceux-ci seront donc développés et implantés dans un circuit intégré dédié. Le chapitre suivant expose les choix technologiques effectués pour la réalisation de cet ASIC ainsi que différentes structures électroniques basiques largement utilisées pour la conception des réseaux de neurones et du déphaseur aux chapitres III.3 et III.4.

CHAPITRE 2

Généralités sur le circuit intégré de prédistorsion

Dans ce chapitre, le choix de la technologie dans laquelle le circuit intégré de prédistorsion est développé est d'abord justifié. Ensuite, le fonctionnement de quelques structures élémentaires à base de transistors MOS (pour *Metal Oxyde Semiconductor*) est détaillé. Enfin, quelques caractéristiques générales sur le développement du circuit intégré sont présentées.

2.1 Le choix technologique

Depuis l'invention du transistor en 1947 par John Bardeen, William Shockley et Walter Brattain [141], la mise au point du premier circuit intégré en 1958 par Jack Kilby [142] et la présentation de la technologie CMOS en 1963 par Frank Wanlass et Chi-Tang Sah [143], les techniques microélectroniques d'intégration à très grande échelle (ou *VLSI* pour *Very-Large-Scale Integration*) ont connu un développement considérable. La technologie CMOS, grâce à une intégration facilitée, une consommation moindre, une immunité au bruit accrue par rapport aux technologies précédentes et un faible coût de production grâce à d'importants volumes de fabrication, s'impose rapidement pour la conception des circuits électroniques analogiques, numériques ou mixtes, et dans les années 2010, plus de 95% des circuits intégrés sont fabriqués en utilisant cette technologie [144]. Le circuit intégré de prédistorsion présenté dans ces travaux est donc naturellement développé en technologie CMOS.

Les technologies CMOS à très haute densité d'intégration, dont la tension d'alimentation n'excède pas le volt et la longueur de grille des transistors les quelques dizaines de nanomètres restent néanmoins principalement dédiés à la réalisation de circuits numériques. Dans le cas du développement d'un circuit intégré analogique en effet, des grandeurs caractéristiques telles que la dynamique de sortie, la linéarité ou le gain sont intrinsèquement limitées par la réduction de la tension d'alimentation et de la longueur minimale de la grille des transistors. Afin de présenter des caractéristiques exploitables, l'ASIC analogique de prédistorsion est donc conçu dans une technologie moins fine, mais robuste et très employée aussi bien en exploitation terrestre que spatiale. Parmi les technologies proposées par le Centre Multi-Projets (CMP), qui mutualise les projets de plusieurs clients sur un même wafer afin d'en diminuer le coût, la technologie CMOS 0,35 μm à quatre couches de métallisation C35B4C2 d'AMS [145] est très éprouvée, simple d'utilisation et de faible coût et est donc retenue pour la conception de l'ASIC.

2.2 Caractéristiques électriques du transistor MOS

Cette partie présente un modèle électrique simple – dit du premier ordre – du transistor MOS. Ce modèle permet d'effectuer un premier dimensionnement des composants et d'appréhender les performances globales d'une fonction lors de la conception d'un circuit intégré analogique. Des calculs plus approfondis et des simulations utilisant des modèles complexes permettent d'affiner les résultats.

2.2.1 Structure du transistor MOS

Le transistor MOSFET, ou plus couramment transistor MOS, est un composant à quatre électrodes : la grille (G), la source (S), le drain (D) et le substrat (B) (pour *Bulk* en anglais).

Le transistor MOS à canal N (ou NMOS) présente deux îlots de diffusion Source (S) et drain (D), de largeur W , fortement dopés $N+$ dans un substrat faiblement dopé $P-$, séparés par un canal de longueur L . La grille, implantée au dessus du canal est réalisée en silicium polycristallin fortement dopé $N+$ et est isolée du canal par une faible couche de dioxyde de silicium SiO_2 appelée oxyde de grille. La connection physique entre le substrat et l'électrode (B) du transistor est réalisée par l'intermédiaire d'un îlot de diffusion fortement dopé $P+$.

Le transistor MOS à canal P (ou PMOS) présente la même structure mais les dopage sont inversés : la source et le drain (D) sont dopés $P+$ dans un substrat faiblement dopé $N-$, la grille est réalisée en silicium polycristallin fortement dopé $P+$ et la connection physique entre le substrat et l'électrode (B) du transistor est réalisée par l'intermédiaire d'un îlot de diffusion fortement dopé $N+$.

Dans la pratique, les composants NMOS et PMOS doivent être fabriqués sur le même *wafer*, et donc dans le même substrat. La technologie AMS CMOS 0,35 μm , comme la plupart des technologies actuelles, utilise des *wafers* dopés P [146, 147]. Un (ou des) caisson(s) dopé(s) N doivent donc être réalisé(s) dans le substrat P pour implanter des transistors PMOS. La technologie est alors dite *N-Well*¹. La figure III.2.1 présente une vue en coupe de transistors NMOS (à gauche) et PMOS (à droite) dans un caisson appelé *N-Well*.

Une particularité de cette technologie est que tous les transistors NMOS ont leur substrat au même potentiel (généralement la masse). En revanche, grâce à la création de caissons N distincts, les transistors PMOS peuvent avoir leur substrat à des potentiels différents. En particulier, les caissons qui ne sont pas connectés à la tension d'alimentation V_{DD} sont appelés *Hot N-Well*.

Les symboles utilisés dans ce tapuscrit pour représenter les transistors NMOS et PMOS sont présentés sur la figure III.2.2. Les grandeurs électriques caractéristiques des transistors y sont également détaillées. Par convention, le courant de drain d'un transistor NMOS est positif et celui d'un transistor PMOS est négatif.

Pour plus de clarté, par la suite, la tension de substrat n'est pas représentée sur les schémas électroniques. Le substrat est systématiquement connecté à la masse pour les transistors NMOS, et, sauf mention contraire, à la source pour les transistors PMOS.

1. *Well* = caisson en anglais

III.2.2. CARACTÉRISTIQUES ÉLECTRIQUES DU TRANSISTOR MOS

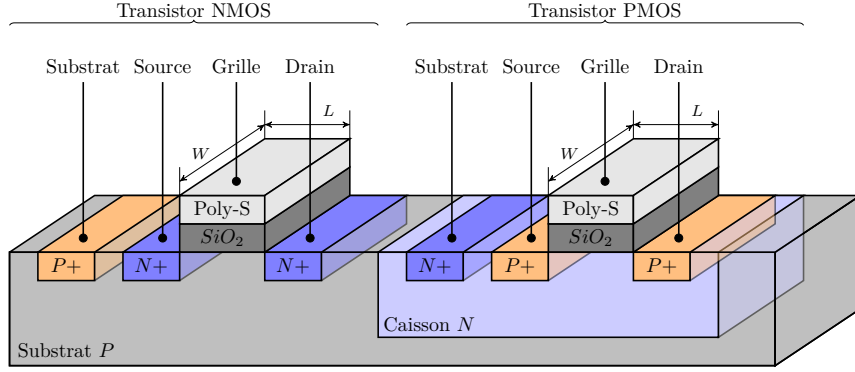


FIGURE III.2.1 – Vues en coupe des transistors NMOS (à gauche) et PMOS (à droite) dans un caisson *N-Well*

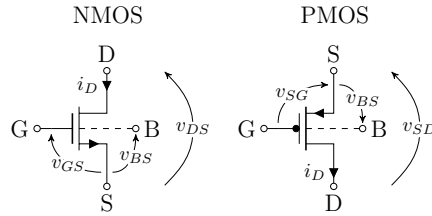


FIGURE III.2.2 – Symboles des transistors NMOS (à gauche) et PMOS (à droite)

2.2.2 Le régime statique

L'étude du régime statique du transistor MOS permet de définir son point de fonctionnement et de relier l'intensité du courant de drain I_D aux paramètres géométriques W et L du transistor et aux tensions V_{GS} , V_{DS} et V_{BS} .

Les équations suivantes s'appliquent au transistor de type N.

Lorsque la tension V_{GS} d'un transistor est inférieure à une tension spécifique V_T , dite de seuil, il est *en zone bloquée* : le courant de drain est alors nul.

Le transistor est assimilable à un circuit ouvert.

Si $V_{GS} > V_T$ mais que $V_{DS} < V_{GS} - V_T$, le transistor entre *en régime ohmique ou linéaire*. Le courant de drain s'exprime alors selon l'équation 2.1.

$$I_D = \mu_n C_{Ox} \frac{W}{L} \left(V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS} \quad (2.1)$$

avec μ_n la mobilité des électrons dans le canal pour un composant N exprimée en $cm^2/(V \cdot s)$ et C_{Ox} la capacité de l'oxyde de grille par unité de surface exprimée en F/cm^2 . Le produit $\mu_n C_{Ox}$ est également désigné par K_n .

Enfin, si $V_{DS} > V_{GS} - V_T$ et $V_{GS} > V_T$, le transistor entre *en saturation* ou dans la

III.2. GÉNÉRALITÉS SUR LE CIRCUIT INTÉGRÉ DE PRÉDISTORSION

zone dite *source de courant*. Le courant de drain s'exprime alors par :

$$I_D = \frac{\mu_n C_{Ox}}{2} \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda_n V_{DS}) \quad (2.2)$$

où λ_n est un paramètre représentatif de la modulation de longueur de canal, exprimé en V^{-1} , restituant la diminution physique de la longueur de canal et par conséquent l'augmentation du courant sous l'effet de l'augmentation de la tension de drain. Le paramètre λ_n est notamment fonction de la longueur de canal du transistor : plus celle-ci est petite, plus λ_n sera grand.

La tension pour laquelle $V_{DS} = V_{GS} - V_T$ est appelée *tension de saturation* et notée $V_{DS,sat}$.

La modulation de longueur de canal est souvent négligée en première approximation et le courant de drain est exprimé indépendamment de V_{DS} :

$$I_D = \frac{\mu C_{Ox}}{2} \frac{W}{L} (V_{GS} - V_T)^2 \quad (2.3)$$

Dans le cas d'un transistor PMOS, le comportement est exactement l'opposé. Si $V_{GS} > V_T$, alors le transistor est bloqué. Si $V_{GS} < V_T$ et $V_{DS} > V_{GS} - V_T$, le transistor est en zone ohmique. Enfin, si $V_{DS} < V_{GS} - V_T$ et $V_{GS} < V_T$, alors le transistor est en zone saturée. Les équations régissant le fonctionnement du transistor P peuvent alors être déduites des équations 2.1 et 2.2 en inversant le signe du courant et en substituant aux paramètres indicés n les données correspondantes indicées p .

La figure III.2.3 représente le courant de drain I_D d'un transistor pour différentes valeurs de tensions V_{GS} et V_{DS} .

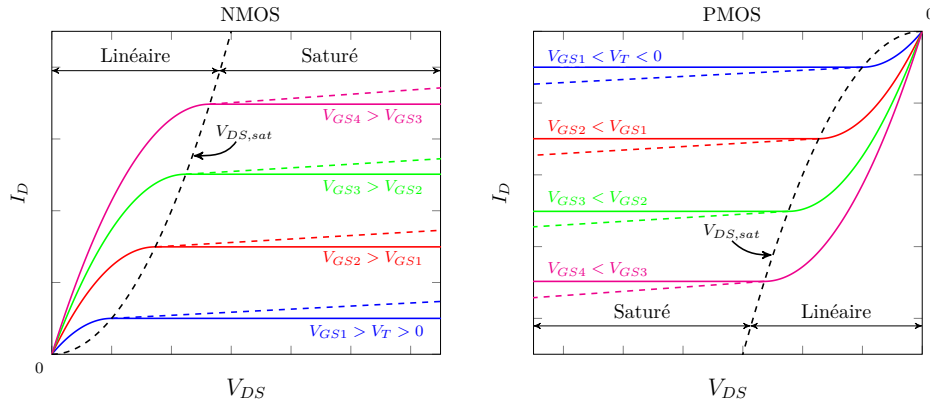


FIGURE III.2.3 – Caractéristiques statiques des transistors NMOS (à gauche) et PMOS (à droite), pour différentes valeurs de tensions V_{GS} et V_{DS} , avec (pointillés) ou sans (trait plein) prise en compte de la modulation de longueur de canal

L'effet substrat

La tension de seuil est une donnée dépendant essentiellement de la technologie, mais également de la tension V_{SB} : ce phénomène est appelé *effet substrat*. Lorsque la tension V_{SB} augmente, la tension de seuil augmente également, selon l'équation 2.4 :

III.2.2. CARACTÉRISTIQUES ÉLECTRIQUES DU TRANSISTOR MOS

$$V_T = V_{T0} + \gamma_n \left(\sqrt{|2\Phi_F + V_{SB}|} - \sqrt{|2\Phi_F|} \right) \quad (2.4)$$

avec V_{T0} la tension de seuil nominale, γ_n le coefficient d'effet substrat pour un composant N exprimé en $V^{1/2}$ et Φ_F le potentiel de surface substrat/grille exprimé en $V^{1/2}$.

En première approximation, l'effet substrat peut toutefois être négligé.

2.2.3 Le régime dynamique : le modèle petit signal

La figure III.2.4 présente le schéma équivalent petit signal d'un transistor NMOS [148].

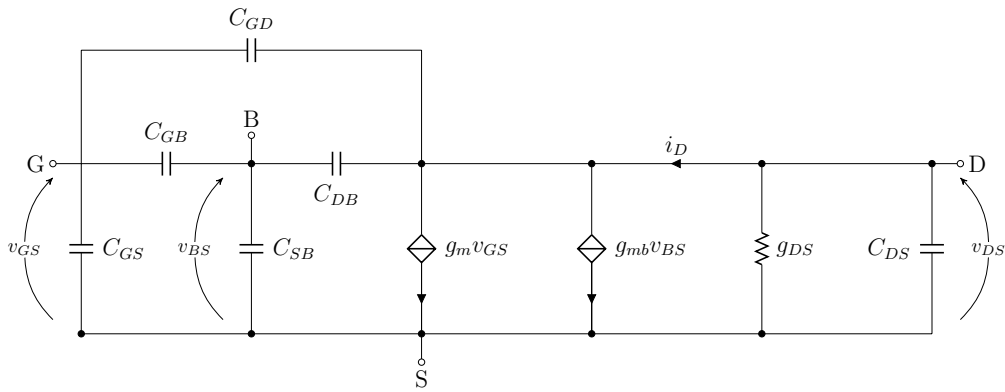


FIGURE III.2.4 – Modèle petit signal haute fréquence d'un transistor MOS en zone saturée

La transconductance g_m est liée à la modulation petit signal du courant de drain i_D par la tension v_{GS} pour des tensions v_{DS} et v_{BS} constantes. En régime saturé :

$$g_m = \left. \frac{\partial i_D}{\partial v_{GS}} \right|_{\substack{v_{DS}=cste \\ v_{BS}=cste}} = \sqrt{2K_n \frac{W}{L} i_D} \quad (2.5)$$

La conductance de sortie g_{DS} est liée à la modulation λ_n de la longueur de canal par la tension v_{DS} pour des tensions v_{GS} et v_{BS} constantes. En régime saturé :

$$g_{ds} = \left. \frac{\partial i_D}{\partial v_{DS}} \right|_{\substack{v_{GS}=cste \\ v_{BS}=cste}} \simeq \lambda_n I_D \quad (2.6)$$

La conductance de sortie g_{DS} est souvent représentée par la résistance de sortie équivalente : $r_{DS} = \frac{1}{g_{DS}}$.

La transconductance g_{mb} est liée à la modulation petit signal du courant de drain i_D par la tension v_{BS} pour des tensions v_{GS} et v_{DS} constantes.

Enfin, au premier ordre, les capacités sont fonctions des dimensions géométriques du transistor [148, 149]. Ainsi, pour un rapport W/L donné, plus le transistor est long, plus la valeur des différentes capacités est importante, entraînant une diminution de la bande passante.

2.2.4 Grandeurs associées à la technologie AMS 0,35 μm

Les principaux paramètres technologiques associés à la technologie AMS 0,35 μm sont regroupés dans un document technique rédigé par AMS [146]. Le paramètre λ est lui fonction de la longueur de canal et doit être extrait graphiquement par extrapolation de la caractéristique $I_{DS}(V_{DS})$ à V_{GS} et V_{BS} constants en zone saturée.

Le tableau III.2.1 regroupe les données les plus importantes pour la conception du circuit intégré de prédistorsion. Les valeurs indiquées dans le tableau sont des valeurs moyennes. Les valeurs $\lambda_{0,35}$, $\lambda_{0,7}$ et $\lambda_{1,4}$ sont extraites à $V_{GS} = 1V$ et $V_{BS} = 0V$, respectivement pour $L = 0,35\mu m$, $L = 0,7\mu m$ et $L = 1,4\mu m$

TABLEAU III.2.1 – Principaux paramètres technologiques associés à la technologie AMS 0,35 μm

Paramètres	Valeur	
	NMOS	PMOS
$V_{SS} - V_{DD}$	0 – 3.3V	
L_{min}	0.35 μm	
V_{T0}	0.5V	-0.65V
K	170 $\mu A/V^2$	58 $\mu A/V^2$
$\lambda_{0,35}$	0.088V ⁻¹	0.33V ⁻¹
$\lambda_{0,7}$	0.022V ⁻¹	0.068V ⁻¹
$\lambda_{1,4}$	0.011V ⁻¹	0.021V ⁻¹
γ	0.58V ^{1/2}	-0.40V ^{1/2}

2.3 Analyse de structures élémentaires

Cette section analyse deux structures utilisées à plusieurs reprises lors de la conception du circuit intégré de prédistorsion, que ce soit dans le réseau de neurones analogique ou dans le circuit déphaseur configurable : le miroir de courant et l'amplificateur à paire différentielle. Pour simplifier les explications, les structures présentées sont uniquement à base de transistors NMOS. Néanmoins, les architectures similaires à base de transistors PMOS se comportent de la même manière.

2.3.1 Le miroir de courant

Le miroir de courant est l'une des cellules de base des circuits intégrés analogiques. Dans ces travaux, ils sont utilisés pour générer des sources de courant statiques et polariser les circuits et pour transmettre le signal d'une structure à une autre. Dans cette optique, les principaux critères d'évaluation d'un miroir de courant sont :

- le facteur de recopie de courant précis et constant ;
- la plage de tension admissible en sortie la plus importante possible ;
- une faible résistance dynamique d'entrée ;
- une faible conductance dynamique de sortie afin de rendre la copie de courant indépendante des conditions de la tension de polarisation du nœud de sortie ;
- une réponse en fréquence élevée du courant de sortie.

L'étude des architectures les plus communes que sont le miroir de courant simple, le miroir de courant Wilson et le miroir de courant cascode, permet de déterminer la structure la plus adaptée au circuit basse-tension développé par la suite.

2.3.1.1 Le miroir de courant simple

Un miroir de courant simple est représenté sur la figure III.2.5. Grille et drain du transistor M_1 sont connectés. Ce montage, dit transdiode, permet d'assurer que $V_{DS1} > V_{GS1} - V_T$ et donc que le transistor M_1 fonctionne toujours en régime saturé.

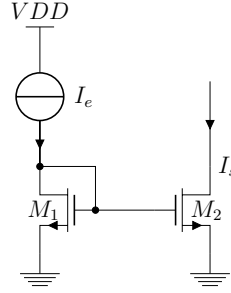


FIGURE III.2.5 – Implantation d'un miroir de courant simple

En supposant que le transistor M_2 opère également en régime saturé, le transfert en courant se déduit de l'équation 2.2 :

$$\frac{I_s}{I_e} = \frac{W_2/L_2}{W_1/L_1} \cdot \frac{1 + \lambda_2 V_{DS2}}{1 + \lambda_1 V_{DS1}} \quad (2.7)$$

avec W_i et L_i les dimensions associées au transistor M_i et λ_i le paramètre représentant la modulation de longueur de canal associé au transistor M_i .

Pour obtenir un courant de sortie égal au courant d'entrée, les tailles des transistors doivent être identiques : $W_1/L_1 = W_2/L_2$. Il est également possible d'obtenir des courants de sortie multiples du courant d'entrée en choisissant un rapport de tailles différent de 1 : si $W_2/L_2 = k \cdot W_1/L_1$, alors $I_s = kI_e$ (k entier).

Pour réduire l'influence de la tension drain-source apparaissant dans le second membre, une solution simple consiste à choisir des transistors à canal long, de manière à minimiser la valeur du paramètre λ . Néanmoins, dans une technologie submicronique basse-tension telle que la technologie AMS 0,35 μm , cette technique est limitée. Une autre méthode permettant d'améliorer la recopie de courant consiste alors à maintenir constante la tension V_{DS} du transistor fournissant le courant de sortie. Pour cela, un second transistor de sortie, monté en série du premier, absorbe la variation de la tension de sortie, alors que le premier impose le courant. C'est le principe de fonctionnement des miroirs de courant Wilson et cascode présentés aux paragraphes 2.3.1.2 et 2.3.1.3.

Le miroir de courant simple est la structure de recopie de courant présentant la plus grande plage de tension admissible en sortie, limitée en valeur inférieure uniquement par la polarisation du transistor M_2 en zone saturée.

La conductance dynamique de sortie du miroir est la conductance du transistor M_2 : $g_s = g_{DS2} = \lambda_2 I_s$.

La figure III.2.6 représente l'équivalent petit signal du miroir de courant simple dans l'hypothèse où source et substrat sont connectés et où la sortie du miroir est reliée à une capacité C_L et une conductance g_L de charge.

III.2. GÉNÉRALITÉS SUR LE CIRCUIT INTÉGRÉ DE PRÉDISTORSION

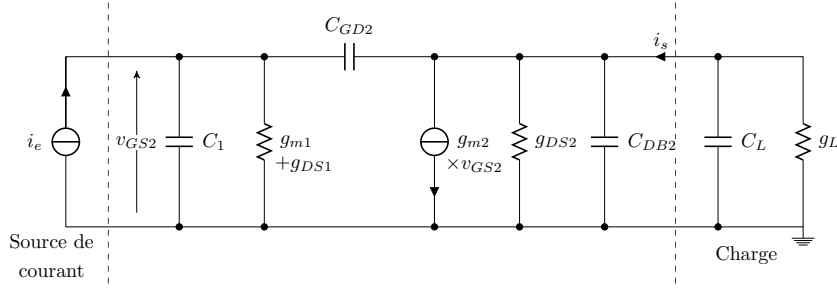


FIGURE III.2.6 – Schéma équivalent petit signal d'un miroir de courant simple

C_1 représente toutes les capacités associées au nœud d'entrée à l'exception de C_{GD2} : $C_1 = C_{DB1} + C_{GS1} + C_{GS2}$.

La fonction de transfert en courant s'écrit :

$$\frac{i_s}{i_e}(p) = \frac{W_2/L_2}{W_1/L_1} \cdot \frac{1}{1 + \tau_1 p} \cdot \frac{1}{1 + \tau_2 p} \quad (2.8)$$

avec τ_1 et τ_2 les constantes de temps associées respectivement aux nœuds d'entrée et de sortie. En utilisant l'approximation de Miller pour le transistor M_2 :

$$\tau_1 = \frac{C_1 + C_{GD2} \left(1 + \frac{g_{m2}}{g_{DS2} + g_L} \right)}{g_{m1} + g_{DS1}} \quad (2.9)$$

$$\tau_2 = \frac{C_{DB2} + C_{GD2} + C_L}{g_{DS2} + g_L} \quad (2.10)$$

Le rapport g_{m1}/g_{DS1} correspond au gain en tension intrinsèque d'une source commune et est de l'ordre de 30 [150]. Ainsi, $g_{m1} \gg g_{DS1}$. Par ailleurs, en pratique, des transistors longs sont utilisés pour minimiser les imprécisions de recopie ; les capacités parasites associées à la grille sont alors prédominantes. Enfin, pour un gain en courant proche de 1, l'influence de la capacité de charge est négligeable et l'effet Miller peut être négligé [151, 152]. Sous ces hypothèses, le pôle principal est alors :

$$\tau_1 \simeq \frac{g_{m1}}{C_1 + C_{GD2}} \quad (2.11)$$

La fréquence de coupure associée à l'entrée s'écrit alors :

$$f_1 = \frac{1}{2\pi\tau_1} \simeq \frac{g_{m1}}{2\pi(C_1 + C_{GD2})} \quad (2.12)$$

La limite du miroir de courant simple est proche ainsi, pour un gain unitaire, de la fréquence de coupure intrinsèque au premier ordre du transistor M_1 .

Si l'augmentation de la longueur du transistor permet d'améliorer la recopie de courant par une réduction de la conductance de sortie du miroir, elle induit également une augmentation de la valeur des capacités parasites et donc une limitation de la bande passante.

2.3.1.2 Le miroir de courant Wilson

La structure d'un miroir de courant Wilson est présentée sur la figure III.2.7.

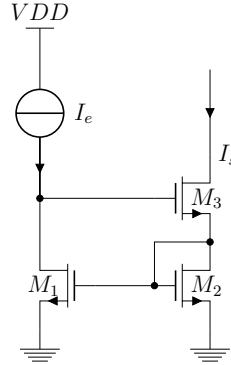


FIGURE III.2.7 – Implantation d'un miroir de courant Wilson

La conductance dynamique de sortie du miroir de courant Wilson est plus faible que celle d'un miroir simple, ce qui limite l'influence des variations de tension de sortie sur la recopie du courant :

$$g_s = \frac{g_{m2}g_{DS3}g_{DS1}}{g_{m1}g_{m3}} \quad (2.13)$$

Néanmoins, le transfert en courant de cette structure est similaire à celle du miroir simple avec une erreur systématique :

$$\frac{I_s}{I_e} = \frac{W_2/L_2}{W_1/L_1} \cdot \frac{1 + \lambda_2 V_{DS2}}{1 + \lambda_1 V_{DS1}} = \frac{W_2/L_2}{W_1/L_1} \cdot \frac{1 + \lambda_2 V_{DS2}}{1 + \lambda_1 (V_{GS2} + V_{GS3})} \quad (2.14)$$

En outre, la plage de tension admissible en sortie est dégradée. En effet, pour que tous les transistors fonctionnent en régime saturé, il faut : $V_s > V_{GS2} + V_{DS,sat3} = 2V_{DS,sat} + V_T$.

2.3.1.3 Le miroir de courant cascode

Le miroir de courant cascode présenté sur la figure III.2.8 est une alternative largement utilisée pour réduire la conductance dynamique de sortie du miroir de courant, et consiste à appliquer une contre-réaction série sur la source du transistor de sortie.

Comme pour le miroir de courant Wilson, le miroir de courant cascode s'affranchit de la dépendance entre les tensions V_{DS1} et V_{DS2} . En effet, $V_{GS3} + V_{DS1} = V_{GS4} + V_{DS2}$ et dès lors que $V_{GS3} = V_{GS4}$, $V_{DS1} = V_{GS1} = V_{DS2}$.

L'expression du transfert en courant est alors identique à celle du miroir simple :

$$\frac{I_s}{I_e} = \frac{W_2/L_2}{W_1/L_1} \cdot \frac{1 + \lambda_2 V_{DS2}}{1 + \lambda_1 V_{DS1}} \quad (2.15)$$

La conductance dynamique de sortie d'un miroir de courant cascode est réduite grâce à la contre-réaction série sur la source de M_4 [152, 153] :

III.2. GÉNÉRALITÉS SUR LE CIRCUIT INTÉGRÉ DE PRÉDISTORSION

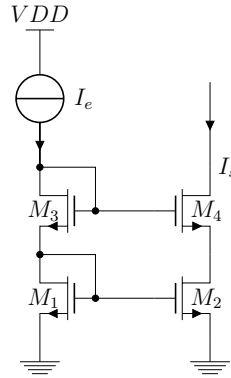


FIGURE III.2.8 – Implantation d'un miroir de courant cascode

$$g_s = \frac{g_{DS4}}{1 + \frac{g_{m4}}{g_{DS2}}} \quad (2.16)$$

Néanmoins, comme pour le miroir de courant Wilson, la plage de tension admissible en sortie est dégradée. En effet, pour que tous les transistors fonctionnent en régime saturé, il faut : $V_s > V_{GS3} + V_{DS,sat4} = 2V_{DS,sat} + V_T$.

2.3.1.4 Discussion

Le choix de la structure de miroir de courant à utiliser dépend essentiellement des critères de précision de recopie, du budget de tension admissible en sortie, de la conductance dynamique de sortie et de la bande passante.

Les structures Wilson et cascode, et d'autres structures dérivées permettent une recopie de courant précise et stable. Néanmoins, elles sont complexes à mettre en œuvre et limitent la plage de tension admissible de sortie.

En technologie AMS $0,35\mu m$, avec une alimentation basse tension $0 - 3.3V$, le miroir de courant simple permet une recopie de courant précise, avec une erreur inférieure à 3% pour des transistors dont la grille est au moins deux fois plus longue que la longueur minimale [153]. Il est simple à mettre en œuvre et sa plage de tension admissible en sortie est maximale. En outre, sa réponse en fréquence est rapide. Il présente ainsi des performances suffisantes pour la conception du circuit intégré de prédistorsion et est donc utilisé pour générer les sources de courant polarisant les sous-circuits ou transmettre le signal d'une structure à une autre.

2.3.2 L'amplificateur à paire différentielle

2.3.2.1 Introduction

L'amplificateur à paire différentielle est l'une des structures les plus importantes de l'électronique analogique. Il est notamment utilisé dans les amplificateurs opérationnels, les comparateurs, les amplificateurs à large bande, les régulateurs de tension ou dans de nombreuses applications de télécommunications analogiques [79, 116, 154]. L'amplificateur à paire différentielle est notamment l'une des structures de base des circuits neuronaux et du circuit déphaseur présentés par la suite.

III.2.3. ANALYSE DE STRUCTURES ÉLÉMENTAIRES

Un amplificateur à paire différentielle NMOS est présenté sur la figure III.2.9. A partir des tensions v_1 et v_2 appliquées sur les grilles des transistors M_1 et M_2 respectivement, il est possible de définir deux tensions :

- la tension différentielle $v_{diff} = v_1 - v_2$;
- la tension de mode commun $v_{cm} = \frac{v_1 + v_2}{2}$ correspondant à la tension moyenne des tensions v_1 et v_2 et qui influence la polarisation du circuit.

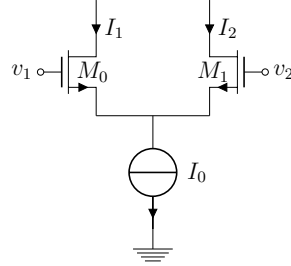


FIGURE III.2.9 – Amplificateur à paire différentielle

Le signal de sortie d'un amplificateur à paire différentielle ne doit être fonction que de la tension différentielle v_{diff} qui constitue de fait le signal utile. L'influence de la tension de mode commun v_{cm} doit être aussi faible que possible. Un des critères de mérite des amplificateurs à paire différentielle est par conséquent le rapport de réjection de mode commun (ou CMRR pour *Common-Mode Reject Ratio*), qui est défini comme le rapport entre le gain différentiel A_{diff} et le gain de mode commun A_{cm} (Equation 2.17) :

$$CMRR = \left(\frac{A_{diff}}{|A_{cm}|} \right) = 20 \log \left(\frac{A_{diff}}{|A_{cm}|} \right) \text{dB} \quad (2.17)$$

Cette section a pour objectif de déterminer l'équation de transfert liant le courant différentiel de sortie $\Delta I_s = I_1 - I_2$ aux paramètres d'entrée et de définir le domaine de linéarité de cette structure.

2.3.2.2 Equation de transfert

Les transistors M_1 et M_2 sont supposés identiques, de largeur W et de longueur L et fonctionnant en saturation.

Notons :

$$\beta_n = \frac{\mu_n C_{ox}}{2} \frac{W}{L} \quad (2.18)$$

Par l'intermédiaire de l'équation 2.3, la tension différentielle v_{diff} s'écrit :

$$v_{diff} = v_1 - v_2 = v_{GS1} - v_{GS2} = \sqrt{\frac{I_1}{\beta_n}} - \sqrt{\frac{I_2}{\beta_n}} \quad (2.19)$$

En utilisant le fait que $I_0 = I_1 + I_2$ et en mettant au carré l'équation 2.19 il vient :

$$2\sqrt{I_1 I_2} = I_0 - \beta_n v_{diff}^2 \quad (2.20)$$

III.2. GÉNÉRALITÉS SUR LE CIRCUIT INTÉGRÉ DE PRÉDISTORSION

En mettant encore au carré cette expression, et en remarquant que $4I_1I_2 = (I_1 + I_2)^2 - (I_1 - I_2)^2 = I_0^2 - (I_1 - I_2)^2$, on déduit le courant différentiel de sortie :

$$\Delta I_s = I_1 - I_2 = v_{diff} \sqrt{2\beta_n I_0} \sqrt{1 - \frac{\beta_n}{2I_0} v_{diff}^2} \quad (2.21)$$

Le terme contenu sous la racine devant être positif, la relation 2.21 n'est valable que pour $v_{diff} < \sqrt{\frac{2I_0}{\beta_n}}$.

Les courants drain I_1 et I_2 sont généralement exprimés séparément [148] :

$$I_1 = \frac{I_0}{2} + v_{diff} \sqrt{\frac{\beta_n I_0}{2}} \sqrt{1 - \frac{\beta_n}{2I_0} v_{diff}^2} = \frac{I_0}{2} + \frac{I_0}{2} \sqrt{\frac{2\beta_n}{I_0} v_{diff}^2 - \frac{\beta_n^2}{I_0^2} v_{diff}^4} \quad (2.22)$$

$$I_2 = \frac{I_0}{2} - v_{diff} \sqrt{\frac{\beta_n I_0}{2}} \sqrt{1 - \frac{\beta_n}{2I_0} v_{diff}^2} = \frac{I_0}{2} - \frac{I_0}{2} \sqrt{\frac{2\beta_n}{I_0} v_{diff}^2 - \frac{\beta_n^2}{I_0^2} v_{diff}^4} \quad (2.23)$$

Modèle petit signal linéaire

L'équation 2.21 suggère alors que le courant différentiel de sortie ΔI_s est linéaire par rapport à la tension différentielle d'entrée v_{diff} si $v_{diff} \ll \sqrt{\frac{2I_0}{\beta_n}}$.

Le modèle linéaire petit signal de l'amplificateur à paire différentiel est donc :

$$\Delta I_s = v_{diff} \sqrt{2\beta_n I_0} = G_M v_{diff} \quad \text{pour} \quad v_{diff} \ll \sqrt{\frac{2I_0}{\beta_n}} \quad (2.24)$$

avec G_M la transconductance de l'amplificateur, égale, d'après l'équation 2.5 à celle des transistors M_1 et M_2 : $G_M = g_{m1} = g_{m2}$.

Modèle grand signal

L'équation 2.21 peut être lourde à manipuler. Elle peut s'approcher plus simplement sous la forme d'une fonction tangente hyperbolique, valable quelque soit la valeur de v_{diff} :

$$\Delta I_s \simeq I_0 \tanh\left(\frac{G_M v_{diff}}{I_0}\right) \quad (2.25)$$

Au premier ordre en 0, la fonction tangente hyperbolique $a_1 \tanh(a_2 x)$ s'approche par $a_1 a_2 x$. Ainsi, à petit signal, les équations 2.24 et 2.25 sont égales. A fort signal, le courant différentiel est bien limité par $\pm I_0$.

La figure III.2.10 représente la comparaison entre la fonction de transfert en courant d'un amplificateur à paire différentielle NMOS simulé sous l'environnement Cadence et l'approximation par l'équation 2.25, pour des transistors de taille $W/L = 10\mu m/0,35\mu m$ et un courant de $200\mu A$. Les deux courbes sont très proches : le modèle est précis.

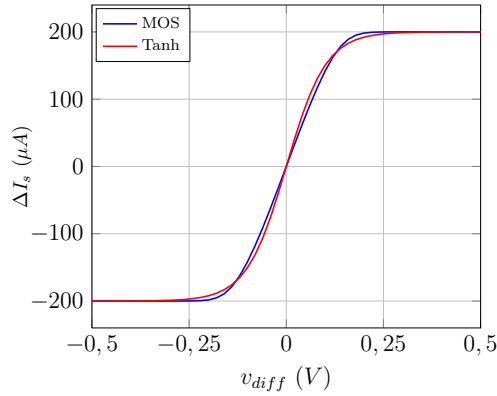


FIGURE III.2.10 – Comparaison entre la fonction de transfert en courant d'un amplificateur à paire différentielle NMOS ($W/L = 10\mu m/0.35\mu m$, $I_0 = 200\mu A$) en bleu et la fonction décrite par l'équation 2.25 en rouge

2.3.2.3 Domaine admissible de tension de mode commun

Supposons à présent la source de courant réalisée grâce à un miroir de courant simple et la paire différentielle chargée soit par des résistances, soit par des transistors PMOS montés en transdiodes, comme sur la figure III.2.11.

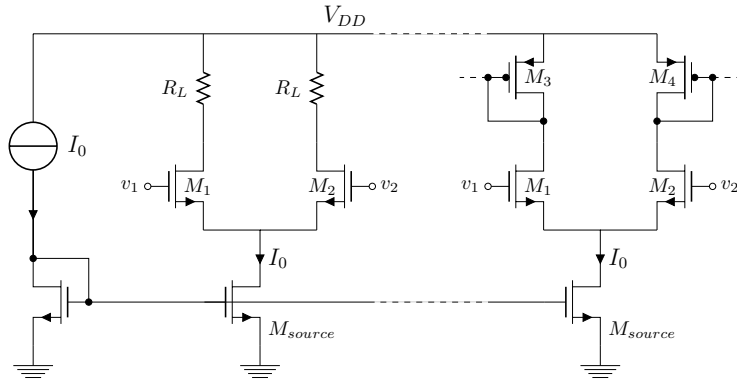


FIGURE III.2.11 – Amplificateurs à paire différentielle avec charges résistives (à gauche) et transdiodes (à droite)

Pour que l'amplificateur à paire différentielle fonctionne correctement, il faut que tous les transistors soient en saturation. Il faut donc que la tension V_{DS} des miroirs de courant M_{source} soit supérieure à leur tension de saturation V_{DS,Sat_n} et que les tensions V_D des transistors M_1 et M_2 soient supérieures à $V_G - V_T$. La tension de mode commun admissible est donc limitée en valeur inférieure par $V_{cm,min} = V_{DS,sat_n} + V_T$.

Dans le cas d'une charge résistive, la tension de mode commun est limitée par $V_{cm,max} = V_{DD} - R_L I_0 + V_{T,n}$. Lorsque la charge est un transistor monté en transdiode, les transistors PMOS doivent rester en saturation. Ainsi, la tension de mode commun est limitée en valeur supérieure par $V_{cm,max} = V_{DD} - V_{DS,Sat_p} + V_{T,n}$.

La figure III.2.12 résume le domaine admissible de la tension de mode commun en fonction de la charge pour un amplificateur à paire différentielle. Notons néanmoins qu'en pratique, le mode commun doit être éloigné des valeurs limites afin de garantir le bon fonctionnement de l'amplificateur lors de variations de la tension différentielle v_{diff} .

III.2. GÉNÉRALITÉS SUR LE CIRCUIT INTÉGRÉ DE PRÉDISTORSION

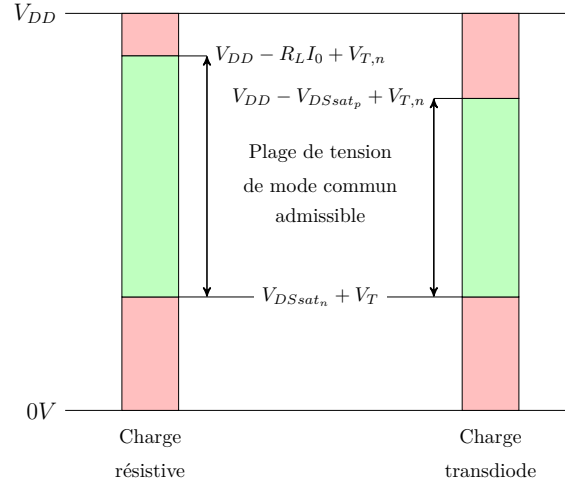


FIGURE III.2.12 – Plage admissible de tension de mode commun des amplificateurs à paire différentielle de la figure III.2.11

Afin d’augmenter la plage admissible de mode commun, il est nécessaire de réduire la valeur de $V_{DS,sat}$ des transistors miroirs de courant, de M_1 et M_2 , de R_L ou, le cas échéant, de M_3 et M_4 en jouant soit sur le courant de polarisation, soit sur la taille de transistors, car :

$$V_{DS,sat} = V_{GS} - V_T = \sqrt{\frac{I_0}{\frac{K}{2} \frac{W}{L}}} \quad (2.26)$$

Il convient en particulier que les transistors miroirs de courant et les transistors montés transdiodes soient larges pour un courant relativement faible [116].

Remarque : La plage de tension de mode commun admissible dans le cas d’une paire différentielle à base de transistors PMOS est symétrique, comprise entre V_{DS,sat_n} et $V_{DD} + 2V_{DS,sat_p} + V_{T,p}$.

2.3.2.4 Réponse fréquentielle d’un amplificateur à paire différentielle

Pour déterminer la réponse en fréquence d’une paire différentielle, il est nécessaire d’examiner le gain différentiel en tension A_{diff} et le gain de mode commun en tension A_{cm} de la structure. L’étude suivante se limite à une paire différentielle à charges résistives R_L , comme sur la figure III.2.13. En outre, l’effet substrat qui pénalise les transistors M_1 et M_2 est négligé.

Dans chaque cas, il est suffisant d’étudier un “demi-circuit”, c’est-à-dire uniquement la partie gauche (ou droite) du circuit, polarisée par une source dont la taille est divisée par deux. L’étude fréquentielle d’une paire différentielle à charge résistive se résume ainsi à l’étude des deux circuits présentés sur la figure III.2.14 [155]. $v_{e,diff}$ représente la tension différentielle d’entrée ($= v_1 - v_2$), $v_{s,diff}$ la tension différentielle de sortie, $v_{e,cm}$ la tension d’entrée de mode commun et $v_{s,cm}$ la tension de sortie de mode commun. La résistance R_{source} et la capacité C_{source} représentent l’impédance de la source de courant réalisée par M_{source} (adaptée à une “demi-source” sur la figure (b)).

III.2.3. ANALYSE DE STRUCTURES ÉLÉMENTAIRES

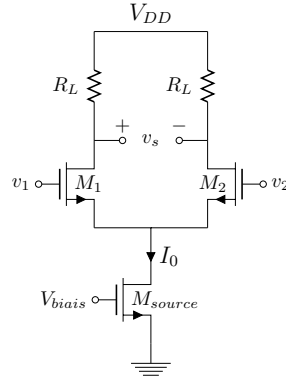


FIGURE III.2.13 – Paire différentielle à charge résistive

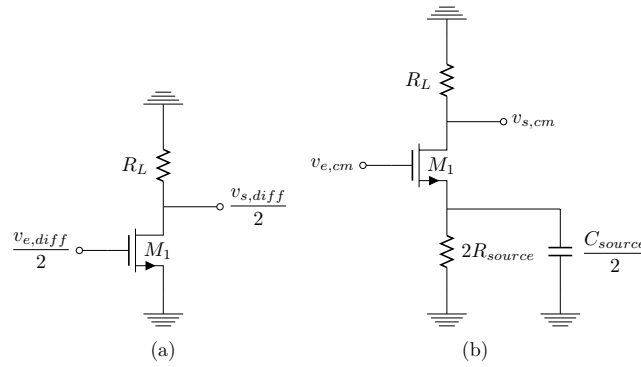


FIGURE III.2.14 – “Demi-circuits” permettant de déterminer (a) le gain en tension différentielle et (b) le gain en tension de mode commun d’un amplificateur à paire différentielle

Le demi-circuit (a) est équivalent à un amplificateur à source commune dont le schéma petit signal haute fréquence est représenté sur la figure III.2.15. C_{GD} , C_{GS} et C_{DB} représentent respectivement la capacité entre la grille et le drain, entre la grille et la source et entre le drain et le substrat. Le demi-circuit (a) est excité par un générateur de tension $v_{e,diff}/2$ de résistance R_{gen} .

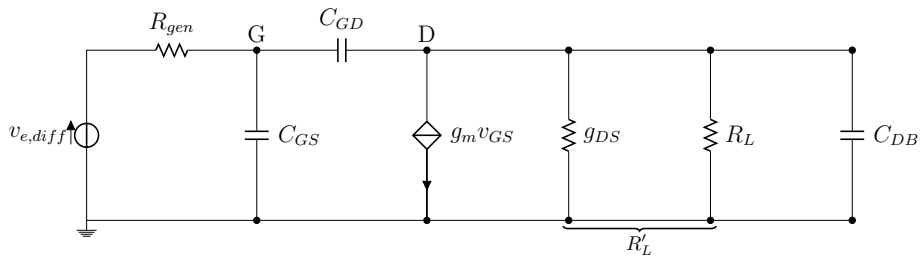


FIGURE III.2.15 – Equivalent petit signal haute fréquence d’un amplificateur à source commune

En général, R_{gen} est supposée de forte valeur et C_{DB} négligeable [147, 155]. Dans ces conditions, le pôle dominant est formé par R_{gen} et la capacité d’entrée déduite du

III.2. GÉNÉRALITÉS SUR LE CIRCUIT INTÉGRÉ DE PRÉDISTORSION

théorème de Miller : $C_{Miller} = C_{GS} + C_{GD}(1 + g_m R'_L)$. Alors :

$$A_{diff} = \frac{v_s}{v_{e,diff}} \simeq \frac{-g_m R'_L}{1 + \frac{s}{\omega_1}} \quad (2.27)$$

La fréquence de coupure à $-3dB$ s'exprime alors par :

$$f_1 = \frac{\omega_1}{2\pi} = \frac{1}{2\pi R_{gen} C_{Miller}} = \frac{1}{2\pi R_{gen} (C_{GS} + C_{GD}(1 + g_m R'_L))} \quad (2.28)$$

Le demi-circuit (b) est équivalent à un amplificateur à source commune dégénéré par une impédance capacitive et résistive, dont le schéma équivalent petit signal est représenté sur la figure III.2.16. En pratique, l'impédance de la demi-source de courant $2Z_{source}(= 2R_{source} \parallel C_{source}/2)$ forme un zéro de la fonction de gain en mode commun à une fréquence très inférieure aux autres zéros et pôles du circuit dus aux capacités C_{GS} , C_{GD} et C_{DB} [155]. C'est pourquoi ces dernières ne sont pas représentées sur la figure III.2.16.

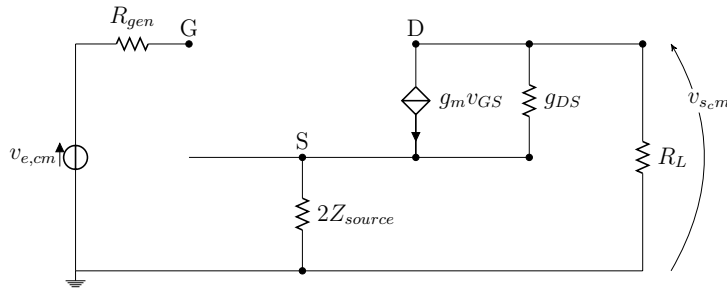


FIGURE III.2.16 – Equivalent petit signal d'un amplificateur à source commune dégénéré

Le gain en tension de mode commun de ce circuit est :

$$A_{cm} = - \frac{R_L}{\frac{1}{g_m + g_{DS}} + 2Z_{source}} \quad (2.29)$$

En pratique, $Z_{source} \gg 1/(g_m + g_{DS})$ [147, 155]. Par conséquent, l'équation 2.29 se simplifie :

$$A_{cm} = - \frac{R_L}{2Z_{source}} = - \frac{R_L}{2R_{source}} (1 + sR_{source}C_{source}) \quad (2.30)$$

Le gain en tension de mode commun A_{cm} présente donc un zéro à la fréquence :

$$f_2 = \frac{1}{2\pi R_{source} C_{source}} \quad (2.31)$$

Ce zéro, à une fréquence très inférieure à f_1 et aux fréquences associées aux autres pôles, entraîne un accroissement de A_{cm} à $+20dB/décade$ à partir de f_2 et donc une diminution du CMRR, comme l'illustre la figure III.2.17. La limite de fonctionnement à hautes fréquences de l'amplificateur à paire différentielle, conditionnée par une forte valeur de CMRR, est donc déterminée par le gain en tension de mode commun A_{cm} .

III.2.4. CONSIDÉRATIONS GÉNÉRALES SUR LE CIRCUIT INTÉGRÉ DE PRÉDISTORSION

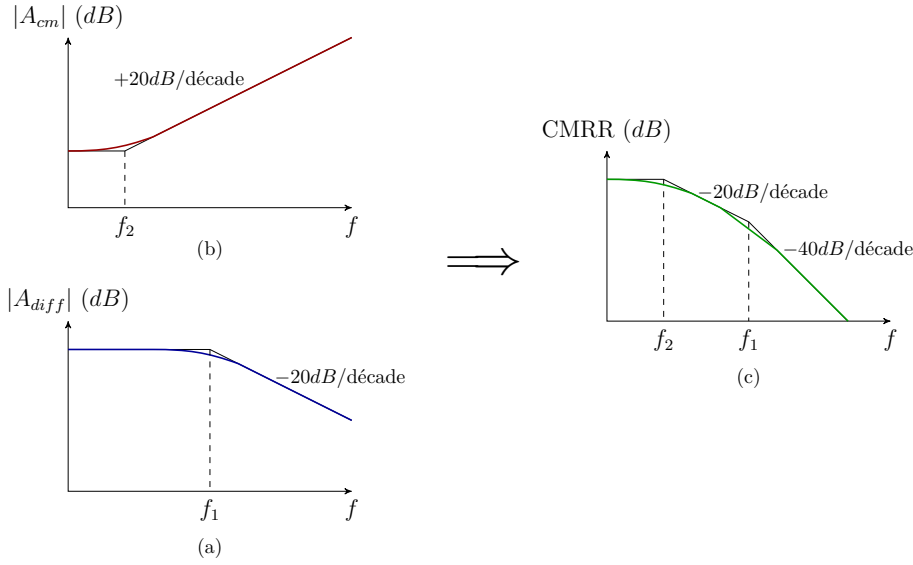


FIGURE III.2.17 – Variations (a) du gain différentiel en tension A_{diff} , (b) du gain de mode commun en tension A_{cm} et (c) du rapport de réjection de mode commun en fonction de la fréquence pour un amplificateur à paire différentielle

2.4 Considérations générales sur le circuit intégré de prédistorsion

Avant de présenter les structures implantées dans l'ASIC de prédistorsion, quelques aspects généraux sur la conception du système et sur les signaux traités sont présentés.

D'abord, le circuit développé est un démonstrateur : son objectif est de valider le concept de prédistorsion adaptable à plusieurs amplificateurs de puissance en laboratoire. Aucune contrainte d'embarquabilité – puissance consommée, durcissement – n'est donc prise en compte.

Ensuite, comme l'explique le chapitre III.1, les signaux sont transférés entre les différents circuits neuronaux, de déphasage ou de gain, en tension, à l'extérieur du circuit intégré, à travers des capacités de liaison. Le niveau de mode commun des signaux est alors ajusté à une valeur admissible dans l'ASIC par l'intermédiaire d'un pont résistif comme le représente la figure III.2.18.

Par ailleurs, dans la mesure du possible, si une fonction doit être répétée à plusieurs endroits dans la chaîne d'instrumentation du signal, un unique circuit est développé et réutilisé. Notamment, sauf mention contraire exceptionnelle, toutes les sources de courant sont réalisées à partir d'un miroir simple tel que celui présenté sur la figure III.2.5, polarisé grâce à une résistance à l'extérieur de l'ASIC. La figure III.2.19 décrit l'implantation retenue du miroir, générant des courants multiples de $50\mu A$. Cette valeur de courant et cette structure dans sa globalité ont été choisies car elles permettent la génération de courants sur une très grande amplitude pour une occupation relativement limitée. Afin de garantir la stabilité des sources de courant dans tout le circuit, cette structure est répétée à plusieurs reprises afin de polariser correctement des circuits situés à différents endroits de l'ASIC [156]. Les deux réseaux de neurones et le déphaseur bénéficient en particulier de sources propres.

III.2. GÉNÉRALITÉS SUR LE CIRCUIT INTÉGRÉ DE PRÉDISTORSION

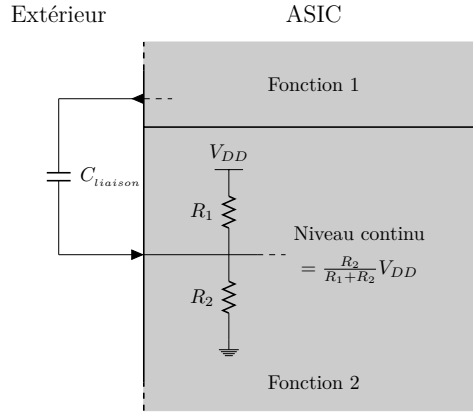


FIGURE III.2.18 – Transfert du signal entre fonctions et ajustement du niveau continu

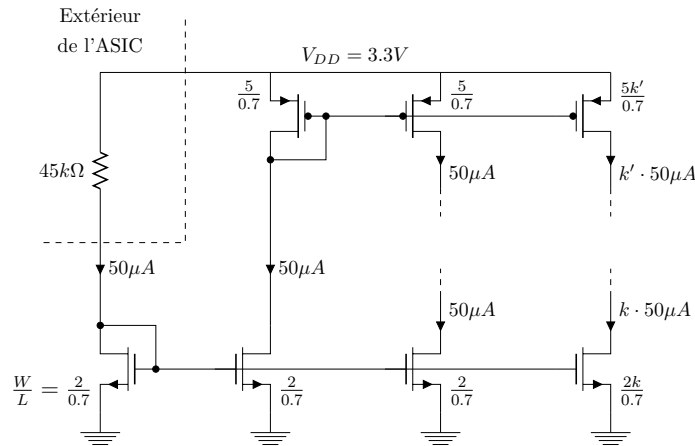


FIGURE III.2.19 – Implantation des sources de courant
(les dimensions sont en μm)

En pratique, au moment du *layout*, il est déconseillé d'utiliser en tant que source de courant un seul transistor dont la largeur est multiple du transistor monté en transdiode. Il est préférable d'implanter plusieurs fois le même transistor en parallèle et de relier les drains et les sources [157].

La structure de miroirs de courant choisie conditionne également la tension minimum de mode commun des paires différentielles implantées dans l'ASIC. Les transistors miroirs de courant retenus ont une tension de saturation $V_{DS,sat}$ d'environ 750mV. Si le signal est appliquée à une paire différentielle à base de transistors NMOS, dont la tension de seuil dans la technologie AMS est d'environ 650mV, la tension de mode commun doit alors être supérieure à $V_{DS,sat} + V_{T,n} = 1,4V$. Il est toutefois préférable de ne pas se placer à la limite de la plage admissible de mode commun [147, 158]. Ainsi, la tension de mode commun pour l'ensemble des structures différentielles NMOS utilisées dans le circuit intégré est fixée à 2V.

Le chapitre III.1 stipule également que l'amplitude maximale du signal doit être comprise entre 176mV et 1,22V dans le linéariseur, soit une dynamique comprise entre 352mV et 2,44V. Afin de ne pas exploiter l'amplificateur à gain variable ADL5330 aux limites de ses capacités ($\pm 20dB$), l'amplitude maximale du signal doit être raisonnable-

ment supérieure à 176mV, mais pour conserver un fonctionnement linéaire des structures à transistors MOS, elle doit également être très inférieure à 1,22V. L'amplitude maximale du signal en entrée et en sortie du déphaseur est donc fixée à $\pm 250\text{mV}$ pour une dynamique maximale du signal fixée à 500mV crête à crête. Les signaux en entrée et en sortie des réseaux de neurones ne constituent pas le signal utile à prédistordre, mais se heurtent aux mêmes contraintes et leur dynamique est donc également fixée à 500mV crête à crête.

2.5 Conclusion

Ce chapitre a présenté la technologie AMS $0,35\mu\text{m}$ dans laquelle l'ASIC est développé, ainsi que quelques structures élémentaires à base de transistors MOS. Quelques considérations générales sur le circuit intégré ont également été données : les connexions entre fonctions ont été définies, les sources de courant décrites et les propriétés des signaux à traiter détaillées. Ainsi, les réseaux neuronaux comme le déphaseur traitent des signaux de 500mV de dynamique maximale, autour d'une tension de mode commun à 2V lors de l'utilisation de structure différentielle, à une fréquence de 50MHz (cf. chapitre III.1).

Le chapitre suivant présente la réalisation du réseau de neurones analogique. Les différentes fonctions (multiplieur, additionneur, fonction d'activation sigmoïdale) sont détaillées. Le chapitre III.5 présente ensuite des simulations du circuit avec des valeurs de poids et biais déterminées grâce à des simulations présentées au chapitre II.3; elles démontrent les capacités du réseau de neurones développé à modéliser avec précision les fonctions de prédistorsion en amplitude et en phase des trois amplificateurs de puissance étudiés et, associés au circuit déphaseur, à réaliser la linéarisation de différents amplificateurs de puissance.

CHAPITRE 3

Le réseau de neurones analogique

Ce chapitre développe l'implantation d'un réseau de neurones analogique de type Perceptron Multi-Couches, ayant pour rôle de réaliser les caractéristiques de prédistorsion présentées au chapitre II.2, et dont l'architecture est rappelée sur la figure III.3.1. Les différentes fonctions conçues – multiplieur, additionneur, fonction d'activation sigmoïdale –, sont détaillées et les circuits correspondant sont systématiquement simulés afin de les valider. La simulation du réseau de neurones dans son intégralité est ensuite présentée pour en évaluer les performances.

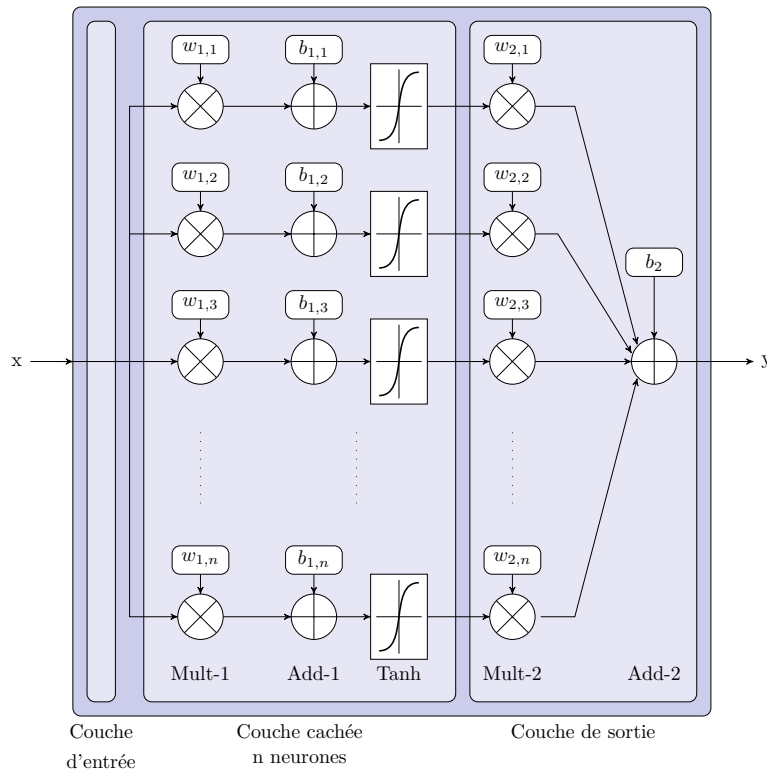


FIGURE III.3.1 – Architecture du réseau de neurones de type MLP réalisé

3.1 Considérations générales

3.1.1 Structure du réseau de neurones

La structure du réseau de neurones analogique développé est de type Perceptron Multi-Couches (cf. paragraphe 3.2.2). Il comprend huit neurones constitués chacun d'un

III.3. LE RÉSEAU DE NEURONES ANALOGIQUE

premier multiplieur, d'un additionneur, d'une fonction d'activation sigmoïdale puis d'un second multiplieur. Enfin, les sorties des huit neurones et un biais sont additionnés. Outre les entrées et sorties du signal traité, le réseau de neurones comprend donc 25 entrées dédiées aux huit poids $w_{1,i}$, huit biais $b_{1,i}$, huit poids $w_{2,i}$ et biais b_2 ($i \in \llbracket 1; 8 \rrbracket$).

3.1.2 Dynamiques des signaux

3.1.2.1 Signaux d'entrée et sortie

Les réseaux de neurones analogiques ont pour rôle de réaliser les caractéristiques de prédistorsion présentées au chapitre II.2. A partir d'un signal d'entrée V_{pwr} issu du détecteur de puissance, ils génèrent les signaux de sortie $V_{c,VGA}$ et $V_{c,\phi}$ tels que les couples $(V_{pwr}; V_{c,VGA})$ et $(V_{pwr}; V_{c,\phi})$ modélisent les caractéristiques de prédistorsion respectivement en amplitude et en phase des trois amplificateurs TEDCNES, ARABSAT4 et TI9083-8. Le signal d'entrée V_{pwr} varie de manière discrète toutes les 20ns, soit à 50MHz et le signal de sortie est modifié en conséquence, toutes les 20ns également.

Conformément aux considérations du chapitre III.2, les réseaux de neurones sont conçus pour des signaux d'entrée et de sortie ayant une dynamique de 500mV crête à crête autour d'une tension continue de 2V.

3.1.3 Traitement de signaux différentiels

Les signaux – poids, biais et ceux issus du détecteur de puissance – sont appliqués au circuit sur une entrée asymétrique. Néanmoins, afin de bénéficier d'une plus grande immunité au bruit dans un circuit, il est préférable de traiter des signaux différentiels [147]. Par ailleurs, supposons qu'une cellule asymétrique exploite un signal d'amplitude donnée A_{asym} ; pour un signal différentiel de même amplitude, la cellule différentielle traite deux signaux en opposition de phase d'amplitude $A_{diff} = A_{asym}/2$. Outre l'immunité au bruit, utiliser des cellules différentielles permet donc d'améliorer la dynamique des signaux en jeu et/ou d'accroître la zone de fonctionnement linéaire. Cette solution est donc retenue pour la conception des fonctions élémentaires du réseau de neurones analogique.

Les circuits permettant de transformer les signaux asymétriques en signaux différentiels dépendent des structures sur lesquelles ils sont appliqués. Il convient par conséquent de développer dans un premier temps les multiplieurs et additionneurs ; les circuits de différentiation seront ainsi présentés en fin de chapitre.

Il faut noter enfin que, le signal de sortie du réseau de neurones étant asymétrique, une structure de sortie adaptée doit être pensée en conséquence.

3.1.4 Comparaison entre le modèle mathématique et l'implantation physique du réseau de neurones

Le réseau de neurones est capable d'exploiter un signal variant de 500mV autour d'une tension continue de 2V et de générer un signal ayant les mêmes caractéristiques. Néanmoins, dans la même logique que pour la modélisation mathématique des caractéristiques de prédistorsion présentée au chapitre II.2 où les caractéristiques de transfert étaient normalisées sur $[0; 1]$, seul un quadrant est exploité en entrée et en sortie. En revanche, les fonctions de multiplication, d'addition et d'activation sont définies sur les quatre quadrants. La figure III.3.2 illustre cette limitation. Dans notre cas, le quadrant exploité est le quadrant supérieur droit, par analogie avec le chapitre II.3, et les signaux

III.3.1. CONSIDÉRATIONS GÉNÉRALES

d'entrée et de sortie du réseau de neurones varient finalement de 0 à 250mV (autour de 2V).

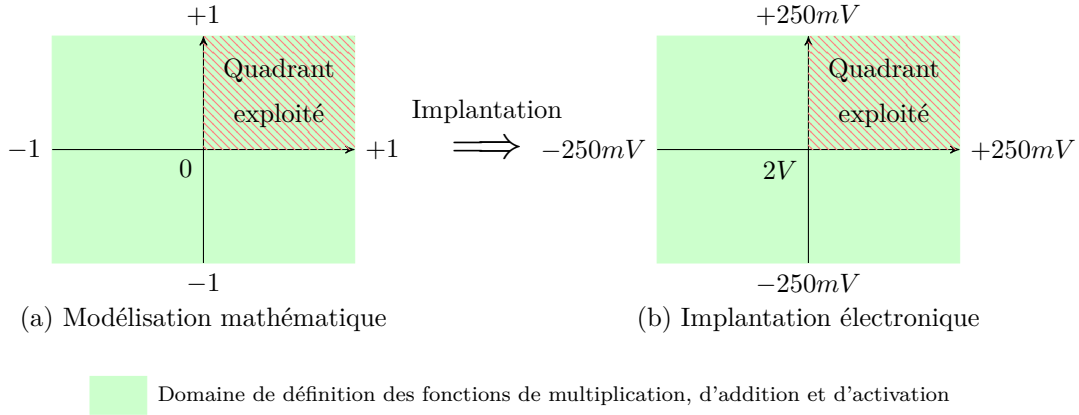


FIGURE III.3.2 – Analogie entre les domaines de définition mathématique et électronique : exploitation du quadrant supérieur droit

Il est alors possible de déterminer les bornes des poids et des biais et la pente du modèle électronique par identification. Dans les équations suivantes, l'indice m renvoie au modèle mathématique et l'indice e à l'implantation électronique, x désigne l'entrée d'un réseau de neurones et y sa sortie, quel que soit le modèle considéré. Les deux systèmes vérifient les équations 3.1 et 3.2 :

$$y_m = \sum_{i=1}^8 w_{2,i,m} \tanh\left(4(w_{1,i,m}x_m + b_{1,i,m})\right) + b_{2,m} \quad (3.1)$$

$$y_e = \sum_{i=1}^8 w_{2,i,e} \tanh\left(p(w_{1,i,e}x_e + b_{1,i,e})\right) \cdot q + b_{2,e} \quad (3.2)$$

avec p et q respectivement la pente à l'origine et l'amplitude maximale de la fonction sigmoïdale implantée. Le paramètre p permet en particulier de conserver l'aspect de la fonction tangente hyperbolique lorsque l'intervalle de définition varie.

D'après la figure III.3.2, $x_m = 4x_e$ et $y_m = 4y_e$. Ainsi :

$$4\left(\sum_{i=1}^8 w_{2,i,e} \tanh\left(p(4w_{1,i,e}x_e + b_{1,i,e})\right) \cdot q + b_{2,e}\right) = \sum_{i=1}^8 w_{2,i,m} \tanh\left(4(w_{1,i,m}x_m + b_{1,i,m})\right) + b_{2,m} \quad (3.3)$$

Par identification :

$$4pw_{1,i,e} = 4w_{1,i,m} \quad (3.4)$$

$$pb_{1,i,e} = 4b_{1,i,m} \quad (3.5)$$

$$4qw_{2,i,e} = w_{2,i,m} \quad (3.6)$$

$$4b_{2,e} = b_{2,m} \quad (3.7)$$

Les paramètres p et q sont déterminés dans la suite du chapitre, en fonction des choix effectués lors de la conception des différentes fonctions neuronales.

III.3. LE RÉSEAU DE NEURONES ANALOGIQUE

3.1.5 Synthèse

Le tableau III.3.1 résume les principales caractéristiques que doit vérifier le circuit du réseau de neurones analogique.

TABLEAU III.3.1 – Principales caractéristiques du circuit déphaseur

Propriétés	Valeur
Amplitude des signaux d'entrée/sortie	$\pm 250\text{mV}$
Fréquence de fonctionnement	50MHz
Nombre de neurones	8

En outre, les dynamiques des poids et biais sont fonctions des équations (3.4), (3.5), (3.6) et (3.7). Enfin, les signaux internes sont traités de manière différentielle.

Ce paragraphe établit ainsi un cahier des charges précis pour la conception du réseau de neurones. Dans la suite du chapitre, les fonctions élémentaires – multiplications, additions, fonction d'activation – sont décrites, dans l'ordre dans lequel le signal les traverse.

3.2 Le multiplieur

3.2.1 Cahier des charges du multiplieur

La multiplication d'un signal variant discrètement à 50MHz par un poids W fixe est une opération réalisée deux fois dans le réseau de neurones analogique. Une seule cellule multiplicatrice est développée pour cette opération et la conception doit en être très soignée. En particulier, le multiplieur doit vérifier plusieurs spécifications. D'abord, il doit traiter les signaux sous forme différentielle, afin de bénéficier d'une plus grande immunité au bruit et d'une meilleure dynamique qu'un équivalent asymétrique. Ensuite, il doit avoir une bande passante supérieure à 50MHz. Enfin, la multiplication est définie sur quatre quadrants et les poids varient *mathématiquement* sur $[-2; 2]$.

3.2.2 État de l'art

De nombreuses implantations de circuits multiplieurs ont été proposées et recensées dans [159]. Il existe principalement trois catégories de multiplieurs : les circuits exploitant des transistors en zone linéaire [160–176], ceux utilisant des transistors en saturation [177–205] et enfin, ceux employant des transistors en faible inversion [206–208]. Les modèles à transistors en zone linéaire ou en faible inversion sont souvent difficiles à concevoir et à mettre en œuvre, requièrent des circuits externes et/ou présentent des défauts de linéarité [169–176]. Beaucoup de circuits utilisant des transistors en saturation souffrent également de problèmes de dynamique et de linéarité [177–199], mais des solutions ont été proposées pour pallier ces défauts [200–205] : il s'agit d'une évolution simple de la cellule de Gilbert [209] : la cellule de Gilbert repliée. Cette solution est simple à concevoir et à mettre en œuvre et permet de traiter des signaux avec une grande linéarité et sur une grande dynamique : elle est donc retenue pour le développement des multiplieurs des réseaux de neurones du circuit analogique de prédistorsion.

3.2.3 Fonctionnement de la cellule de Gilbert repliée

La figure III.3.3 présente une cellule de Gilbert repliée à base de transistors MOS. Les transistors M_1 et M_2 d'une part, et M_3 , M_4 , M_5 et M_6 d'autre part, sont appairés. Appelons $v_{w,diff} = v_{1+} - v_{1-}$ la tension différentielle associée au poids, $v_{e,diff} = v_{2+} - v_{2-}$ la tension différentielle associée au signal d'entrée et $\Delta I_s = I_{s1} - I_{s2}$ le courant différentiel de sortie de la cellule. Supposons que tous les transistors fonctionnent en saturation.

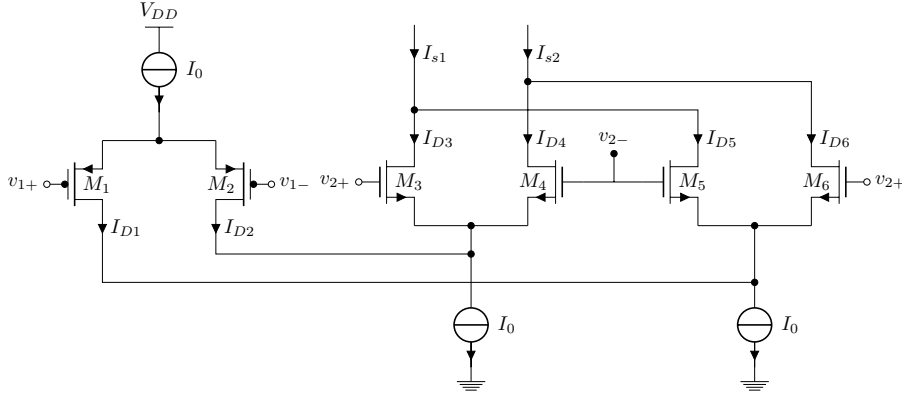


FIGURE III.3.3 – Cellule de Gilbert repliée

La tension $v_{w,diff}$ est injectée sur la paire différentielle $M_1 - M_2$. Deux courants de drains I_{D1} et I_{D2} sont générés sur les drains de ces transistors. D'après les équations 2.22 et 2.23, ces courants s'expriment par :

$$I_{D1} = \frac{I_0}{2} + \frac{I_0}{2} \sqrt{\frac{2\beta_p}{I_0} v_{w,diff}^2 - \frac{\beta_p^2}{I_0^2} v_{w,diff}^4} = \frac{I_0}{2} + v_{w,diff} \sqrt{\beta_p} \sqrt{\frac{I_0}{2} - \frac{\beta_p}{4} v_{w,diff}^2} \quad (3.8)$$

$$I_{D2} = \frac{I_0}{2} - \frac{I_0}{2} \sqrt{\frac{2\beta_p}{I_0} v_{w,diff}^2 - \frac{\beta_p^2}{I_0^2} v_{w,diff}^4} = \frac{I_0}{2} - v_{w,diff} \sqrt{\beta_p} \sqrt{\frac{I_0}{2} - \frac{\beta_p}{4} v_{w,diff}^2} \quad (3.9)$$

en notant $\beta_{n/p} = \frac{K_{n/p}}{2} \frac{W}{L}$. Par ailleurs,

$$\begin{aligned} \Delta I_s &= (I_{D3} + I_{D5}) - (I_{D4} + I_{D6}) = (I_{D3} - I_{D4}) + (I_{D5} - I_{D6}) \\ &= v_{e,diff} \sqrt{2\beta_n I_1} \sqrt{1 - \frac{\beta_n}{2I_1} v_{e,diff}^2} - v_{e,diff} \sqrt{2\beta_n I_2} \sqrt{1 - \frac{\beta_n}{2I_2} v_{e,diff}^2} \end{aligned} \quad (3.10)$$

$$= v_{e,diff} \sqrt{2\beta_n} \left(\sqrt{I_1 - \frac{\beta_n}{2} v_{e,diff}^2} - \sqrt{I_2 - \frac{\beta_n}{2} v_{e,diff}^2} \right) \quad (3.11)$$

avec $I_1 = I_0 - I_{D1}$ et $I_2 = I_0 - I_{D2}$.

En réinjectant les équations 3.8 et 3.9 dans l'équation 3.11, il vient :

$$\begin{aligned} \Delta I_s &= v_{e,diff} \sqrt{2\beta_n} \left(\sqrt{\left(\frac{I_0}{2} - v_{w,diff} \sqrt{\frac{\beta_p I_0}{2}} \sqrt{1 - \frac{\beta_p}{2I_0} v_{w,diff}^2} \right) - \frac{\beta_n v_{e,diff}^2}{2}} \right. \\ &\quad \left. - \sqrt{\left(\frac{I_0}{2} + v_{w,diff} \sqrt{\frac{\beta_p I_0}{2}} \sqrt{1 - \frac{\beta_p}{2I_0} v_{w,diff}^2} \right) - \frac{\beta_n v_{e,diff}^2}{2}} \right) \end{aligned}$$

III.3. LE RÉSEAU DE NEURONES ANALOGIQUE

$$\Delta I_s = v_{e,diff} \sqrt{\beta_n I_0} \left(\sqrt{(1 - v_{w,diff} \sqrt{\frac{2\beta_p}{I_0}} \sqrt{1 - \frac{\beta_p v_{w,diff}^2}{2I_0} - \frac{\beta_n v_{e,diff}^2}{I_0}})} - \sqrt{(1 + v_{w,diff} \sqrt{\frac{2\beta_p}{I_0}} \sqrt{1 - \frac{\beta_p v_{w,diff}^2}{2I_0} - \frac{\beta_n v_{e,diff}^2}{I_0}})} \right) \quad (3.12)$$

En accord avec l'équation 2.24, afin de garantir un comportement linéaire des 3 paires différentielles, il est nécessaire que :

$$v_{e,diff} \ll \sqrt{\frac{2I_0}{\beta_n}} \quad \text{et} \quad v_{w,diff} \ll \sqrt{\frac{2I_0}{\beta_p}} \quad (3.13)$$

Or, au premier ordre, si $\alpha x \ll 1$, alors $\sqrt{1 + \alpha x} \simeq 1 + \frac{\alpha x}{2}$.

$$\Delta I_s \simeq v_{e,diff} \sqrt{\beta_n I_0} \left(\sqrt{(1 - \sqrt{\frac{2\beta_p}{I_0}} v_{w,diff} + \left(\frac{2\beta_p}{I_0}\right)^{\frac{3}{2}} \frac{v_{w,diff}^3}{4} - \frac{\beta_n v_{e,diff}^2}{I_0}})} - \sqrt{(1 + \sqrt{\frac{2\beta_p}{I_0}} v_{w,diff} + \left(\frac{2\beta_p}{I_0}\right)^{\frac{3}{2}} \frac{v_{w,diff}^3}{4} - \frac{\beta_n v_{e,diff}^2}{I_0}})} \right) \quad (3.14)$$

D'après l'équation 3.13, les termes $\left(\frac{2\beta_p}{I_0}\right)^{\frac{3}{2}} \frac{v_{w,diff}^3}{4}$ et $\frac{\beta_n v_{e,diff}^2}{I_0}$ sont négligeables devant $\sqrt{\frac{2\beta_p}{I_0}} v_{w,diff}$. Ainsi,

$$\Delta I_s \simeq \sqrt{\beta_n I_0} v_{e,diff} \left(\sqrt{(1 - \sqrt{\frac{2\beta_p}{I_0}} v_{w,diff})} - \sqrt{(1 + \sqrt{\frac{2\beta_p}{I_0}} v_{w,diff})} \right) \quad (3.15)$$

En réutilisant l'approximation de $\sqrt{1 + \alpha x}$ au premier ordre, il vient finalement :

$$\Delta I_s \simeq -\sqrt{2\beta_n \beta_p} v_{e,diff} v_{w,diff} \quad (3.16)$$

Le courant différentiel de sortie est l'image du signal d'entrée multiplié par le poids et par un coefficient $-\sqrt{2\beta_n \beta_p}$ fixe.

3.2.4 Dimensionnement du multiplieur

D'abord, il faut noter que la tension différentielle modélisant le poids est appliquée à une paire différentielle PMOS. Ce choix est fait conformément aux préconisations données dans [204] d'appliquer le signal variant le plus lentement à la paire différentielle repliée. La tension de mode commun de ce signal doit être ajustée en conséquence. En suivant le même raisonnement que dans le chapitre III.2 mais pour une structure à base de transistor PMOS, cette tension est fixée à 1V.

La principale équation conditionnant le dimensionnement des transistors et des sources de courant du multiplieur est l'équation 3.13. Un compromis entre la taille des

sources de courant, des transistors M_1 à M_6 et des dynamiques des signaux et poids doit être déterminé.

D'abord, la dynamique des signaux doit être assez faible pour vérifier l'équation 3.13. Elle ne doit toutefois pas être trop faible afin de maximiser le rapport signal/bruit. Ensuite, les sources de courant doivent générer un courant relativement élevé afin que la bande passante du signal soit supérieure à 50MHz, conformément au cahier des charges, et afin que l'équation 3.13 soit vérifiée. Néanmoins, lors de la conception de larges sources de courant, il est nécessaire de dimensionner les transistors de la paire différentielle en conséquence. Or, si augmenter la taille des transistors M_1 à M_6 permet d'augmenter la dynamique de sortie du signal et donc d'en optimiser le rapport signal/bruit, cela limite également le domaine de validité de l'équation 3.13. Ainsi, un compromis doit être établi entre la taille de la source de courant et la taille des transistors des paires différentielles.

A partir de ces considérations, une étude paramétrique sur ces données permet de déterminer le meilleur compromis. Le tableau III.3.2 résume les tailles de transistors retenues pour l'implantation du multiplieur, les sources de courant utilisées et les dynamiques des signaux.

TABLEAU III.3.2 – Dimensionnement des transistors, des sources de courant et de la dynamique des signaux du multiplieur

Transistors	W (μm)/L (μm)
$M_1 - M_2$	12/0,7
M_3 à M_6	6/0,7
Sources de courant	
I_0	500 μA
Dynamique maximale des signaux	
$v_{e,diff}$	500mV
$v_{w,diff}$	1V

3.2.5 Exploitation du multiplieur

A partir des données du tableau III.3.2, il est d'abord possible de déterminer les valeurs des paramètres p et q – la pente et l'amplitude maximale de la fonction tangente hyperbolique – adaptée à notre circuit. En effet, le multiplieur Mult-2 doit traiter un signal différentiel $v_{e,diff}$ de 500mV de dynamique. La tangente hyperbolique lui fournissant ce signal doit donc avoir une dynamique de sortie de 500mV, et une amplitude maximale de 250mV. Ainsi, $q = 0,25$ et l'équation 3.6 donne $w_{2,i,e} = w_{2,i,m}$. Par suite, il est donc nécessaire de choisir p tel que $w_{1,i,e} = w_{1,i,m}$, c'est-à-dire $p = 16$. Enfin, il vient $b_{1,i,e} = b_{1,i,m}/4$ et $b_{2,e} = b_{2,m}/4$. En conclusion, les poids de l'implantation électronique sont donc identiques aux poids du modèle mathématique et appartiennent donc à $[-2; +2]$. Les biais à implanter sont égaux au quart des biais mathématiques et appartiennent donc à $[-0.5; +0.5]$.

Avant d'exploiter davantage le multiplieur, il est nécessaire de préciser qu'il existe une correspondance entre la tension différentielle $v_{w,diff}$ associée au poids et la valeur mathématique du poids : multiplier, mathématiquement, par un poids W , équivaut physiquement à appliquer une tension $v_{w,diff} = W/4$. Dans la suite du tapuscrit, la notion de poids W au sens mathématique est quasiment exclusivement employée.

III.3. LE RÉSEAU DE NEURONES ANALOGIQUE

Des simulations statiques et fréquentielles du circuit utilisant les valeurs du tableau III.3.2 ont été exécutées et les résultats sont présentés sur la figure III.3.4. Les courbes (a) représentent le courant différentiel de sortie en fonction de la tension différentielle $v_{e,mult}$ pour différentes valeurs de poids. Les courbes pointillées représentent les courbes théoriques issues de l'équation 3.16. On peut remarquer que les courbes issues de la simulation en sont très proches. Le multiplieur réalise donc une multiplication précise et linéaire sur toute la plage de variation d'entrée, quel que soit le poids. Par ailleurs, les courbes de la figure (b) montrent que le multiplieur possède une fréquence de coupure à -3dB supérieure à 920MHz , bien supérieure aux spécifications du cahier des charges, quel que soit le poids appliqué. En outre, elles permettent de confirmer que la multiplication est également linéaire par rapport à $v_{w,diff}$: les tracés pour un poids de ± 2 sont bien 6dB au dessus des tracés pour un poids de ± 1 , eux-mêmes 6dB au dessus des tracés pour un poids de $\pm 0,5$.

La courbe de l'analyse fréquentielle pour un poids nul n'apparaît pas sur le graphique, car elle est inférieure à -150dB quelle que soit la fréquence.

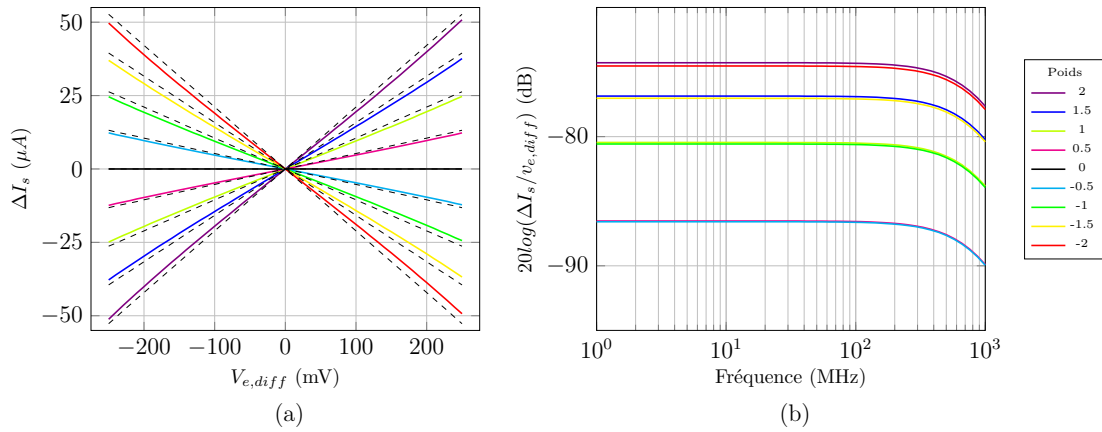


FIGURE III.3.4 – Simulations du multiplieur

3.3 L'additionneur de la couche cachée

3.3.1 Fonctionnement de l'additionneur

L'additionneur de la couche cachée est réalisé par un simple ajout de courant en sortie du multiplieur. Une tension différentielle modélisant le biais $v_{b,diff} = v_{b,+} - v_{b,-}$ est appliquée sur une paire différentielle NMOS et génère un courant différentiel de sortie $\Delta I_s^+ = I_{s,1}^+ - I_{s,2}^+$. Le choix de la structure NMOS permet de connecter directement ses sorties aux sorties du multiplieur, comme le schématise la figure III.3.5. Dans la suite du chapitre, $I_{s,1/2}^\times$, ΔI_s^\times , $I_{s,1/2}^{\times,+}$ et $\Delta I_s^{\times,+}$ désignent respectivement les courants de sortie asymétriques du multiplieur, le courant de sortie différentiel du multiplieur, les courants de sortie asymétriques de l'ensemble "Multiplieur + Additionneur" et le courant de sortie différentiel de l'ensemble "Multiplieur + Additionneur". Sur le circuit III.3.5 :

$$I_{s,1}^{\times,+} = I_{s,1}^\times + I_{s,1}^+ \quad (3.17)$$

$$I_{s,2}^{\times,+} = I_{s,2}^\times + I_{s,2}^+ \quad (3.18)$$

Ainsi, le courant différentiel de sortie est :

$$\Delta I_s^{\times,+} = I_{s,1}^{\times,+} - I_{s,2}^{\times,+} = (I_{s,1}^{\times} + I_{s,1}^{+}) - (I_{s,2}^{\times} + I_{s,2}^{+}) \quad (3.19)$$

$$= (I_{s,1}^{\times} - I_{s,2}^{\times}) + (I_{s,1}^{+} - I_{s,2}^{+}) = \Delta I_s^{\times} + \Delta I_s^{+} \quad (3.20)$$

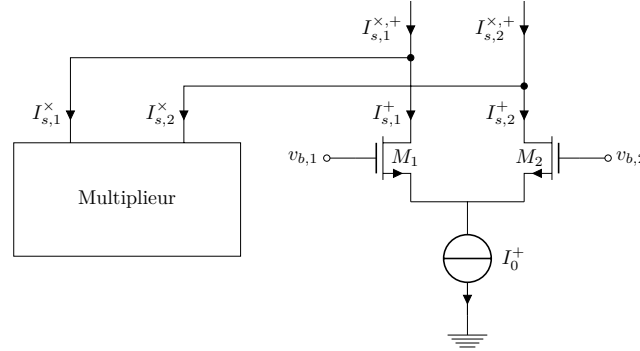


FIGURE III.3.5 – Addition en courant

3.3.2 Dimensionnement de l'additionneur

Le dimensionnement de l'additionneur est réalisé en plusieurs étapes.

D'abord, la tension différentielle $v_{b,diff}$ est appliquée, comme le signal d'entrée différentiel $v_{e,diff}$, sur une structure différentielle NMOS. Il peut alors être intéressant d'utiliser, pour générer ces deux signaux, la structure de différentiation présentée plus loin dans ce chapitre. Ce choix présente l'avantage de limiter le nombre de circuits à concevoir. En conséquence, $v_{b,diff}$ présente une dynamique de $250mV$ crête à crête autour d'une tension de mode commun de $2V$.

Ensuite, la source et les transistors sont dimensionnés de sorte que les transistors restent toujours en saturation. Le courant différentiel ΔI_s^{+} doit également rester linéaire par rapport à $v_{b,diff}$ et donc l'équation 2.24 doit être respectée.

Enfin, le courant différentiel de sortie doit être calibré en fonction des propriétés du multiplieur. Le courant différentiel en sortie de multiplieur atteint $50\mu A$ pour un poids de 2 et une tension différentielle d'entrée de $250mV$. Ce courant de $50\mu A$ est donc équivalent, mathématiquement, à $2 * 0,25 = 0,5$. Par conséquent, électroniquement, générer un offset de $50\mu A$ correspond mathématiquement, à ajouter un biais de $0,5$.

Même si, conformément aux conclusions des paragraphes précédents, les biais $b_{1,i,e}$ appartiennent à l'intervalle $[-0.5; +0.5]$, l'additionneur est dimensionné pour des biais appartenant à $[-2, +2]$. Ce choix permet en effet d'offrir au réseau de neurones des performances accrues sans pour autant complexifier sa conception ou sa mise en œuvre. Le courant différentiel de sortie généré par l'additionneur doit donc varier de $-200\mu A$ à $+200\mu A$, linéairement avec $v_{b,diff}$.

A l'aide de ces valeurs extrêmes et de l'équation 2.24, la source de courant et les transistors de l'additionneur sont dimensionnés selon le tableau III.3.3.

3.3.3 Exploitation de l'additionneur de la couche cachée

Comme pour le multiplieur, il existe une correspondance entre la tension différentielle $v_{b,diff}$ associée au biais et la valeur mathématique du biais : ajouter mathématique-

III.3. LE RÉSEAU DE NEURONES ANALOGIQUE

TABLEAU III.3.3 – Dimensionnement de la source de courant et des transistors de l’additionneur

Transistors	W (μm)/L (μm)
$M_1 - M_2$	10/0,7
Source de courant	
I_0^+	$500\mu A$

ment un biais B , équivaut physiquement à appliquer une tension $v_{b,diff} = B/8$. Dans la suite du tapuscrit, la notion de biais B au sens mathématique est quasiment exclusivement employée.

La courbe III.3.6 représente le courant différentiel en sortie de l’additionneur en fonction du biais appliqué (en bleu) et la sortie idéale décrite par l’équation 2.24 (en pointillés). Le courant différentiel en sortie d’additionneur est quasiment confondu avec la courbe idéale : l’additionneur est linéaire par rapport à $v_{b,diff}$ et génère le courant désiré.

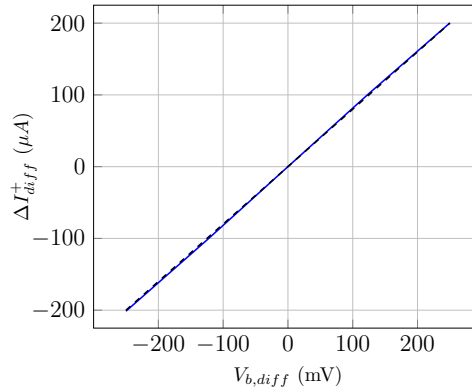


FIGURE III.3.6 – Courant différentiel en sortie d’additionneur en fonction de la tension différentielle $v_{b,diff}$ associée au biais

La figure III.3.7 représente des simulations de l’ensemble “Multiplieur + Additionneur”, pour plusieurs valeurs de poids et de biais. La courbe (a) illustre le fonctionnement statique du circuit et démontre ses capacités à générer des signaux linéaires pour des poids et biais variant sur un intervalle $[-2; +2]$. La courbe (b) représente le fonctionnement fréquentiel du circuit. Comme l’additionneur ne fait qu’ajouter un offset au signal, sans ajouter de composante temporelle, le comportement fréquentiel du circuit “Multiplieur + Additionneur” est identique à celui de multiplieur seul.

L’ensemble “Multiplieur + Additionneur” génère un courant différentiel image de la multiplication du signal d’entrée par un poids et additionné d’un biais. Ce courant de sortie est très linéaire, à la fois par rapport au signal d’entrée, au poids et au biais, et avec une bande passante extrêmement large. Le circuit est chargé à l’aide de résistances, qui convertissent le courant de sortie en tension différentielle. Utiliser des résistances plutôt que des transistors connectés en transdiode permet de conserver une plage de linéarité en tension plus importante. Les résistances sont calculées de façon à ce que la tension de mode commun soit de $2V$, c’est-à-dire que la tension aux bornes de chaque résistance soit $V_{DD} - 2 = 1,3V$. Le courant continu en sortie de l’ensemble “Multiplieur + Additionneur” étant de $500\mu A$, les résistances de charge sont de $2,6k\Omega$. La tension différentielle en sortie pour $v_{e,diff} = 250mV$ et un poids de 2 est ainsi de $50\mu A \cdot 2,6k\Omega = 130mV$ et,

III.3.4. LA FONCTION D'ACTIVATION SIGMOÏDALE

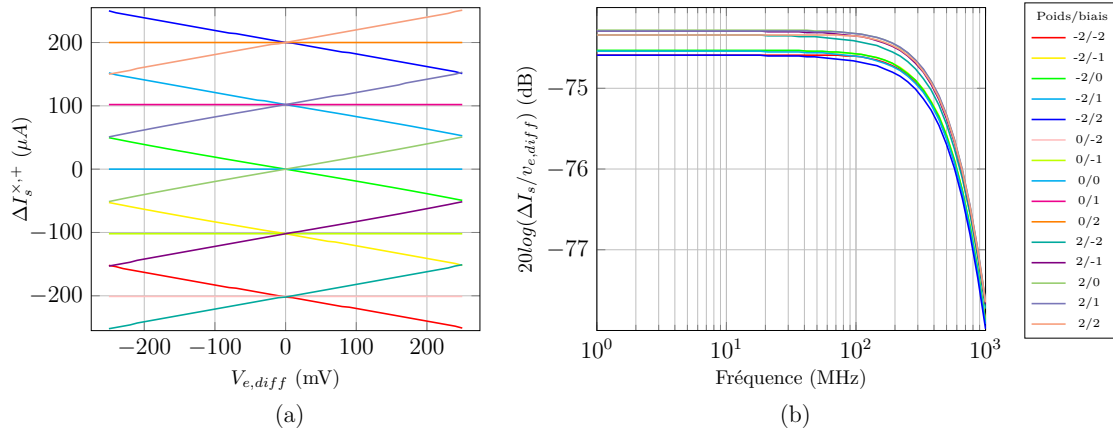


FIGURE III.3.7 – Simulations de l'ensemble "Multiplieur + Additionneur"

proportionnellement, de $65mV$ pour un poids de 1. La figure III.3.8 représente la tension différentielle de sortie du circuit Multiplieur-Additionneur pour différentes valeurs de poids et biais, illustrant cette conversion courant-tension.

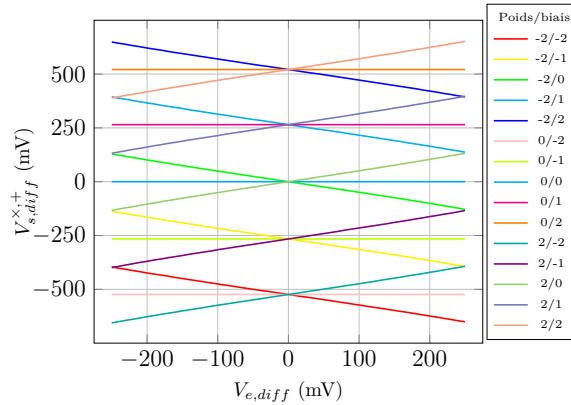


FIGURE III.3.8 – Tension différentielle de sortie de l'ensemble "Multiplieur-Additionneur" pour différentes valeurs de poids et biais

L'opération suivante est l'application d'une fonction d'activation sigmoïdale à ce signal.

3.4 La fonction d'activation sigmoïdale

Le chapitre III.2 démontre qu'une structure à paire différentielle approche naturellement la fonction tangente hyperbolique. Une telle structure est par conséquent employée pour réaliser la fonction d'activation sigmoïdale du réseau de neurones.

Toutefois, le chapitre II.3 a révélé que la fonction d'activation du réseau de neurones "mathématique" doit avoir une pente à l'origine de 4 au moins pour un poids de 1. Comme cela est expliqué au paragraphe 3.1.4, le paramètre p permet en particulier de conserver l'aspect de la fonction tangente hyperbolique lorsque l'intervalle de définition varie. Pour un signal de $500mV$ de dynamique comme celui en entrée du réseau de neurones, le paragraphe précédent montre que $p = 16$. En revanche, pour conserver l'aspect de la

III.3. LE RÉSEAU DE NEURONES ANALOGIQUE

fonction sigmoïdale pour un signal de 130mV issu du “Multiplieur + Additionneur” avec un poids de 1 et un biais nul, le paramètre p doit être de 61,5. Or pour obtenir une telle pente, l’équation 2.25 spécifie qu’il faut un très petit courant de polarisation et/ou une très forte transconductance, ce qui est difficilement réalisable puisque $G_M = \sqrt{2\beta I_0}$ d’après l’équation 2.24.

Pour contourner ce problème, le signal issu du circuit “Multiplieur + Additionneur” est pré-amplifié grâce à deux étages successifs identiques de paires différentielles chargées par des résistances. La figure III.3.9 représente un de ces étages d’amplification. Grâce à cette pré-amplification, avant d’être appliqué à la paire différentielle réalisant effectivement la fonction d’activation, la dynamique du signal augmente, donc p diminue et devient plus facile à implanter. Les sources de courant, les transistors et les résistances sont dimensionnés de sorte que les transistors restent en saturation, que la bande passante soit supérieure à 50MHz et que la tension de mode commun de chaque étage soit de 2V. Le tableau III.3.4 résume les valeurs retenues pour les deux étages d’amplification.

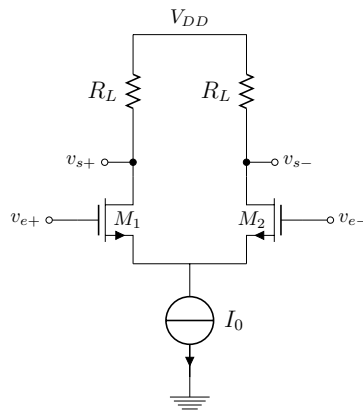


FIGURE III.3.9 – Un étage de préamplification

TABLEAU III.3.4 – Dimensionnement de l’étage de pré-amplification de la fonction tangente hyperbolique

Transistors	W (μm)/L (μm)
$M_1 - M_2$	20/0,35
Résistances	Valeur
R_D	2.6k Ω
Source de courant	
I_0^+	1mA

La préamplification en deux étages permet de bénéficier d’un gain important sans dégrader la bande passante. Avec les composants du tableau III.3.4, chaque étage présente un gain en tension de $A_{diff,dB} = 15,34dB$, soit un gain total de 28,5dB pour une fréquence de coupure à $-3dB$ supérieure à 800MHz. La nouvelle valeur de p calculée est 2,35.

Il est alors possible d’implanter une paire différentielle permettant de réaliser la fonction d’activation. Une contrainte est néanmoins à prendre en compte : étant donnée la forte pente localement de la fonction d’activation et la grande dynamique des signaux appliqués à la paire différentielle, les effets capacitifs des transistors de la source de courant et de la paire différentielle sont importants. La bande passante peut notamment être

III.3.4. LA FONCTION D'ACTIVATION SIGMOÏDALE

réduite et des effets de charge et de décharge peuvent modifier la forme temporelle du signal. Les composants sont donc choisis petits, et leur longueur est en particulier fixée à la valeur minimale permise par la technologie, c'est-à-dire $0,35\mu m$.

Dans un premier temps, la source de courant est dimensionnée. Contrairement à toutes les autres sources de courant du circuit, elle n'est pas générée directement à partir du circuit de la figure III.2.19, mais en est dérivée selon la figure III.3.10. La tension de grille du transistor source est ainsi plus importante et il est possible de générer un courant de $250\mu A$, garantissant une bande passante suffisante, malgré une taille réduite des composants pour minimiser les effets capacitifs.

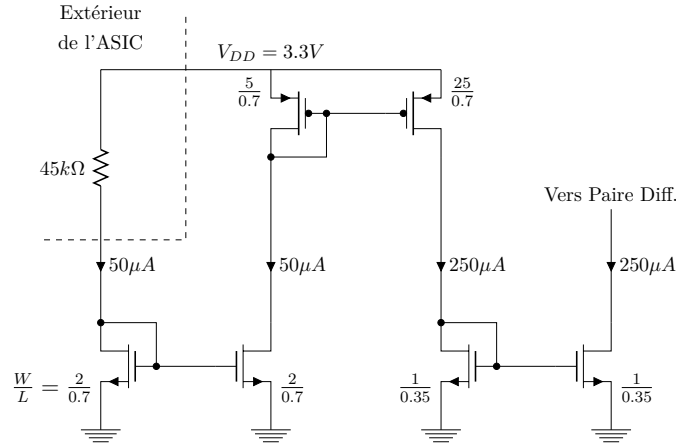


FIGURE III.3.10 – Source de courant de la paire différentielle

Grâce à l'équation 2.25, il est possible de déterminer la taille des transistors de la paire différentielle :

$$\begin{aligned} \frac{G_M}{I_0} &= \frac{1}{I_0} \sqrt{\frac{K}{2} \frac{W}{L}} I_0 = 2,35 \\ \Rightarrow \frac{W}{L} &= 16,2 \\ \Rightarrow W &= 5.67\mu m \text{ avec } L = 0,35\mu m \end{aligned}$$

La paire différentielle est chargée par des résistances R_L dimensionnées de sorte que la dynamique de la tangente hyperbolique soit de 500mV conformément à l'étude du paragraphe 3.2.5. Les résistances sont donc de $R_D = 1k\Omega$.

En sortie de la paire différentielle, le mode commun est $V_{DD} - R_L \frac{I_0}{2} = 3,175V$. Ce niveau doit être ajusté à 2V afin de pouvoir être appliqué au multiplieur suivant. Un étage suiveur à drain commun NMOS est développé dans ce sens. La figure III.3.11 détaille l'implantation de la fonction tangente hyperbolique sans l'étage de pré-amplification mais avec l'étage suiveur.

Les valeurs des largeurs de transistors sont affinées en simulation grâce à une étude paramétrique afin d'approcher au plus près la fonction $\tanh(16x)$. Les valeurs de résistances de charge sont également ajustées afin de compenser le gain légèrement inférieur à 1 de l'étage suiveur. Le tableau III.3.5 résume les tailles retenues pour les différents composants.

Enfin, la figure III.3.12 représente les simulations statique, temporelle et fréquentielle de la fonction tangente hyperbolique. La simulation intègre en amont de la fonction

III.3. LE RÉSEAU DE NEURONES ANALOGIQUE

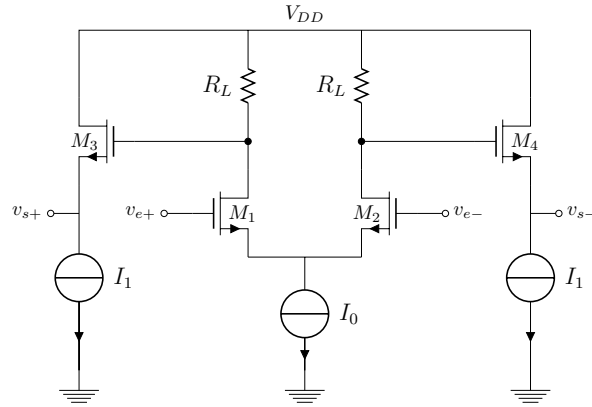


FIGURE III.3.11 – Schéma de la fonction tangente hyperbolique

TABLEAU III.3.5 – Dimensionnement de la paire différentielle réalisant la tangente hyperbolique

Transistors	W (μm)/L (μm)
$M_1 - M_2$	5/0,35
$M_3 - M_4$	32/0,7
Résistances	Valeur
R_L	$1.2k\Omega$
Source de courant	
I_0	$250\mu A$
I_1	$100\mu A$

d'activation un multiplieur et un additionneur configurés respectivement avec un poids de 1 et un biais de 0. La courbe (a) montre que la fonction générée approche avec précision la fonction mathématique $\tanh(16x)$ (en pointillés). La courbe (b) illustre le comportement temporel de la fonction d'activation. La courbe rouge représente la sortie de la cellule implantée et la courbe pointillée la sortie idéale. Les effets capacitifs de charges et de décharges sont très limités grâce à l'utilisation de transistors de petites dimensions. Enfin, la courbe (c) montre que la fréquence de coupure de la fonction est supérieure à $280MHz$.

La figure III.3.13 représente enfin la sortie de la fonction d'activation pour différentes valeurs de poids (biais fixe à 0) et de biais (poids fixe à 1) en fonction de $v_{e,diff}$, respectivement à gauche et à droite. Le poids permet bien de faire varier la pente de la fonction, tandis que le biais réalise une translation de toute la fonction suivant l'axe des abscisses.

3.5 L'additionneur de la couche de sortie

L'additionneur de la couche de sortie a pour rôle d'additionner les courants issus des 8 multiplieurs avec un biais b_2 . Tous les multiplieurs sont identiques entre eux et à celui présenté au paragraphe 3.2, et la génération du courant de biais peut donc être implanté selon la figure III.3.5.

Si le signal en sortie de l'additionneur de la couche cachée est différentiel, celui en sortie du réseau de neurones doit être asymétrique et donc l'additionneur peut être conçu

III.3.5. L'ADDITIONNEUR DE LA COUCHE DE SORTIE

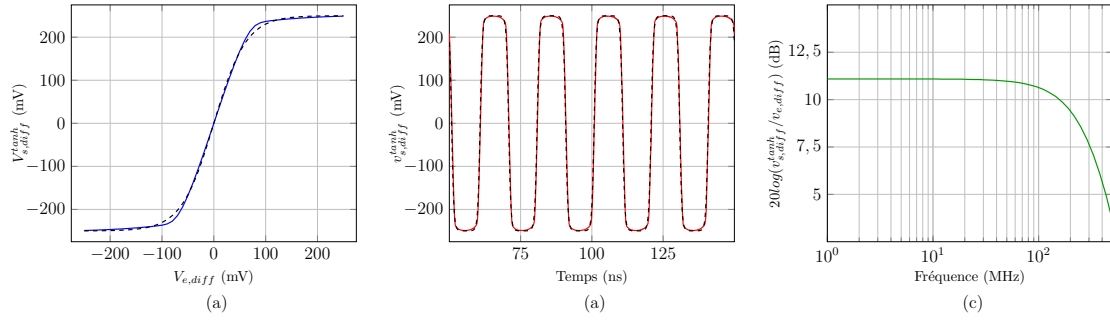


FIGURE III.3.12 – Simulation de la fonction tangente hyperbolique
 (a) Simulation statique du circuit (en bleu) et courbe mathématique $\tanh(16x)$ (en pointillés)
 (b) Simulation temporelle de la cellule implantée (en rouge) et sortie idéale (en pointillés)
 (c) Simulation fréquentielle du circuit

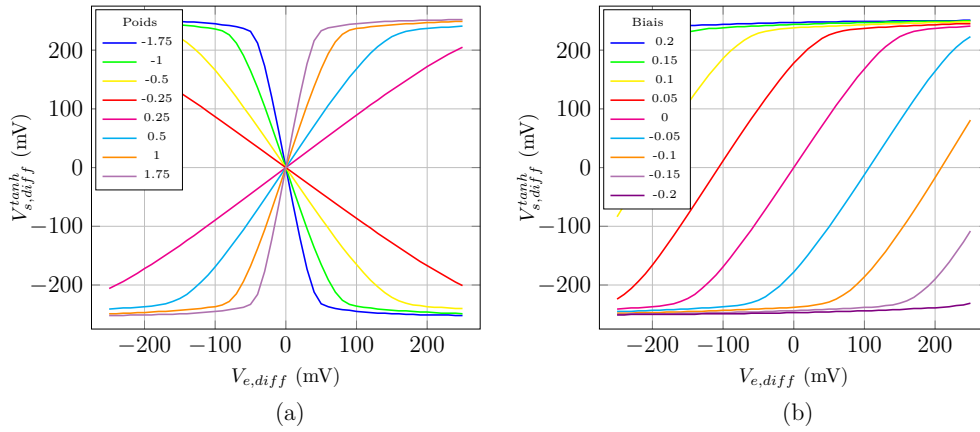


FIGURE III.3.13 – Simulation de la fonction tangente hyperbolique pour différentes valeurs de poids (a) ou de biais (b)

dans ce sens. La figure III.3.14 illustre une technique pour convertir un courant différentiel en courant asymétrique, par l'intermédiaire de trois miroirs de courant. Sur cette figure, en supposant que les transistors M_1 et M_2 d'une part, et M_3 , M_4 , M_5 , M_6 d'autre part, sont appariés, alors $I_s = I_1 - I_2$.

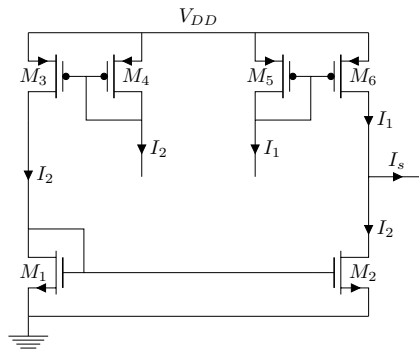


FIGURE III.3.14 – Conversion d'un courant différentiel en courant asymétrique

III.3. LE RÉSEAU DE NEURONES ANALOGIQUE

En réalisant ce circuit en sortie de chacun des 8 multiplieurs et du circuit générateur de biais et en connectant toutes les sorties ensemble, la structure globale réalise alors l'opération :

$$I_s^{RN} = \sum_{i=1}^8 \Delta I_{s,i}^{\times 2} + \Delta I_s^{+2} \quad (3.21)$$

en notant $\Delta I_{s,i}^{\times 2}$ et ΔI_s^{+2} les courants de sortie des multiplieurs Mult-2 et de l'additionneur Add-2 respectivement.

En appliquant enfin ce courant à un amplificateur transimpédance, dont la finalité est de convertir un courant en tension, une tension asymétrique est générée, correspondant à la sortie du réseau de neurones. La figure III.3.15 propose une implantation d'un circuit transimpédance, dont la tension en sortie de ce circuit varie autour de 2V selon, idéalement :

$$V_s = R_L \cdot I_e = R_L \left(\sum_{i=1}^8 \Delta I_{s,i}^{\times 2} + \Delta I_s^{+2} \right) \quad (3.22)$$

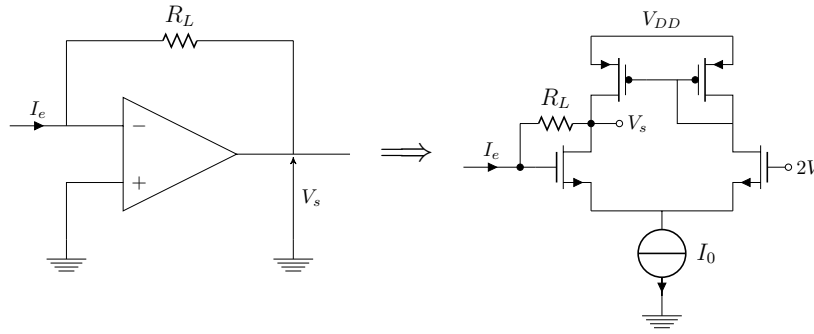


FIGURE III.3.15 – Implantation d'un amplificateur transimpédance

Il a été montré dans les chapitre précédent qu'en sortie de multiplieur (ou additionneur), un courant de $50\mu A$ est équivalent mathématiquement à 0,5. Alors, en sortie du réseau de neurones, un courant de $25\mu A$ doit être converti en un signal de 250mV d'amplitude. La résistance R_L doit donc être de $10k\Omega$. Par ailleurs, pour assurer la stabilité de la contre-réaction et garantir une bande passante suffisamment élevée, le gain du circuit et le courant de polarisation du circuit doivent être élevés. Une étude paramétrique permet de déterminer la taille optimale des composants en ce sens. En outre, la simulation tient compte de phénomènes physiques que n'intègre pas l'équation 3.22, et la taille de la résistance est donc ajustée pour correspondre au mieux au cahier des charges. Le tableau III.3.6 résume les valeurs des composants retenues pour réaliser cet amplificateur transimpédance.

La figure III.3.16 représente la sortie de l'amplificateur transimpédance, et donc du réseau de neurones, pour un seul neurone actif avec $w_1 = 1$, $b_1 = 0$, $w_2 = 1$ et $b_2 = 0$ (pour tous les autres neurones, poids et biais sont nuls). La courbe (a) montre la simulation statique du réseau : si la sortie du réseau de neurones ainsi configurée (en bleu) est centrée sur 1,995V au lieu de 2V, elle correspond tout de même bien à la fonction théorique $\tanh(16x) \cdot 0,25$ (en pointillés). La courbe (b), issue de la simulation temporelle du réseau montre également la bonne adéquation entre la sortie du circuit (en rouge) et la sortie idéale (en pointillé) à 5mV de niveau continu près. Enfin, la courbe (c) montre que

III.3.5. L'ADDITIONNEUR DE LA COUCHE DE SORTIE

TABLEAU III.3.6 – Dimensionnement de l'amplificateur transimpédance

Transistors	W (μm)/L (μm)
$M_1 - M_2$	100/0,35
$M_3 - M_4$	30/0,7
Résistances	Valeur
R_L	12,5k Ω
Source de courant	
I_0	2mA

la fréquence de coupure à -3dB est supérieure à 215MHz, bien au-delà des spécifications du cahier des charges.

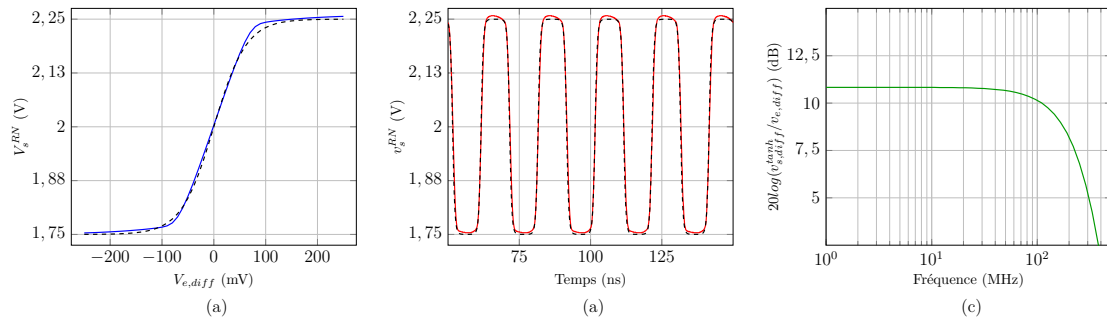


FIGURE III.3.16 – Simulation du réseau de neurones pour un neurone seul
actif pour lequel $w_1 = 1$, $b_1 = 0$, $w_2 = 1$ et $b_2 = 0$

Les limites de linéarité en sortie du circuit ont également été testées : les biais $b_{1,i}$ sont tous paramétrés à 0 et les poids $w_{1,i}$ à 0,25 de manière à ce que la sortie de la tangente hyperbolique soit quasi-linéaire (voir figure III.3.13). Le biais b_2 est paramétré à 0 et les poids $w_{2,i}$ sont d'abord tous paramétrés à leur valeur minimale (-2) puis à leur valeur maximale (+2). La figure III.3.17 illustre les résultats de cette simulation.

La sortie du réseau reste linéaire sur tout l'intervalle $[1,25\text{V}; 2,7\text{V}]$. Le comportement linéaire et l'excursion en tension sont limités en valeur inférieure par le transistor source de courant du circuit transimpédance et en limite supérieure par le miroir de courant PMOS de ce même circuit et par la tension d'alimentation. Cette plage de linéarité correspond à l'intervalle sur lequel la sortie du réseau de neurones répond effectivement à l'équation 3.2. Elle est largement supérieure aux spécifications du cahier des charges.

L'intégralité des fonctions du réseau de neurones a été présentée dans les paragraphes précédents. Toutefois, seules les implantations différentielles ont été détaillées. Avant de démontrer, dans le chapitre suivant, les capacités du réseau de neurones élaboré à modéliser les caractéristiques de prédistorsion présentées au chapitre II.2, les cellules permettant de différencier les signaux d'entrée, de poids et de biais sont décrites.

III.3. LE RÉSEAU DE NEURONES ANALOGIQUE

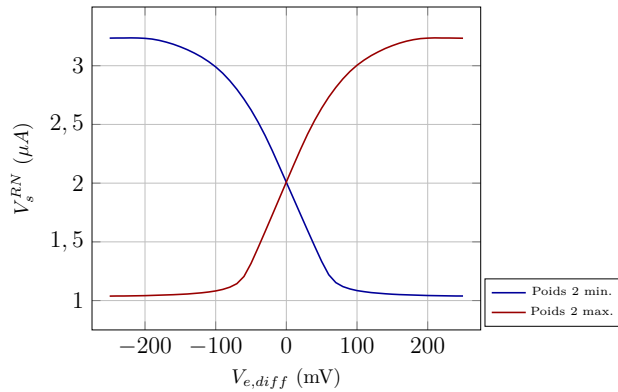


FIGURE III.3.17 – Limites de linéarité de sortie du réseau de neurones

3.6 Mise en forme des signaux d'entrée

Les signaux appliqués au réseau de neurones – d'entrée, de poids et de biais – sont des tensions asymétriques. Les structures de multiplication et d'addition fonctionnant en mode différentiel, ils doivent donc être transformés en signaux différentiels. Ce paragraphe présente les différentes structures utilisées et leur dimensionnement en accord avec les caractéristiques des circuits présentés dans les précédentes sections.

3.6.1 Le signal d'entrée

Bien que, comme l'explique le paragraphe 3.1.4, seul le quadrant supérieur droit soit exploité, le signal d'entrée du réseau de neurones est supposé varier sur une dynamique de 500mV autour d'une tension continue fixée à 2V. Avant d'être appliqué au premier multiplieur, il doit être transformé en signal différentiel de 500mV de dynamique autour d'un mode commun à 2V, en accord avec les propriétés du circuit multiplieur étudié au paragraphe 3.2. Pour ce faire, il est appliqué sur la grille d'un transistor d'une structure différentielle NMOS chargée par deux transistors PMOS connectés en diode, présentée sur la figure III.3.18. Sur l'autre grille est appliquée une tension continue de 2V.

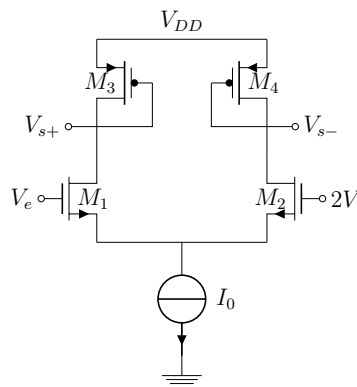


FIGURE III.3.18 – Circuit de différentiation du signal d'entrée

Afin de bénéficier d'une bande passante très supérieure à 50MHz et de garantir le fonctionnement linéaire du circuit selon l'équation 4.22, la source de courant débite un

III.3.6. MISE EN FORME DES SIGNAUX D'ENTRÉE

courant I_0 important. La taille des transistors M_1 et M_2 est, elle, déterminée de sorte que la tension différentielle $V_{Diff} = V_{s+} - V_{s-}$ ait une amplitude de 500mV crête à crête pour une entrée asymétrique de 500mV de dynamique. Enfin, la taille des transistors M_3 et M_4 est définie de manière à fixer précisément le mode commun de la sortie différentielle à 2V. Le tableau III.3.7 indique les tailles de transistors choisies.

TABLEAU III.3.7 – Dimensionnement de la source de courant et des transistors du circuit de différentiation du signal d'entrée

Transistors	W (μm) / L (μm)
M_1-M_2	$10\mu m / 0,7\mu m$
M_3-M_4	$25\mu m / 0,7\mu m$
Source de courant	
I_0	$500\mu A$

La figure III.3.19 représente la simulation statique et fréquentielle du circuit. Les courbes (a) représentent les signaux V_{s+} et V_{s-} de 250mV d'amplitude autour de 2V et le signal de sortie différentiel V_{Diff} de 500mV de dynamique, en fonction du signal d'entrée V_e . La dynamique spécifiée est atteinte et pour un signal à 50MHz, la distorsion harmonique est inférieure à -55dB : la conversion est particulièrement linéaire. La courbe (b) montre en outre que la fréquence de coupure à -3dB du circuit est supérieure à 1GHz.

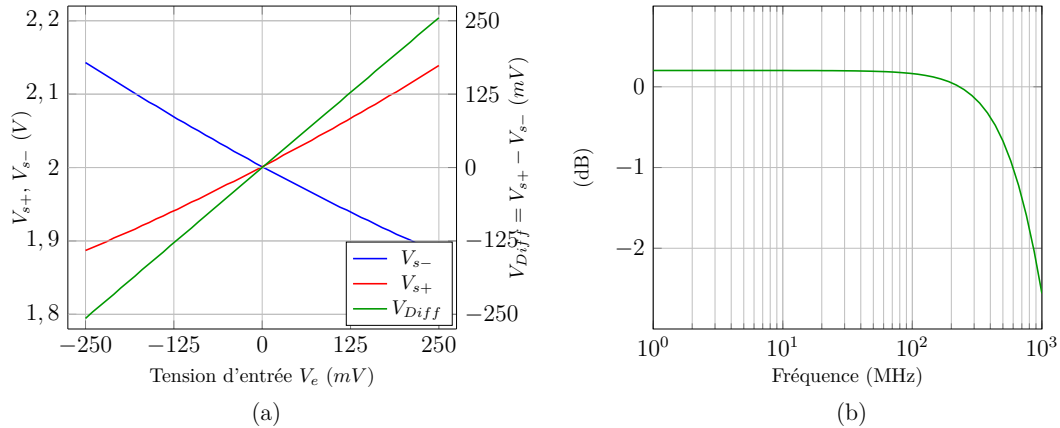


FIGURE III.3.19 – Simulation du circuit de différentiation du signal d'entrée

3.6.2 Les poids et biais

3.6.2.1 Forme des tensions issues des convertisseurs numérique-analogique

Avant de décrire les structures permettant de différencier les signaux représentant les poids et biais, il est nécessaire de détailler la façon dont ils sont générés. Les poids et biais sont injectés dans l'ASIC par l'intermédiaire de convertisseurs numérique-analogique, de manière asymétrique. Plusieurs critères doivent être pris en compte pour choisir comment exploiter les DACs.

D'une part, il est nécessaire que les convertisseurs travaillent sur une dynamique d'entrée la plus importante possible afin que chaque bit codant un paramètre soit significatif et que la précision soit optimale. D'autre part, des tensions élevées ne peuvent pas

III.3. LE RÉSEAU DE NEURONES ANALOGIQUE

être exploitées immédiatement dans l'ASIC au risque de l'endommager. En particulier, les transistors tolèrent des tensions V_{GS} , V_{DS} , V_{GB} , V_{DB} et V_{SB} ne pouvant pas dépasser $3,6V$.

La solution retenue est de générer des tensions sur une dynamique relativement importante afin de bénéficier d'une précision des DACs optimale puis de diviser cette tension au sein de l'ASIC par un pont résistif afin de la rendre compatible avec les tolérances de la technologie. Ainsi, les poids et biais devant tous varier sur l'intervalle $[-2; +2]$, le choix est fait de générer des tensions sur cette même dynamique, autour d'une tension continue de $2V$. Les tensions représentant les poids et biais varient ainsi de $0V$ à $4V$, la tension $2V$ correspondant à un paramètre nul. Cette tension est ensuite divisée avant d'être appliquée sur un circuit de différentiation.

3.6.2.2 Le poids

La tension représentant le poids varie de $0V$ à $4V$. Elle doit être divisée puis différenciée de manière à produire une tension différentielle de $1V$ de dynamique autour d'une tension de mode commun de $1V$. Pour déterminer la division à effectuer, une analogie avec la structure de différentiation du signal d'entrée a été effectuée : dans ce dernier cas, la tension asymétrique a une dynamique de $500mV$ autour d'un niveau continu à $2V$ et est transformée en une tension différentielle de $500mV$ de dynamique et de $2V$ de mode commun. Ainsi, pour le poids, la tension appliquée à la structure de différentiation est donc une tension de $1V$ de dynamique autour d'un niveau continu à $1V$.

Pour réaliser la division et ajuster le niveau continu, un pont résistif est élaboré. Les valeurs des résistances sont déterminées analytiquement. Cette tension divisée est ensuite appliquée à une paire différentielle PMOS, dimensionnée pour répondre au cahier des charges. La figure III.3.20 représente le circuit permettant de transformer le signal de poids asymétrique en signal différentiel.

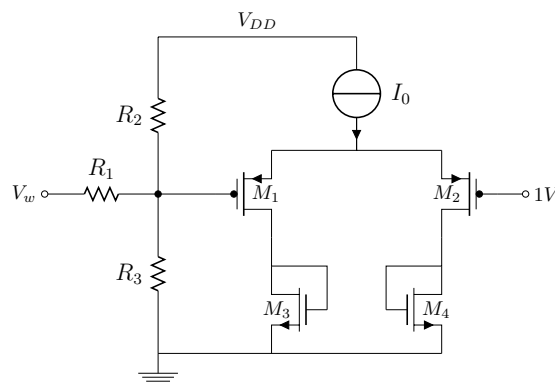


FIGURE III.3.20 – Circuit de différentiation du signal de poids

Le tableau III.3.8 résume les tailles des composants retenues.

Enfin, la figure III.3.21 illustre le résultat de la différentiation du signal de poids. La courbe bleue représente la tension d'entrée asymétrique, la rouge la tension après division et la verte la tension différentielle correspondant au poids $v_{w,diff}$ en fonction de la tension de poids. Les spécifications énoncées ci-dessus sont bien atteintes.

TABLEAU III.3.8 – Dimensionnement de la source de courant et des transistors du circuit de différentiation du signal de poids

Transistors	W (μm)/L (μm)
$M_1 - M_2$	20/0,7
$M_3 - M_4$	7/0,7
Résistances	Valeur
R_1	790 Ω
R_2	1,3k Ω
R_3	330 Ω
Source de courant	
I_0	250 μA

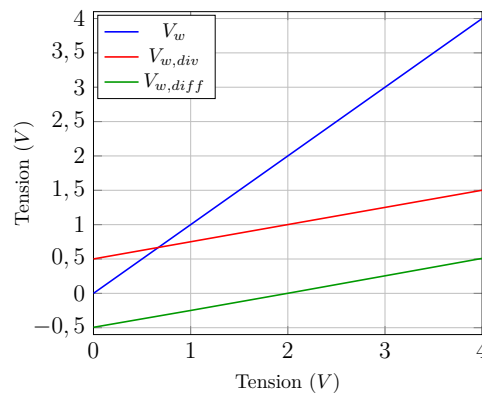


FIGURE III.3.21 – Simulation du circuit de différentiation du signal de poids

3.6.2.3 Le biais

Comme le poids, la tension représentant le biais doit être divisée avant d'être différenciée. Le paragraphe 3.3 stipule que l'opération de différentiation du biais est réalisée avec le même circuit que pour le signal d'entrée, c'est-à-dire le circuit de la figure III.3.18. Par conséquent, la tension de biais doit être divisée de sorte que sa dynamique soit de 500mV autour d'un niveau continu de 2V. Un pont résistif, semblable à celui de la figure III.3.20, est élaboré, avec les valeurs de résistances suivantes : $R_1 = 2k\Omega$, $R_2 = 470\Omega$ et $R_3 = 720\Omega$.

La figure III.3.22 illustre le résultat de la différentiation du signal de biais. La courbe bleue représente la tension d'entrée asymétrique, la rouge la tension après division et la verte la tension différentielle correspondant au biais $v_{b,diff}$ en fonction de la tension de biais. Les spécifications énoncées ci-dessus sont bien atteintes.

3.7 Conclusion

Ce chapitre a présenté la conception d'un réseau de neurones analogique satisfaisant au cahier des charges du circuit linéariseur présenté au chapitre III.1. Les fonctions de multiplication et d'addition des couches cachées et de sortie garantissent un fonctionnement linéaire pour des poids et des biais appartenant à l'intervalle mathématique $[-2; +2]$. La fonction d'activation sigmoïdale développée a une pente élevée pour permettre la mo-

III.3. LE RÉSEAU DE NEURONES ANALOGIQUE

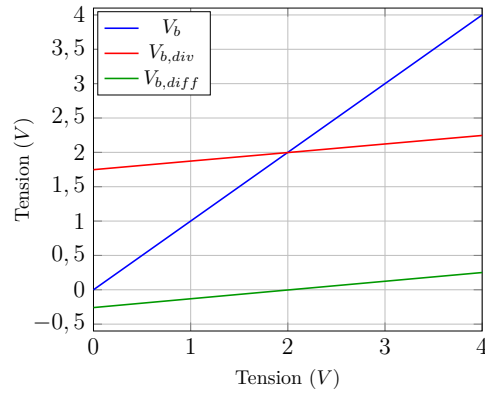


FIGURE III.3.22 – Simulation du circuit de différentiation du signal de biais

délisation de la singularité des fonctions de prédistorsion avec le plus de précision possible. Enfin, le circuit a une bande passante élevée, supérieure à 210MHz, pour répondre aux besoins de ces travaux.

Le prochain chapitre de ce tapuscrit présente la conception du circuit déphaseur intégré dans l'architecture du linéariseur. Dans un dernier chapitre enfin, les deux circuits sont simulés et testés afin de modéliser les fonctions de prédistorsion des trois amplificateurs présentées au chapitre I.1 et en réaliser la linéarisation en phase. En particulier, les capacités des réseaux de neurones à approcher ces fonctions sont démontrées.

CHAPITRE 4

Le circuit déphaseur

Ce chapitre présente l'implantation du circuit déphaseur configurable à partir d'un signal de contrôle provenant d'un réseau de neurones. Dans un premier temps, les spécifications que doit satisfaire le circuit sont rappelées. Puis un état de l'art des différentes implantations existantes est présenté, permettant de définir l'architecture la plus adaptée au cahier de charges. Les fonctions élémentaires exploitées dans cette architecture sont alors détaillées et simulées individuellement. Enfin, le circuit complet est simulé pour démontrer sa capacité à répondre aux besoins du linéariseur développé dans ces travaux.

4.1 Cahier des charges

Le circuit déphaseur est la structure du linéariseur permettant de compenser la différence de phases introduite par un amplificateur en fonction de la puissance moyenne du signal qu'il émet. A partir d'un signal de contrôle généré par un réseau de neurones, image de la puissance moyenne du signal modulé et de la caractéristique de prédistorsion décrite au chapitre II.2, le circuit déphase le signal à son entrée afin de rendre la caractéristique AM/PM du système "Linéariseur + Amplificateur" constante. En revanche, le déphaseur ne doit générer aucune modification de l'amplitude ni introduire de distorsion au signal. Outre la phase, deux autres critères sont donc particulièrement importants dans l'étude du circuit : le gain, qui doit être le plus proche possible de 1 (ou de 0dB) et le taux de distorsion harmonique (ou THD pour *Total Harmonic Distortion*). Cette grandeur mesure la linéarité d'un système par le rapport des valeurs efficaces entre la fréquence fondamentale et les autres harmoniques et doit être la plus faible possible.

Le circuit déphaseur traite directement le signal utile d'amplitude maximale 500mV crête à crête à 50MHz autour d'un niveau continu du signal d'entrée ajusté dans l'ASIC par un pont résistif après une capacité de liaison, comme l'illustre la figure III.2.18 du chapitre III.2. Avant d'être exploité par un autre circuit, le signal en sortie est mis en forme par un circuit dédié, mais il faut tout de même veiller à ce que le niveau continu de sortie soit le plus stable possible.

Afin de linéariser la caractéristique AM/PM d'un amplificateur sur toute sa gamme de puissance de fonctionnement, le déphaseur doit être en mesure de générer un déphasage sur une plage minimale correspondant à $\Delta\phi_{min} = \psi_{max} - \psi_{min}$, et ce, quel que soit l'amplificateur étudié. En particulier, des trois amplificateurs présentés au chapitre I.1, l'amplificateur de puissance TEDCNES présente la plus grande plage de variation : 41° de 158° à 199° . Le circuit déphaseur doit donc être capable de produire un déphasage du signal à son entrée sur une gamme d'au moins 41° pour pouvoir compenser les non-linéarités en phase introduites par les trois amplificateurs. La plage de déphasage $\Delta\phi$ n'est en revanche pas bornée en valeur supérieure et plus elle est importante, plus le système

III.4. LE CIRCUIT DÉPHASEUR

sera à même de linéariser d'autres amplificateurs présentant des non-linéarités en phase plus prononcées.

Le tableau III.4.1 présente les principales caractéristiques que doit vérifier le circuit déphaseur.

TABLEAU III.4.1 – Principales caractéristiques du circuit déphaseur

Propriété	Valeur
Dynamique d'entrée/sortie maximale	500mV crête à crête
Fréquence de fonctionnement	50MHz
Gain	0dB
Plage minimale de déphasage	41°

4.2 Etat de l'art

Un circuit déphaseur analogique est implanté sous la forme d'un filtre passe-tout. Cette famille de filtres présente un gain nul sur toute leur gamme de fréquence de fonctionnement et une phase, configurable ou non, fonction d'un ou plusieurs paramètres : tension ou courant de polarisation, valeur d'un composant passif... De très nombreuses implantations sont proposées dans la littérature. Dans [98–101], plus de soixante solutions distinctes sont recensées. Environ 75% de ces solutions traitent le signal en tension, environ 20% en courant et 5% en transconductance ou en transimpédance. Par ailleurs, depuis une dizaine d'années, deux tendances très nettes sont apparues : l'utilisation quasi-systématique de structures appelées convoyeurs de courant (ou de dérivés) et la réduction du nombre de composants passifs.

Le choix d'une architecture de déphaseur adapté aux besoins du linéariseur repose sur plusieurs critères. D'abord, la bande passante du circuit doit être supérieure à 50MHz. Or beaucoup de ces filtres, bien qu'ils soient appelés passe-tout, ont une limite en fréquence, liée aux limites des composants et des structures utilisés, inférieure à 1MHz [210–215]. Ensuite, le déphasage doit être configurable, et sur une large gamme. Ainsi les implantations proposées dans [216–219], non-configurables, ou celles proposées dans [215, 220, 221] et dont la plage de déphasage atteignable n'excède pas 20°, ne répondent pas au besoin de ces travaux. De plus, le système doit permettre le traitement de signaux sur une grande dynamique avec une linéarité optimale. Ainsi, les implantations proposées dans [220, 221], dont le taux de distorsion harmonique croît rapidement au-delà de 70mV d'amplitude du signal d'entrée, ne sont pas exploitables. Enfin, dans la mesure du possible, la structure doit être la plus simple possible à développer, et notamment compter le moins de transistors possible. Des structures telles que celles proposées dans [222] et nécessitant 65 transistors sont en effet particulièrement difficiles à implanter et à optimiser pour une application spécifique.

Finalement, l'architecture proposée dans [223] est la plus simple à mettre à œuvre et à adapter aux besoins de ces travaux. C'est donc à partir de cette structure que le circuit déphaseur du linéariseur est développé.

Remarque : Il est possible d'atténuer le signal en entrée du déphaseur et de le réamplifier en sortie afin d'améliorer la linéarité du système en traitant un signal de faible amplitude. Cela nécessite néanmoins de caractériser finement les circuits d'atténuation

et d'amplification afin de quantifier leur influence sur la réponse globale du système, et complexifie le circuit.

4.3 Architecture du circuit déphaseur

4.3.1 Le convoyeur différentiel de différences de courant

La réalisation du circuit déphaseur repose sur l'architecture proposée dans [223] et sur l'utilisation d'un convoyeur différentiel de différences de courant (ou DDCC pour *Differential Difference Current Conveyor*) simplifié, représenté sur la figure III.4.1 et dont l'implantation est détaillée au paragraphe 4.4.

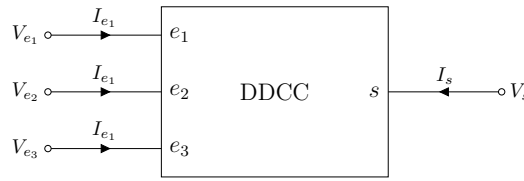


FIGURE III.4.1 – Symbole du DDCC simplifié

V_{e_i} et I_{e_i} représentent respectivement la tension et le courant associé à l'entrée e_i et V_s et I_s ceux associées à la sortie.

Les relations en courant et en tension entre les ports du DDCC sont les suivantes :

$$I_{e1} = I_{e2} = I_{e3} = 0 \quad (4.1)$$

$$V_s = V_{e1} - V_{e2} + V_{e3} \quad (4.2)$$

Remarque : Le DDCC complet, proposé dans [224] comporte un étage de sortie supplémentaire, qui génère un courant égal (ou opposé) à I_s sous haute impédance, inutile pour la réalisation du circuit déphaseur. L'étude d'implantation qui suit est donc celle d'un DDCC simplifié, à savoir sans étage de sortie.

4.3.2 Choix de l'architecture du circuit déphaseur

L'architecture proposée dans [223] est représentée sur la figure III.4.2. Elle est constituée de deux DDCC, d'une résistance et d'une capacité.

La fonction de transfert de ce filtre est :

$$H(j\omega) = \frac{j\omega RC - 1}{j\omega RC + 1} \quad (4.3)$$

Le gain de cette fonction de transfert est :

$$|H(j\omega)| = \left| \frac{jRC\omega - 1}{jRC\omega + 1} \right| = \frac{|jRC\omega - 1|}{|jRC\omega + 1|} = 1 \quad (4.4)$$

et la phase :

$$\angle H(j\omega) = \arg\left(\frac{jRC\omega - 1}{jRC\omega + 1}\right) = 180^\circ - 2\arctan(RC\omega) \quad (4.5)$$

III.4. LE CIRCUIT DÉPHASEUR

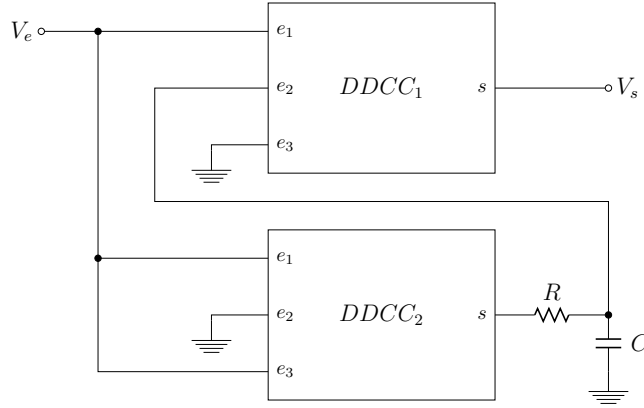


FIGURE III.4.2 – Schéma du circuit déphaseur proposé dans [223]

Ce circuit modélise ainsi un filtre passe-tout de gain unitaire, dont la phase, à fréquence fixée, est ajustable via la modification du produit RC . Pour réaliser un circuit déphaseur adapté à notre cahier des charges et s'inspirant de cette architecture, il faut donc concevoir deux circuits DDCC et une résistance et/ou une capacité variable et contrôlable par un signal externe.

Sur ce circuit, les deux pôles de la résistance sont sur le chemin du signal ; elle est dite *flottante*. A l'inverse, un des pôles de la capacité est connectée à la masse. Or, le développement des circuits actifs permettant d'émuler des composants passifs réglables (résistifs ou capacitifs), et les performances qui en découlent, dépendent du caractère flottant ou mis à la masse du composant à émuler. Pendant ces travaux de doctorat, une seconde architecture, dérivée de celle de la figure III.4.2, a donc été imaginée. Elle est proposée sur la figure III.4.3.

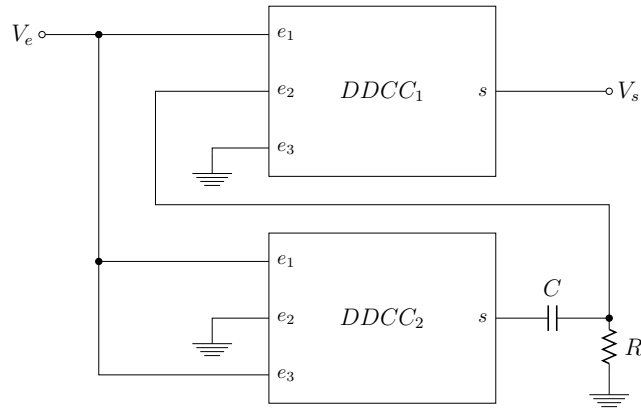


FIGURE III.4.3 – Schéma du circuit déphaseur développé durant cette thèse

Ce circuit utilise les mêmes ressources et sa fonction de transfert est :

$$H'(j\omega) = \frac{1 - j\omega RC}{1 + j\omega RC} = -H(j\omega) \quad (4.6)$$

Le gain est : $|H'(j\omega)| = 1$ et la phase $\angle H'(j\omega) = -2\arctan(RC\omega)$. Il s'agit donc également d'un filtre passe-tout. Sur ce circuit néanmoins, la capacité est flottante alors que la résistance est mise à la masse.

Disposer de ces deux circuits quasiment identiques permettra donc de sélectionner l'implantation la plus simple à mettre à œuvre et présentant les meilleures performances.

Les paragraphes suivant présentent l'implantation des DDCC et de circuits permettant d'émuler les composants passifs configurables.

4.4 Implantation du DDCC

4.4.1 Analyse de circuit

Le convoyeur différentiel de différence de courant est une structure dérivée de l'amplificateur différentiel de différences (ou DDA pour *Differential Difference Amplifier*) présenté dans [225], dont une implantation est proposée sur la figure III.4.4. Le DDA repose sur la même structure que l'amplificateur opérationnel classique décrit dans [158], avec un dédoublement de la paire différentielle de l'étage d'entrée. Ainsi, quand un amplificateur opérationnel amplifie une différence de tension, le DDA amplifie une différence de différences de tensions.

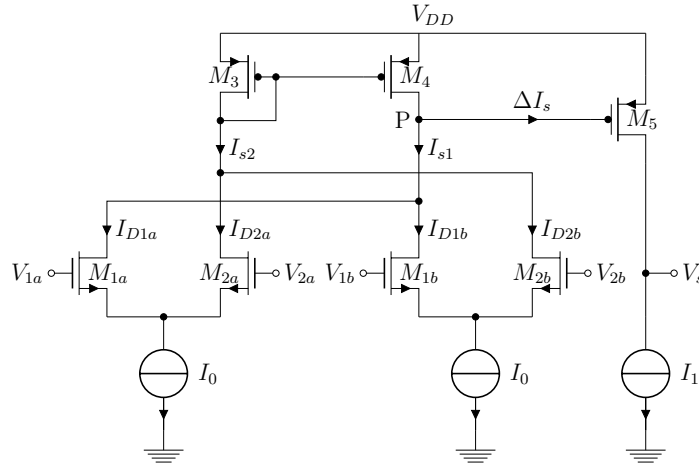


FIGURE III.4.4 – Implantation d'un amplificateur différentiel de différences

Supposons les transistors M_{1a} , M_{1b} , M_{2a} et M_{2b} d'une part, et M_3 et M_4 d'autre part parfaitement appariés et fonctionnant en régime saturé. Notons I_{D1a} , I_{D1b} , I_{D2a} et I_{D2b} les courants de drain associés aux transistors des paires différentielles d'entrée, $\Delta V_a = V_{1a} - V_{2a}$, $\Delta V_b = V_{1b} - V_{2b}$ et $\Delta I_s = I_{s2} - I_{s1}$.

A partir de l'équation 2.21, les différences de courant de drain s'écrivent :

$$I_{D1a} - I_{D2a} = \Delta V_a \sqrt{2\beta_n I_0} \sqrt{1 - \frac{\beta_n}{2I_0} \Delta V_a^2} \quad (4.7)$$

$$I_{D1b} - I_{D2b} = \Delta V_b \sqrt{2\beta_n I_0} \sqrt{1 - \frac{\beta_n}{2I_0} \Delta V_b^2} \quad (4.8)$$

Restreignons le fonctionnement de l'amplificateur à son domaine linéaire :

$$|\Delta V_a|, |\Delta V_b| \ll \sqrt{\frac{2I_0}{\beta_n}} \quad (4.9)$$

III.4. LE CIRCUIT DÉPHASEUR

Les équations 4.7 et 4.8 deviennent alors :

$$I_{D1a} - I_{D2a} \simeq \sqrt{2\beta_n I_0} \Delta V_a \quad (4.10)$$

$$I_{D1b} - I_{D2b} \simeq \sqrt{2\beta_n I_0} \Delta V_b \quad (4.11)$$

Ainsi,

$$\begin{aligned} \Delta I_s &= I_{s2} - I_{s1} = (I_{D2a} + I_{D2b}) - (I_{D1a} + I_{D1b}) \\ &= (I_{D2a} - I_{D1a}) - (I_{D1b} - I_{D2b}) \\ &\simeq -\sqrt{2\beta_n I_0} (\Delta V_a + \Delta V_b) = -G_M (\Delta V_a + \Delta V_b) \end{aligned} \quad (4.12)$$

Cette différence de courant est générée au point P par l'intermédiaire du miroir de courant. En ce point, la résistance de sortie est :

$$R_s = (r_{DS2a} // r_{DS2b} // r_{DS4}) \quad (4.13)$$

avec $r_{DSi} = 1/g_{DSi}$ la résistance de sortie du transistor M_i .

Le gain différentiel en tension en P est donc :

$$A_1 = G_M R_s = G_M (r_{DS2a} // r_{DS2b} // r_{DS4}) \quad (4.14)$$

et

$$V_P = -A_1 (\Delta V_a + \Delta V_b) \quad (4.15)$$

Cette tension est présentée en entrée d'un second étage de gain à source commune dont le gain en tension est :

$$A_2 = g_{m5} (r_{ds5} // r_{o_{I_1}}) \quad (4.16)$$

où g_{m5} représente la transconductance du transistor M_5 , r_{ds5} sa résistance de sortie et $r_{o_{I_1}}$ la résistance de sortie de la source de courant I_1 .

Finalement, le gain total du circuit est :

$$A_{total} = A_1 \cdot A_2 = G_M (r_{DS2a} // r_{DS2b} // r_{DS4}) g_{m5} (r_{DS5} // r_{o_{I_1}}) \quad (4.17)$$

et

$$V_s = -A_{total} (\Delta V_a + \Delta V_b) \quad (4.18)$$

Pour constituer un convoyeur différentiel de différence de courants comme celui présenté dans [224] (sans l'étage de sortie), une contre-réaction négative est appliquée de la sortie sur l'entrée V_{2b} comme le représente la figure III.4.5.

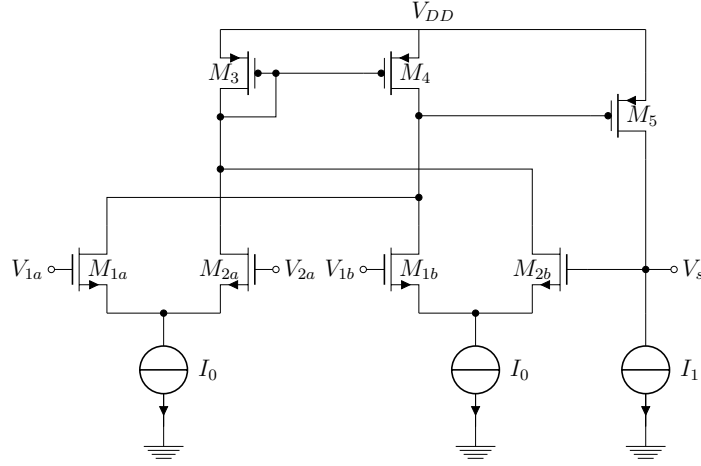


FIGURE III.4.5 – Implantation d'un convoyeur différentiel de différences de courant

L'équation 4.17 devient alors :

$$V_s = -A_{total}(V_{1a} - V_{2a} + V_{1b} - V_s) \quad (4.19)$$

$$= \frac{-A_{total}}{1 - A_{total}}(V_{1a} - V_{2a} + V_{1b}) \quad (4.20)$$

Si le gain de l'amplificateur est très supérieur à 1, alors

$$V_s \simeq (V_{1a} - V_{2a} + V_{1b}) \quad (4.21)$$

La relation en tension entre les entrées et sorties de ce circuit est bien celle d'un DDCC simplifié définie par l'équation 4.2, avec les entrées e_1 , e_2 et e_3 désignant respectivement les grilles des transistors M_{1a} , M_{2a} et M_{1b} . Les entrées étant des grilles de transistors MOS, de très forte impédance, l'équation 4.1 est également respectée. Ce circuit permet notamment de doubler l'amplitude d'un signal ou de l'inverser, comme le prouvent les simulations présentées dans l'annexe D.

4.4.2 Implantation physique

4.4.2.1 Dynamique du signal traité dans le circuit déphaseur

Avant de dimensionner le DDCC, une attention particulière est portée à la dynamique du signal traité. En entrée du circuit déphaseur complet, le signal a une amplitude maximale de 500mV. Si ce signal est directement exploité, le DDCC₂ fonctionnant en doubleur de tension, le signal en sortie de ce composant est de 1V crête à crête. Or cette grande dynamique peut complexifier la conception et la mise en œuvre des DDCC et des composants passifs configurables. Garantir une grande linéarité sur une telle dynamique peut notamment être difficile. Le choix est donc fait de diviser par deux l'amplitude du signal en entrée avant de le traiter, puis de le remultiplier par deux en sortie, grâce à l'utilisation d'un DDCC monté en doubleur de tension, comme le schématise la figure III.4.6.

III.4. LE CIRCUIT DÉPHASEUR

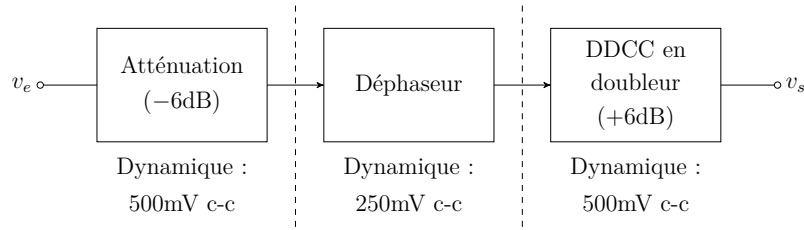


FIGURE III.4.6 – Modification de la dynamique de travail du circuit déphaseur

Conformément à la remarque du paragraphe 4.2, il est nécessaire de quantifier les impacts des étages d'atténuation et d'amplification en entrée et sortie du système.

L'atténuation par un facteur deux est simple à réaliser grâce à deux transistors identiques montés en transdiodes comme le représente la figure III.4.7. Dans cette configuration, les transistors se trouvent en permanence à la limite des zones linéaire et saturée et se comportent comme des résistances. En choisissant des transistors PMOS larges afin de s'affranchir de la modulation de longueur de canal, et aux erreurs d'appariement près, l'atténuation est extrêmement précise. La figure III.4.8 présente à gauche la simulation temporelle de la figure III.4.7 pour des transistors de taille $W/L = 10\mu m/0.7\mu m$ et un signal d'entrée de 500mV crête à crête à 50MHz et à droite la réponse fréquentielle du même circuit. L'atténuation est de -6dB et la phase nulle quelle que soit la fréquence, pour un taux de distorsion harmonique de -77dB à 50MHz.

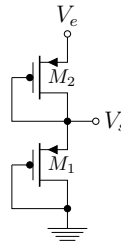


FIGURE III.4.7 – Implantation d'un atténuateur par 2 à l'aide de transistors PMOS

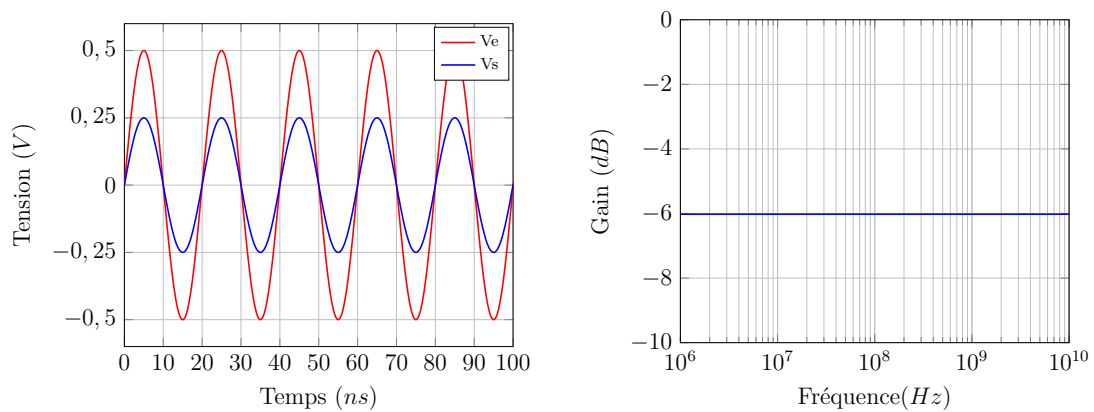


FIGURE III.4.8 – Simulations temporelle (à gauche) et fréquentielle (à droite) de l'atténuateur de la figure III.4.7

Dans le circuit déphaseur, le signal en sortie de cet atténuateur est appliqué sur une structure différentielle. Son niveau continu doit donc être de 2V conformément aux choix effectués au chapitre III.2. Pour ajuster ce niveau continu, il suffit d'appliquer une tension continue de 2V sur le drain du transistor M_1 .

Le DDCC proposé en tant que doubleur de tension est le composant de base du circuit déphaseur. Dans cette optique, sa conception, présentée par la suite, est particulièrement soignée et optimisée.

Par la suite, les étages d'atténuation et d'amplification sont omis et, pour plus de clarté, le signal dit d'entrée désigne le signal V_e des circuits des figures III.4.2 et III.4.3.

4.4.2.2 Dimensionnement des transistors du DDCC

Le signal V_e en entrée des DDCC a une dynamique maximale de 250mV autour d'un niveau continu de 2V. Les entrées e_3 et e_2 des DDCC₁ et DDCC₂ respectivement sont également polarisées à une tension de 2V pour équilibrer les structures différentielles $M_{1a} - M_{2a}$ et $M_{1b} - M_{2b}$ à une tension de mode commun de 2V.

Appelons A_{max} l'amplitude maximale du signal autour de la tension de mode commun : $A_{max} = 125mV$ et étudions la tension différentielle maximale appliquée aux différentes paires différentielles. Pour le DDCC₁, sur M_{1a} est appliqué le signal utile, d'amplitude maximale A_{max} et sur M_{2a} le signal plus ou moins atténué et déphasé, provenant du DDCC₂ configuré en doubleur de tension, d'amplitude maximale $2A_{max}$. En supposant le signal provenant du DDCC₂ non-atténué mais en opposition de phase avec le signal utile, la tension différentielle maximale aux bornes de la paire $M_{1a} - M_{2a}$ est donc $3A_{max}$. D'après l'équation 4.2, la tension différentielle maximale sur la paire $M_{1b} - M_{2b}$ est alors également $3A_{max}$. Pour le DDCC₂, sur M_{1a} est appliqué le signal utile, d'amplitude maximale A_{max} et sur M_{2a} la tension de mode commun. La tension différentielle maximale aux bornes de la paire $M_{1a} - M_{2a}$ est donc A_{max} . Le DDCC₂ étant connecté en doubleur de tension et entrée et sortie étant, dans cette configuration, en phase, la tension différentielle maximale sur la paire $M_{1b} - M_{2b}$ est alors également A_{max} . Finalement, la tension différentielle maximale sur les différentes paires différentielles des DDCC est $3A_{max}$. Le convoyeur différentiel de différences de courant devant conserver un comportement linéaire quelle que soit la dynamique du signal d'entrée, les tailles des transistors M_{1a} , M_{2a} , M_{1b} et M_{2b} et le courant de polarisation I_0 doivent donc être tels que :

$$\sqrt{\frac{2I_0}{\beta_n}} \gg 3A_{max} \Rightarrow \frac{I_0}{\beta_n} \gg 70 \cdot 10^{-3}V^2 \quad (4.22)$$

La taille des transistors M_3 et M_4 du miroir de courant doit être choisie telle que les transistors M_{2a} , M_{2b} et M_4 restent en régime saturé quelle que soit la tension au point P. Cette tension doit également respecter $V_{DD} - V_P < V_{T5}$.

Enfin, la taille du transistor M_5 et le courant de polarisation I_1 doivent être choisis de manière à optimiser le gain de l'amplificateur à source commune.

Le tableau III.4.2 résume les tailles des différents transistors utilisés pour réaliser un DDCC. Les sources de courant sont implantées par les transistors M_{I0a} , M_{I0b} et M_{I1} (de gauche à droite sur le schéma III.4.5) et polarisées par le miroir de courant présenté sur la figure III.2.19.

Dans cette configuration, $I_0/\beta_n = 735 \cdot 10^{-3}V^2$, ce qui respecte la condition de linéarité de l'équation 4.22. Par ailleurs, le gain différentiel en tension est $A_1 = 7.3$ et le

III.4. LE CIRCUIT DÉPHASEUR

TABLEAU III.4.2 – Taille des transistors du DDCC

Transistors	W (μm) / L (μm)
$M_{1a}, M_{2a}, M_{1b}, M_{2b}$	2/0.35
$M_3 - M_4$	5/0.35
M_5	50/0.35
$M_{I_{0a}}, M_{I_{0b}}$	5/0.7
M_{I_1}	50/0.7

gain du second étage est $A_2 = 13.1$, soit un gain total $A_{total} = A_1 \cdot A_2 = 95.6 \gg 1$ qui garantit le bon fonctionnement du DDCC.

L'annexe D présente les capacités du DDCC à réaliser des opérations arithmétiques d'inversion et de multiplication par deux du signal.

4.5 Implantation des composants passifs configurables

La fonction de transfert du circuit déphaseur montre que la phase du signal de sortie est fonction, à fréquence fixée, du produit RC . Pour piloter le déphasage, il est donc possible de contrôler à la fois la valeur de la résistance et la valeur de la capacité. En pratique néanmoins, cette méthode peut être difficile à mettre en œuvre. La solution retenue dans ces travaux est donc de contrôler soit la valeur de la capacité, soit la valeur de la résistance.

Ce paragraphe présente dans un premier temps une étude du produit RC permettant de déterminer la gamme de variation des composants à intégrer. Puis une étude d'implantation de capacités et de résistances variables est menée, afin de définir l'architecture la plus adaptée au cahier des charges du paragraphe 4.1.

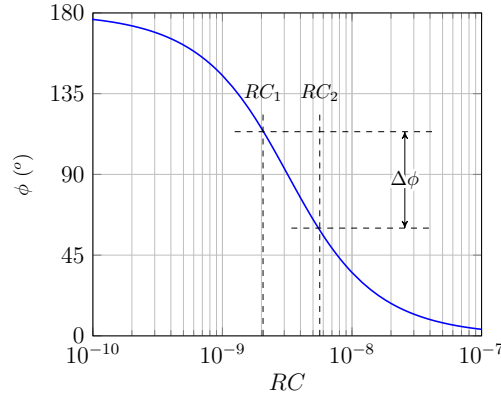
4.5.1 Étude du produit RC

L'objectif de ce paragraphe est de déterminer la plage de variation du produit RC permettant d'obtenir une plage de déphasage d'au moins 41° pour un signal d'excitation à 50MHz, et plus particulièrement les couples $(RC_{min}; RC_{max})$ tels que $|\phi(RC_{max}) - \phi(RC_{min})| \geq 41^\circ$. Cette étude permet d'optimiser le dimensionnement des circuits émulant les composants passifs configurables. En particulier, il peut être difficile de réaliser des composants configurables sur une large gamme et il est donc important de déterminer une plage de variation de RC la plus étroite possible.

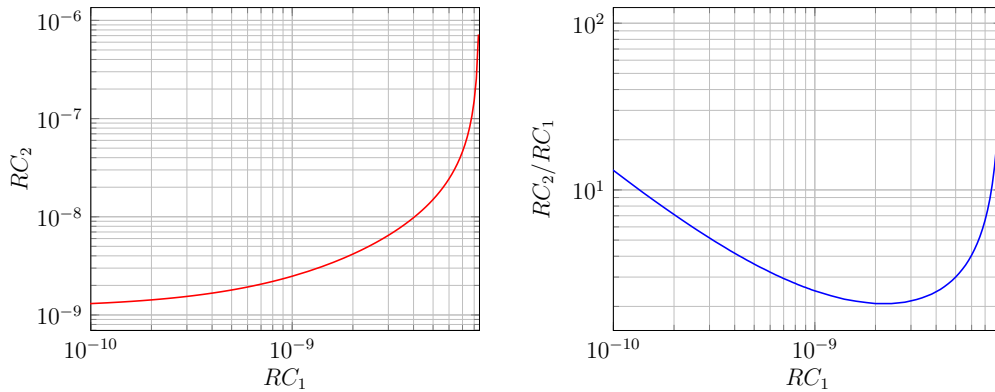
Le raisonnement suivant est mené sur l'équation de phase du premier circuit présenté (Figure III.4.2). L'analyse portant sur une différence de phase, les conclusions seront cependant également valables pour le deuxième circuit.

La figure III.4.9 représente la phase $\phi = 180 - 2\arctan(RC\omega)$ en fonction de RC . Pour chaque valeur RC_1 telle que $\phi(RC_1) > 41^\circ$, il existe une valeur $RC_2 (> RC_1)$ telle que $|\Delta\phi| = |\phi(RC_1) - \phi(RC_2)| \geq 41^\circ$. A partir de cette courbe, il est possible de définir la valeur de RC_1 , notée par la suite RC_{min} , telle que $\phi(RC_1) = 41^\circ$: $RC_{min} = 8.5 \cdot 10^{-9}$.

La figure III.4.10 représente en rouge la valeur de RC_2 telle que $|\Delta\phi| = |\phi(RC_1) - \phi(RC_2)| = 41^\circ$ et en bleu le rapport RC_2/RC_1 correspondant, pour $RC_1 \in [10^{-10}; RC_{min}]$. La courbe de droite de la figure III.4.10 montre que, mathématiquement, le produit RC doit varier dans un rapport de 1 à 2 au moins pour que la plage de variation de phase


 FIGURE III.4.9 – Phase du circuit déphaseur en fonction de RC

soit supérieure à 41° , pour $RC_1 = 2 \cdot 10^{-9}$. Ce rapport est toutefois théorique et les valeurs physiques accessibles des composants implantés détermineront le rapport réel à atteindre. A titre indicatif, la même étude montre que, mathématiquement, le produit RC doit varier dans un rapport de 1 à 6 au moins pour que la plage de variation de phase soit supérieure à 90° .


 FIGURE III.4.10 – Etude des variations du produit RC

Grâce à cette étude, il sera possible, dans les paragraphes suivants, d'évaluer la pertinence d'un choix d'implantation de composants passifs configurables et les capacités du circuit élaboré à générer des déphasages sur un intervalle de plus de 41° .

4.5.2 Les varactors

Le composant varactor est un condensateur dont la capacité est contrôlable via un signal de commande (en tension ou en courant).

Le kit de développement AMS permet l'implantation direct d'un tel composant. Néanmoins, la plage de variation de la capacité est limitée à 30%, et le varactor, qu'il soit flottant ou mis à la masse introduit des fortes distorsions. Ce composant n'est donc pas adapté à notre application.

Quelques solutions sont proposées dans la littérature scientifique. La plage de variation de ces implantations n'est cependant pas suffisante [226] ou les fréquences de fonctionnement des circuits ne correspondent pas à notre cahier des charges [227–229].

III.4. LE CIRCUIT DÉPHASEUR

La solution varactor n'est donc pas retenue et la capacité implantée sera donc fixe. Sa valeur doit être suffisamment grande ($\geq 1\text{pF}$) pour qu'elle ne soit pas noyée dans les capacités parasites des circuits environnants. Elle doit néanmoins rester relativement petite : d'une part, les capacités occupent une surface silicium importante ; d'autre part, plus C est grand, plus R doit appartenir à un intervalle de faibles valeurs pour respecter la plage de variation de RC adéquate et les faibles valeurs de résistances sont difficiles à planter. La taille maximale de la capacité est fixée à 10pF . Ces considérations ainsi que la courbe de droite de la figure III.4.10 suggèrent ainsi que, pour obtenir une plage de variation de déphasage d'au moins 41° , la valeur minimale de la résistance doit être comprise entre 200Ω et $2k\Omega$ ($RC1 = 2 \cdot 10^{-9}$ et $C \in [1\text{pF}; 10\text{pF}]$).

4.5.3 La résistance variable

L'implantation de varactor n'étant pas adaptée à notre cahier des charges, la solution retenue est donc l'implantation d'une résistance variable contrôlée par un signal externe. Elle doit être contrôlable sur un intervalle tel que la plage de déphasage soit d'au moins 41° pour un signal d'excitation à 50MHz et une capacité comprise entre 1pF et 10pF .

4.5.4 La résistance variable flottante

La réalisation du circuit de la figure III.4.2 implique le développement d'une résistance flottante variable contrôlable par un signal externe. De nombreuses implantations de ce type de composant sont proposées dans la littérature scientifique. Les premières implantations exploitaient le comportement résistif du transistor MOS en zone linéaire [230–234], mais la linéarité et la configurabilité de ces composant étaient limitées. Une autre technique, aujourd'hui majoritaire car plus polyvalente, exploite des transistors en saturation [235–251], essentiellement dans des circuits à transconductance, ou une association de transistors en zone linéaire et en saturation [252–257]. Néanmoins, aucune implantation n'est adaptée aux besoins de ces travaux.

En effet, ces implantations sont des circuits actifs, à base de transistors MOS, émulant le comportement d'une résistance. Leur bande passante est donc limitée, et peut être inadaptée au cahier des charges du circuit déphaseur [230, 231, 233–235, 239, 240, 242, 244, 246–249, 253, 254, 256]. Ensuite, pour de nombreuses implantations, la valeur minimale des résistances est bien supérieure à $20k\Omega$ [230, 235–239, 241, 243, 244, 249–251, 253, 256, 258]. Ainsi, ces intégrations ne permettent pas de générer une plage de variation de phase de plus de 41° . En outre, même si la bande passante et la valeur de résistance sont conformes à nos besoins, il peut être difficile de conserver une linéarité satisfaisante sur toute la gamme de variation de R [230, 232–235, 237, 238, 241, 243, 245, 248, 251, 252, 254, 257, 258]. Enfin, le signal traversant la résistance dans le circuit III.4.2 est appliqué à l'entrée e_2 du DDCC_1 ; il est donc important que le circuit émulant la résistance variable garantisse en sortie un niveau continu stable (à 2V) sur toute la gamme de variation de résistance. De nombreuses architectures ne montrent toutefois pas cette stabilité [231–234, 240, 242–244, 250, 252–258].

Les différentes architectures de résistances flottantes variables existant dans la littérature scientifique ne sont pas adaptées aux besoins de ces travaux ou présentent des performances insuffisantes. Le circuit III.4.2 est donc particulièrement difficile à réaliser pour répondre au cahier des charges présenté au paragraphe 4.1.

4.5.5 La résistance variable mise à la masse

4.5.5.1 L'amplificateur opérationnel à transconductance en tant que résistance variable

Le circuit III.4.3, dérivé du circuit III.4.2, n'utilise pas de résistance flottante, mais une résistance mise à la masse. Plusieurs articles dans la littérature scientifique décrivent l'implantation de cette famille de composants [259–263]. Comme pour les résistances flottantes, certaines implantations exploitent des transistors MOS dans leur zone linéaire [259, 263] et d'autres des transistors en saturation [260–262]. Notons que les résistances flottantes précédemment décrites peuvent également être mises à la masse, ce qui permet de s'affranchir des problèmes de stabilité du niveau continu du nœud de sortie. Parmi toutes ces implantations, la technique d'intégration offrant le plus de possibilités est l'exploitation d'amplificateurs transconductances (ou OTA pour *Operational Transconductance Amplifier*) selon le schéma de la figure III.4.11 [264, 265] : la sortie de l'OTA est rebouclée sur son entrée inverseuse et l'entrée non-inverseuse est connectée à la masse. La contre-réaction est alors qualifiée de Série-Shunt et l'impédance de sortie, c'est-à-dire vue par V_e dans ce cas, est [154] :

$$Z_{eq} = \frac{R_s}{1 + g_m R_s} \quad (4.23)$$

avec R_s la résistance de sortie de l'OTA et g_m sa transconductance. Un OTA ayant, par définition, une résistance de sortie très élevée, la résistance vue par V_e est alors environ l'inverse de la transconductance du circuit :

$$R_{eq} \simeq \frac{1}{g_m} \quad (4.24)$$

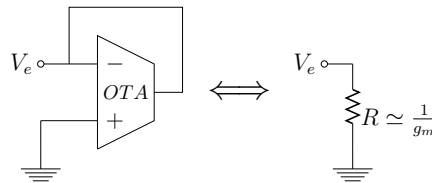


FIGURE III.4.11 – Modélisation d'une résistance à la masse par un amplificateur transconductance

L'utilisation d'OTA est particulièrement intéressante car il s'agit de structures très courantes dans les circuits intégrés et il est possible d'en optimiser l'implantation pour un meilleur gain, une meilleure bande passante, une plus grande linéarité, etc. Il conviendra en particulier dans ces travaux d'optimiser la résistance de sortie de l'amplificateur transconductance afin de garantir la stabilité du circuit et la précision de la résistance variable émulée.

Un amplificateur transconductance peut être simplement réalisé à partir d'une paire différentielle chargée par un miroir de courant, comme l'illustre la figure III.4.12. La transconductance de ce circuit est équivalente à transconductance du transistor M_2 : $g_m = g_{m2} = \sqrt{K_n \frac{W_2}{L_2} \frac{I_0}{2}}$. Sa résistance est équivalente aux résistances de sortie r_{DS2} et r_{DS4} des transistors M_2 et M_4 en parallèle : $R_s = (r_{DS2} \parallel r_{DS4})$.

Pour concevoir une résistance variable à partir de l'OTA de la figure III.4.12, il suffit de piloter la source de courant réalisée par M_{source} via la tension v_c . En effet, g_m est

III.4. LE CIRCUIT DÉPHASEUR

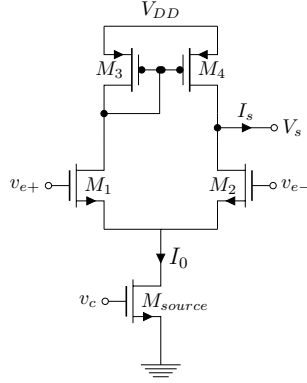


FIGURE III.4.12 – OTA réalisé à partir d’une paire différentielle chargée par un miroir de courant

proportionnel à $\sqrt{I_0}$ et, en supposant que M_{source} reste en saturation et en s’appuyant sur l’équation 2.3, I_0 est proportionnel à $(v_c - V_{Tn})^2$. Donc g_m est proportionnel à $(v_c - V_{Tn})$ et la résistance émulée est inversement proportionnelle à $(v_c - V_{Tn})$. Ainsi, faire varier la résistance dans un rapport de 1 à 2 au moins, comme le requiert le cahier des charges du déphaseur, équivaut à faire varier la tension $v_c - V_{Tn}$ dans un même rapport (et I_0 dans un rapport de 1 à 4).

Le dimensionnement et l’optimisation du circuit de la figure III.4.12 reposent sur plusieurs observations.

D’abord, la source de courant est dimensionnée selon deux critères. D’une part, la variation de courant doit couvrir une plage suffisamment large pour satisfaire au cahier de charges. Ensuite, le transistor M_{source} doit être choisi large, afin de générer un courant suffisamment important, même pour une tension de commande très proche de V_{Tn} , et garantir la linéarité de la sortie conditionnée par l’équation 2.24. Une étude paramétrique sur la taille du transistor M_{source} et la plage de variation de v_c permet ainsi d’obtenir une source de courant adaptée pour un transistor de taille $W_{source}/L_{source} = 50\mu m/0,7\mu m$ et une tension de contrôle v_c variant sur $[600mV; 850mV]$. La figure III.4.13 représente en bleu le courant généré par la source en fonction de v_c pour $V_{DS,source} = 1V$; la courbe ne respecte pas exactement l’équation 2.2 (représentée en pointillé) car le simulateur prend en compte des phénomènes physiques non-modélisés par cette équation. La source élaborée permet de générer des courants de $32\mu A$ à $440\mu A$, c’est-à-dire une variation dans un rapport de 1 à 14, bien supérieure à la plage requise. Cette propriété offre plus de liberté sur le choix de valeurs de la capacité et de g_m et facilite ainsi la conception de l’OTA.

Bien que la résistance de sortie de l’OTA de la figure III.4.12 soit élevée, il est possible de l’augmenter encore, sans modifier la transconductance g_m , en utilisant une architecture télescopique cascode, comme le représente la figure III.4.14. Les tensions de polarisation V_{pol1} et V_{pol2} sont choisies de manière à maintenir les transistors respectivement $M_3 - M_4$ et $M_5 - M_6$ en saturation en permanence.

Le miroir de courant formé par les transistors M_5 à M_8 est une évolution du miroir cascode de la figure III.2.8 [147, 266]. Sa résistance de sortie est identique :

$$R_{s,1} = g_{m6} r_{DS6} r_{DS8} \quad (4.25)$$

III.4.5. IMPLANTATION DES COMPOSANTS PASSIFS CONFIGURABLES

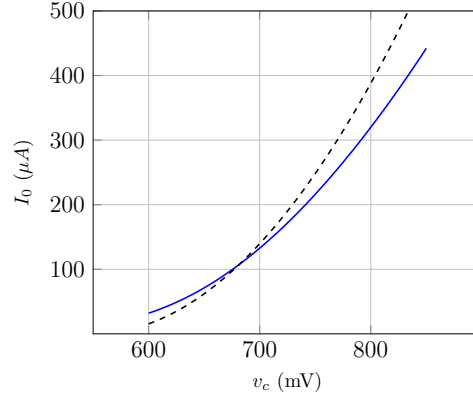


FIGURE III.4.13 – En bleu : courant simulé généré par M_{source} en fonction de la tension de contrôle v_c pour $V_{DS,source} = 1V$. En pointillé : courant calculé à partir de l'équation 2.2

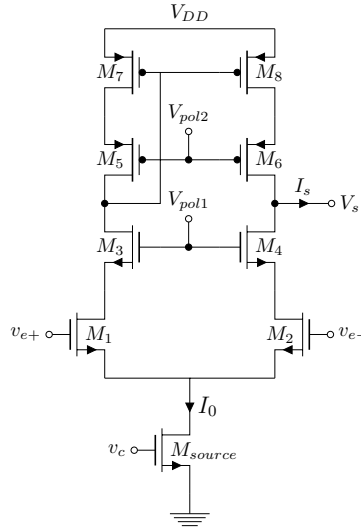


FIGURE III.4.14 – Amplificateur transconductance télescopique cascode

En revanche, sa limite supérieure de tension de sortie est $v_{s,max} = V_{DD} - (v_{DS6} + v_{DS8})$ contre $v_{s,max} = V_{DD} - (v_{DS6} + v_{DS8} + V_{Tp})$ pour le miroir cascode classique.

La résistance de sortie associée à l'étage cascode $M_2 - M_4$ est :

$$R_{s,2} = (1 + g_{m4}r_{DS4})r_{DS2} + r_{DS4} \quad (4.26)$$

Ainsi, la résistance de sortie de l'amplificateur transconductance télescopique cascode est [147] :

$$\begin{aligned} R'_s &= (R_{s,1} \parallel R_{s,2}) \\ &= \left((1 + g_{m4}r_{DS4})r_{DS2} + r_{DS4} \parallel g_{m6}r_{DS6}r_{DS8} \right) \gg R_s \end{aligned} \quad (4.27)$$

En utilisant de larges transistors PMOS afin de minimiser les tensions v_{DS6} et v_{DS8} , un OTA télescopique cascode peut ainsi être élaboré afin d'augmenter la résistance de sortie du circuit et donc d'améliorer la stabilité du circuit, sans limiter excessivement

III.4. LE CIRCUIT DÉPHASEUR

la dynamique des signaux traités et sans en modifier la transconductance. Les transistors PMOS sont tous identiques et dimensionnés de sorte que la tension de mode commun de V_s soit, en statique, la plus proche possible de 2V quelle que soit la valeur de v_c , et V_{pol2} est déterminée pour que les transistors restent en saturation en permanence. Les valeurs retenues sont $W_{5,6,7,8}/L_{5,6,7,8} = 40\mu m/0,5\mu m$ et $V_{pol1} = 1,8V$.

Enfin, les transistors M_1 à M_4 sont dimensionnés selon deux critères. D'une part, la transconductance du circuit, fonction de la taille de ces transistors, doit être adaptée aux besoins du circuit déphaseur. D'autre part, comme l'amplificateur est rebouclé sur lui-même, les capacités intrinsèques des transistors M_1 et M_2 influent sur la bande passante du circuit et il est important de les minimiser, en limitant la largeur et la longueur des transistors. Les transistors M_3 et M_4 sont choisis identiques aux transistors M_1 et M_2 et la tension de polarisation V_{pol1} est déterminée de sorte que ces transistors restent en saturation en permanence.

Pour déterminer les valeurs optimales de ces paramètres, un filtre passe-haut du premier ordre est réalisé à l'aide d'une capacité fixe de 1pF et d'un OTA configuré en résistance variable mise à la masse, comme le schématise la figure III.4.15.

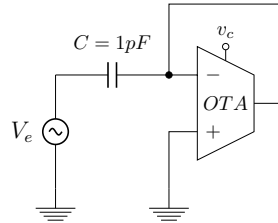


FIGURE III.4.15 – Filtre passe-haut du premier ordre configurable avec un OTA en tant que résistance variable

Une étude paramétrique est alors menée; la résistance émulée est déterminée en évaluant la fréquence de coupure f_c du filtre ($f_c = \frac{1}{2\pi RC}$). La figure III.4.16 représente les résultats de cette simulation pour la taille optimale retenue des transistors de $W_{1,2,3,4}/L_{1,2,3,4} = 8\mu m/0,5\mu m$ et une tension de polarisation $V_{pol2} = 2,5V$. Le signal d'entrée, similaire à celui généré par le DDCC₂ dans le circuit déphaseur, a une dynamique maximale de 250mV crête à crête autour d'un niveau continu à 2V.

Les simulations fréquentielles (a) et (b) mettent en évidence le comportement passe-haut du filtre et la possibilité de le configurer via la tension de contrôle v_c . Quelle que soit la valeur de la résistance émulée, le circuit introduit très peu de distorsion : la courbe (c) montre en effet que le THD reste inférieur à $-30dB$ à 50MHz. La courbe (d) montre enfin la valeur de la résistance en fonction de v_c : celle-ci présente une plage de variation de $1,4k\Omega$ à $4,8k\Omega$, bien plus importante que celle requise par le cahier des charges.

Le tableau III.4.3 résume finalement les tailles des transistors et les tensions de polarisation retenues pour la conception de l'amplificateur transconductance.

4.5.5.2 Amélioration de la résistance variable

Bien que la résistance présentée au paragraphe précédent réponde aux besoins du circuit déphaseur, une évolution simple du circuit est possible pour la rendre plus performante et plus polyvalente. Cette amélioration consiste à cascader un OTA, une résistance puis un second OTA, comme l'illustre la figure III.4.17, afin de réaliser un amplificateur

III.4.5. IMPLANTATION DES COMPOSANTS PASSIFS CONFIGURABLES

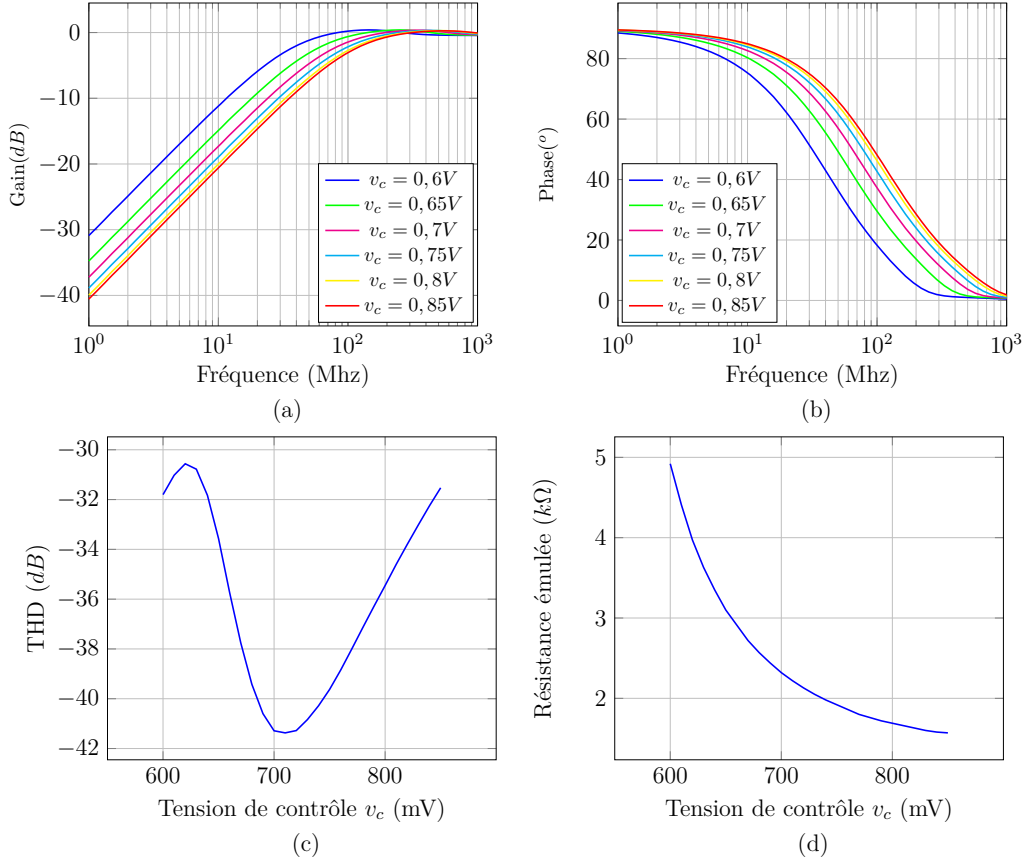


FIGURE III.4.16 – Simulation du filtre passe-haut du premier ordre configurable avec un OTA en tant que résistance variable
 (a) Gain du filtre pour $v_c \in [600mV; 850mV]$
 (b) Phase du filtre pour $v_c \in [600mV; 850mV]$
 (c) Distorsion hamronique à 50Mhz en fonction de v_c
 (d) Résistance émulée en fonction de v_c

TABLEAU III.4.3 – Taille des transistors du DDCC et tensions de polarisation

Transistors	W (μm) / L (μm)
M_{source}	50/0,7
$M_1 - M_4$	8/0,5
$M_5 - M_8$	40/0,5
Tension de polarisation (V)	
V_{pol1}	2,5
V_{pol2}	1,8

transconductance à paramétrage étendu (ou EOTA pour *Extended Operational Transconductance Amplifier*) [267]. Le premier OTA réalise une première conversion tension courant : $I_i = g_{m1} \cdot V_e$. La résistance convertit ce courant en tension : $V_i = R_{conv} \cdot I_i$. Enfin, le deuxième OTA réalise une conversion de cette tension en courant : $I_s = g_{m2} \cdot V_i$. Finalement, le courant de sortie de ce montage est $I_s = R_{conv} \cdot g_{m1} \cdot g_{m2} \cdot V_e$ et sa transconductance est $G_m = R_{conv} \cdot g_{m1} \cdot g_{m2}$.

En supposant les 2 OTA identiques (*i.e.* $g_{m1} = g_{m2} = g_m$), la transconductance de l'EOTA devient $g_{m,EOTA} = R_{conv} \cdot g_m^2$. En exploitant cet EOTA pour émuler une résistance

III.4. LE CIRCUIT DÉPHASEUR

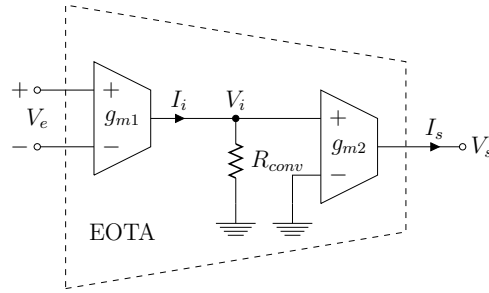


FIGURE III.4.17 – Amplificateur à transconductance à paramétrage étendu

variable comme sur le modèle de la figure III.4.11, avec un seul signal de contrôle pilotant les deux OTAs élémentaires, la valeur de la résistance est alors fonction de l'inverse du carré de la tension de contrôle et non plus de son inverse simple. Ainsi, en implantant simplement deux fois l'OTA développé précédemment – et une résistance fixe –, la plage de variation de la résistance augmente de manière quadratique à dynamique de signal de contrôle égale.

La figure III.4.18 présente les mêmes simulations d'un filtre passe-haut du premier ordre que dans le paragraphe précédent, mais exploitant un EOTA à la place d'un OTA. La valeur de la résistance R_{conv} est calculée de manière à ce que la résistance minimale émulée par l'EOTA soit à peu près égale à celle émulée par un OTA seul : $R_{conv} \simeq 1,4k\Omega$.

Ces simulations montrent l'amélioration de la plage de variation de la résistance, de $1,8k\Omega$ à $15,3k\Omega$, soit une augmentation de la plage de variation de 397%. En outre, à 50Mhz, quelle que soit la valeur de résistance émulée, le taux de distorsion harmonique reste inférieur à $-34dB$: le circuit adopte un comportement plus linéaire que le circuit précédent et introduit moins de distorsions. Ainsi, si une résistance variable implantée avec un OTA seul satisfait aux besoins du cahier des charges, l'implantation d'une résistance à base d'un EOTA, qui offre de meilleures performances et une plus grande plage de variation pour une tension de commande identique, est retenue pour la suite des travaux.

4.6 Simulation du circuit déphaseur

Le circuit déphaseur est simulé avec les circuits dimensionnés dans les deux paragraphes précédents, selon le schéma de la figure III.4.19. Etant données les valeurs extrêmes de résistances émulées par l'EOTA, une capacité de 1pF est utilisée.

Le circuit de la figure III.4.7 et le DDCC configuré en doubleur de tension ne sont pas représentés par souci de lisibilité mais sont également implantés et simulés.

4.6.1 Simulation du circuit déphaseur pour des valeurs de tensions de contrôle fixes

Dans un premier temps, le circuit est simulé pour des valeurs de tension de contrôle fixes. Pour chaque valeur de tension de contrôle, la bande passante est évaluée, ainsi que le gain, la phase et la distorsion harmonique à 50MHz. La figure III.4.20 résume les résultats de ces simulations.

La courbe temporelle (a) représente en noir le signal en entrée du déphaseur et le signal en sortie pour différentes valeurs de v_c . Elle met en évidence la plage de déphasage

III.4.6. SIMULATION DU CIRCUIT DÉPHASEUR

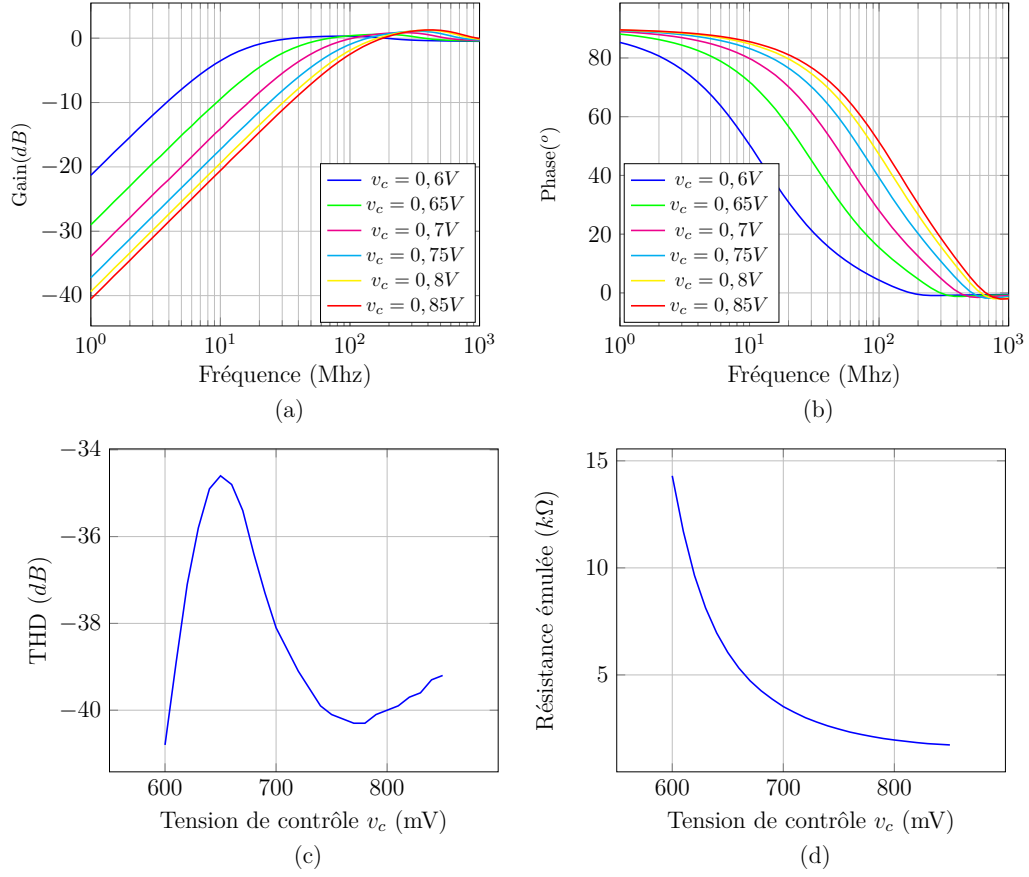


FIGURE III.4.18 – Simulation du filtre passe-haut du premier ordre configurable avec un EOTA en tant que résistance variable

- (a) Gain du filtre pour $v_c \in [600\text{mV}; 850\text{mV}]$
- (b) Phase du filtre pour $v_c \in [600\text{mV}; 850\text{mV}]$
- (c) Distorsion harmonique à 50Mhz en fonction de v_c
- (d) Résistance émulée en fonction de v_c

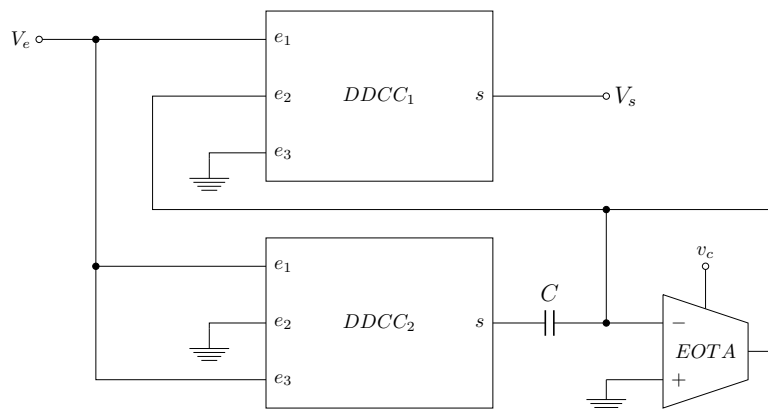


FIGURE III.4.19 – Implantation du circuit déphaseur, incluant deux DDCC et un EOTA configuré en résistance variable mise à la masse

réalisable et la stabilité du gain en sortie. Le gain et la phase en sortie du déphaseur pour un signal de 50MHz en fonction de la tension de contrôle v_c sont représentés plus explicitement sur les courbes (b). Quelle que soit v_c , le gain est très stable (il varie sur

III.4. LE CIRCUIT DÉPHASEUR

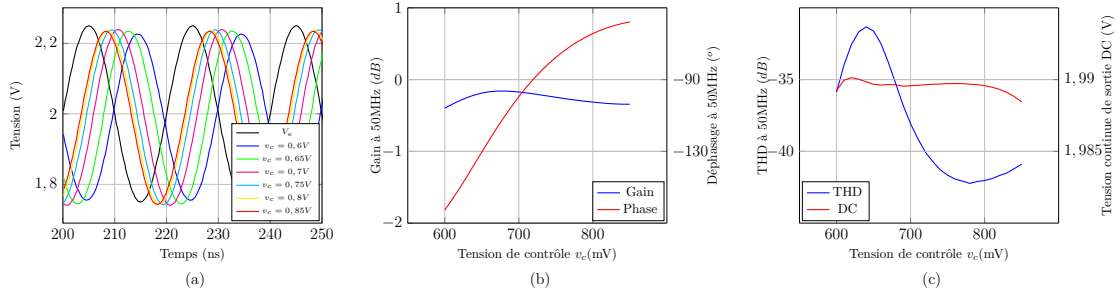


FIGURE III.4.20 – Simulation du déphaseur avec v_c fixe
(a) Réponse temporelle du déphaseur pour $v_c \in [600mV; 850mV]$
(b) Gain et phase en sortie du déphaseur pour $v_c \in [600mV; 850mV]$
(c) THD et tension continue de sortie à 50Mhz en fonction de v_c

240mdB) et est très proche de 0dB (environ -200mdB en moyenne). Ainsi, le signal est très peu atténué, confirmant le rôle passe-tout du filtre. Ensuite, la courbe rouge montre que le signal peut être déphasé sur un intervalle très large, de -58° à -163° , soit sur 105° . Les courbes (c) montrent enfin que ce déphasage est très linéaire (la THD reste inférieure à $-31dB$) et que le niveau continu de sortie est très stable (il varie sur environ 1mV autour de 1,990V).

Ces premières simulations montrent donc les performances particulièrement élevées du déphaseur conçu lorsque le déphasage est fixe dans le temps.

Remarque : Le signe négatif du déphasage indique la postériorité du signal de sortie sur le signal d'entrée. Introduire un déphasage ϕ (dans le but de linéariser un amplificateur de puissance en phase comme aux chapitres II.2 et II.3) revient donc à configurer le déphaseur pour une fonction de phase de $-\phi$.

4.6.2 Simulation du circuit déphaseur pour des valeurs de tensions de contrôle variables dans le temps

Le déphaseur est à présent simulé avec des signaux de contrôle susceptibles de lui être appliqués dans le linéariseur. Le signal d'entrée est toujours un signal sinusoïdal à 50MHz, de 500mV de dynamique autour d'un niveau continu à 2V. En revanche, le signal de contrôle est une tension variant de façon discrète toutes les 20ns.

La première simulation évalue le temps de réponse du déphaseur pour une variation de tension de contrôle de 50mV. La figure III.4.21 représente en bleu la réponse du déphaseur à une variation de la tension de contrôle de 600mV à 850mV par pas de 50mV toutes les 20ns. Le signal en noir et l'histogramme rosé représentent respectivement la réponse idéale du déphaseur et la tension de contrôle. Une capacité de filtrage de 3pF est ajoutée en sortie du DDCC doubleur de tension afin d'éliminer les oscillations dues aux brusques variations de v_c .

Les courbes montrent que le déphaseur adapte quasiment immédiatement la phase du signal à des variations brusques de tension de contrôle lorsque celle-ci est supérieure à 750mV car il s'agit alors de faibles variations de phase à générer, de moins de 20° (à partir de 260ns sur la courbe). Après une transition d'environ 5ns, le circuit adapte également la phase du signal pour une transition de la tension de contrôle de 650mV à 700mV (à partir de 240ns sur la courbe). En revanche, le circuit ne parvient à adapter la phase pour une transition de la tension de contrôle de 600mV à 650mV qu'après près de 16ns. Dans ces

III.4.6. SIMULATION DU CIRCUIT DÉPHASEUR

deux derniers cas, l'instabilité transitoire provient de l'important changement de phase à générer, de plus de 30° à chaque fois.

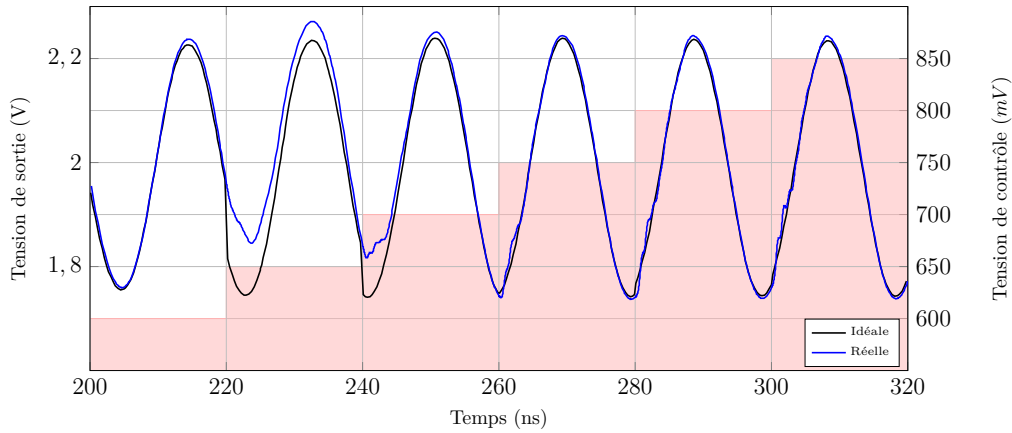


FIGURE III.4.21 – Simulation du circuit déphaseur : augmentation de la tension de contrôle de 600mV à 850mV par pas de 50mV toutes les 20ns

Dans la seconde simulation, la tension de contrôle est diminuée de 850mV à 600mV par pas de 50mV toutes les 20ns. Les mêmes conventions graphiques que ci-dessus sont utilisées. De la même manière que précédemment, le déphaseur adapte rapidement la phase des signaux pour des variations brusques de tension de contrôle lorsque celle-ci est supérieure à 750mV et s'adapte plus lentement lorsque la tension de contrôle est inférieure à 750mV.

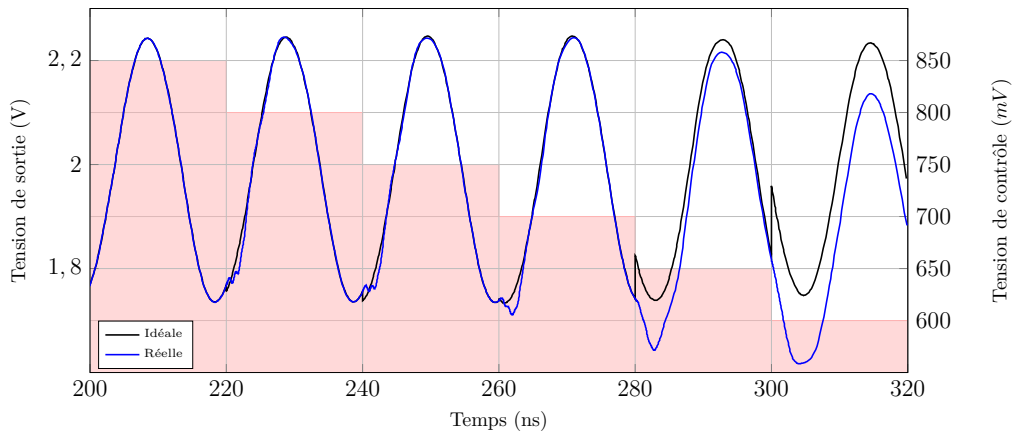


FIGURE III.4.22 – Simulation du circuit déphaseur : diminution de la tension de contrôle de 850mV à 600mV par pas de 50mV toutes les 20ns

La simulation suivante étudie le temps de réponse du circuit déphaseur pour une variation maximale de tension de contrôle, de 600mV à 850mV puis de 850mV à 600mV, soit une variation de phase de 105° à chaque transition. Encore une fois, les mêmes conventions graphiques que ci-dessus sont utilisées. La courbe montre que le déphaseur adapte le déphasage en moins de 5ns lorsque la tension de contrôle varie de 600mV à 850mV. Lorsque la tension de contrôle varie de 850mV à 600mV, la phase du signal est également adaptée en moins de 10ns. En revanche, le niveau continu du signal chute et n'est pas stabilisé après 5 périodes du signal.

III.4. LE CIRCUIT DÉPHASEUR

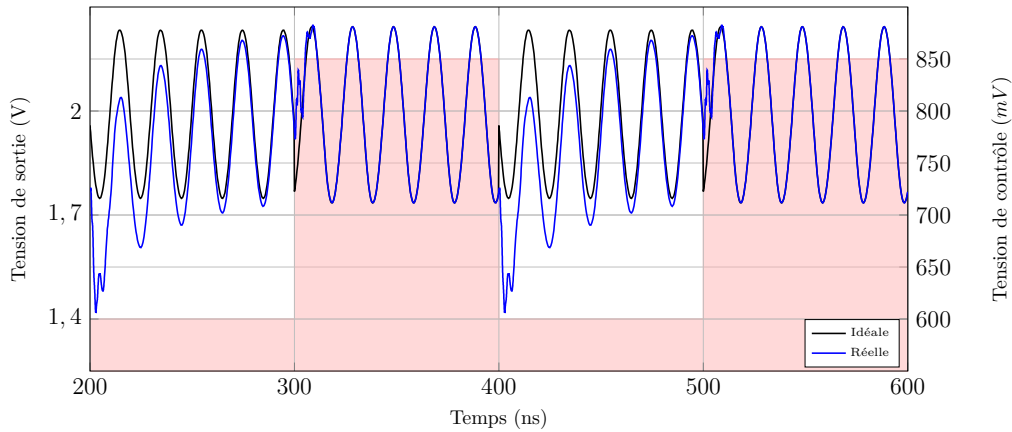


FIGURE III.4.23 – Simulation du circuit déphaseur : variation de phase maximale (105°)

La dernière simulation étudie le temps de réponse du circuit déphaseur pour une variation de phase de 41° , variation maximale observable sur les trois amplificateurs utilisés dans ces travaux, par exemple pour une tension de contrôle variant de 680mV à 780mV. Les courbes montrent que la variation de phase dure environ 5ns.

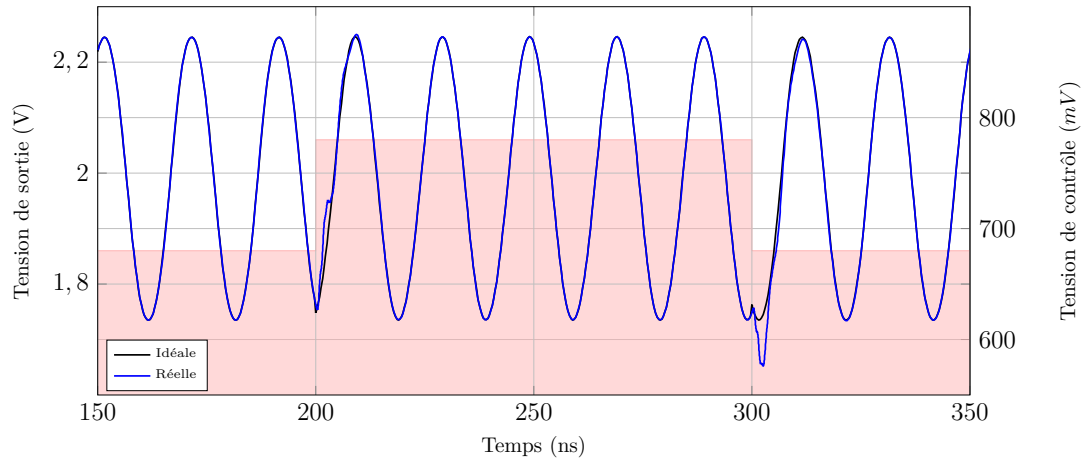


FIGURE III.4.24 – Simulation du circuit déphaseur : variation de phase de 41°

Le circuit déphaseur présente des performances à tension de contrôle fixe très élevées, avec une plage de variation de phase de plus de 100° et une très grande linéarité. Lorsque la tension de contrôle est brusquement modifiée, le déphaseur adapte la phase du signal rapidement mais peut introduire des erreurs de mode commun comme l'illustre la figure III.4.23. Néanmoins, pour de faibles variations de phase, inférieure à 20° , la réponse du circuit est quasiment immédiate, comme le montre la figure III.4.21. Certaines variations importantes peuvent également être rapidement effectuées : la figure III.4.24 démontre en effet qu'une variation de 41° peut être exécutée 5ns environ.

4.6.2.1 Modélisation du déphasage et adaptation des fonctions de prédistor-sion

Pour pouvoir utiliser ce déphaseur au sein du linéariseur, il est nécessaire de disposer d'une fonction approchant le déphasage introduit par le circuit en fonction de la tension de contrôle générée par un réseau de neurones. Or il est difficile d'exploiter les équations présentées au chapitre III.2, car ce sont des approximations du comportement réel des composants et, dans le cas présent, elles ne fournissent pas un modèle précis du déphasage introduit par le circuit en fonction de la tension de contrôle.

Pour déterminer un modèle précis, il est possible d'adapter successivement la formule de la source de courant de l'équation 2.2 à la courbe exacte de la figure III.4.13, puis d'ajuster ce nouveau modèle aux valeurs réelles de transconductance de l'EOTA – et donc de la résistance variable – et enfin d'adapter cette équation à celle du déphasage 4.5. Toutefois, ce processus est long, requiert de nombreuses approximations successives pour aboutir à une relation difficile à manipuler.

Il est donc préférable de déterminer un modèle simple reliant directement le déphasage à la tension de contrôle, à partir de la courbe de déphasage (b) de la figure III.4.20. En notant qu'au premier ordre, la fonction arctangente est linéaire et que la relation entre la tension de contrôle et la valeur de la résistance variable est quadratique, une première approximation raisonnable du déphasage en fonction de la tension de contrôle est donnée par un polynôme d'ordre deux. En procédant à une régression quadratique sur les données présentées sur la figure III.4.20, l'approximation suivante est définie :

$$\phi = -1507v_c^2 + 2617v_c - 1193 \quad (4.28)$$

Le coefficient de corrélation de cette approximation, qui en indique la finesse, est de 0,9992. Cette estimation est donc très précise, comme l'illustre par ailleurs la figure III.4.25, et utiliser un modèle plus complexe pour améliorer encore la précision n'est pas nécessaire.

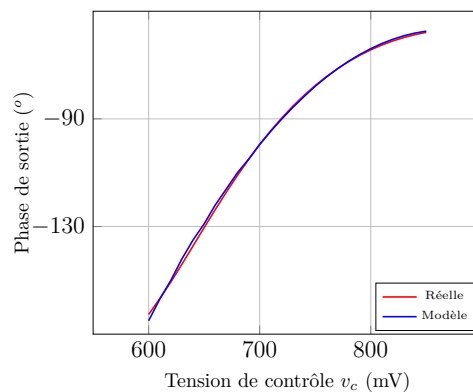


FIGURE III.4.25 – Approximation du déphasage en fonction de la tension de contrôle à l'aide d'un polynôme d'ordre deux

Cette formulation du déphasage modifie les caractéristiques de prédistor-sion évaluées au chapitre II.2. Néanmoins, la forme des courbes reste similaire et les réseaux de neurones peuvent facilement s'adapter à cette modification, comme le démontrent les simulations du chapitre suivant.

4.7 Conclusion

Ce chapitre a présenté la conception microélectronique du circuit déphaseur configurable présent au sein du linéariseur présenté au chapitre III.1. Une architecture à base de DDCC, dérivée de [223] et d'un amplificateur transconductance à paramétrage étendu est développée. Grâce à une tension de contrôle pilotant la transconductance de cet amplificateur, il est possible de contrôler le déphasage introduit par le circuit.

Cette architecture est particulièrement performante puisqu'elle permet de faire varier le déphasage du signal sur 105° tout en restant très linéaire. Cette grande plage de déphasage configurable suggère d'ailleurs que le linéariseur sera à même de linéariser des amplificateurs présentant des non-linéarités en phase plus prononcées que les amplificateurs de puissance utilisés dans ces travaux. La simulation temporelle du circuit avec une tension de contrôle variable de façon discrète au cours du temps démontre que le circuit est capable d'adapter rapidement la phase du signal en fonction de la tension de contrôle, quasiment immédiatement pour des variations de phase faibles et en 5ns à peine pour une variation de phase de 41° , comme celle que peut introduire le HPA TEDCNES.

Le chapitre suivant présente l'exploitation des circuits neuronaux et déphaseur dans le cadre de la linéarisation par prédistorsion d'amplificateurs de puissance.

CHAPITRE 5

Exploitation de l'ASIC dans le contexte de la prédistorsion

Dans les deux chapitres précédents ont été développés les circuits CMOS des réseaux de neurones et du déphaseur utilisés dans le démonstrateur de linéariseur par prédistorsion imaginé aux chapitres II.2, II.3 et III.1. Ce chapitre présente les simulations statiques de ces circuits dans le cadre de la linéarisation des amplificateurs de puissance TEDCNES, ARABSAT4 et TI9083-8 et démontre leurs capacités de prédistorsion. Dans un souci de lisibilité, seuls les résultats associés au HPA TEDCNES sont illustrés ici. Les résultats liés aux amplificateurs ARABSAT4 et TI9083-8 se trouvent dans l'annexe D.

Dans ce chapitre, tous les composants environnant l'ASIC sont supposés idéaux. Afin d'évaluer les performances d'une même architecture à linéariser différents amplificateurs de puissance, nous supposons en outre que le comportement de ces composants est indépendant de l'amplificateur. Grâce aux circuits de mise en forme proposés dans l'architecture de la figure III.1.6, il est notamment possible de supposer que :

- le détecteur de puissance fournit aux réseaux de neurones un signal compris entre 0V et 250mV ;
- les réseaux de neurones génèrent également un signal compris entre 0V et 250mV ;
- la tension de contrôle du VGA est comprise entre 0V pour un gain de -10dB et 250mV pour un gain de 0dB, et la relation entre la tension et le gain est linéaire ;
- la tension de contrôle du déphaseur est comprise entre 600mV et 850mV et le déphasage suit l'équation 4.28.

Dans un premier temps, la qualité de la linéarisation en amplitude est évaluée. Puis l'association des réseaux de neurones et du circuit déphaseur est étudiée pour analyser la précision de la prédistorsion en phase.

Dans la suite, un réseau de neurones sera qualifié de *mathématique* s'il s'agit du modèle développé au chapitre II.3, et d'*intégré* s'il s'agit du circuit développé au chapitre III.3.

5.1 Linéarisation en amplitude par l'intermédiaire du réseau de neurones intégré dans l'ASIC

En prenant en compte les hypothèses ci-dessus, pour réaliser l'opération de linéarisation de l'amplificateur TEDCNES, la tension de commande du VGA doit suivre, en fonction de la tension V_{pwr} issue du détecteur de puissance, la caractéristique présentée sur la figure III.5.1.

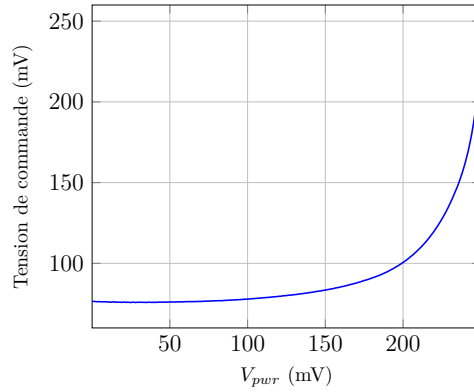


FIGURE III.5.1 – Caractéristique de la tension de commande du VGA associée au HPA TEDCNES en fonction de V_{pwr} dans le cadre fixé dans ce chapitre

Un réseau de neurones mathématique est entraîné à modéliser cette caractéristique, puis les poids et biais issus de l'apprentissage sont appliqués au réseau de neurones intégrés. Les différences qu'il existe entre le réseau de neurones mathématique et le réseau intégré, en particulier entre les fonctions d'activation idéale et réelle, nécessite un réajustement fin des poids et biais implantés afin que la réponse du modèle intégré approche au mieux la caractéristique idéale.

La figure III.5.2 représente à gauche en pointillés la caractéristique idéale de la figure III.5.1, en bleu la réponse du réseau de neurones mathématique et en rouge la sortie du réseau de neurones intégrés et à droite les erreurs d'approximation. Ces courbes montrent que le réseau de neurones intégrés conçu est capable de modéliser avec précision la caractéristique de prédistorsion en amplitude du linéariseur associé à l'amplificateur TEDCNES. Les résultats exposés dans l'annexe D démontrent cette même aptitude pour les amplificateurs ARABSAT4 et TI9083-8.

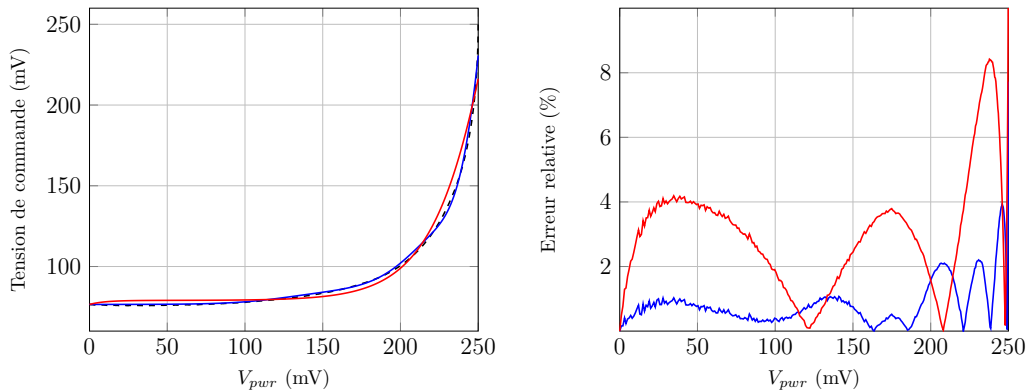


FIGURE III.5.2 – Approximation par réseau de neurones intégrés de la tension de commande du VGA associée au HPA TEDCNES en fonction de V_{pwr}
 A gauche : caractéristiques idéale (pointillés), issue du réseau de neurones mathématique (en bleu) et issue du réseau de neurones intégrés (en rouge)
 A droite : erreur relative de modélisation par réseau de neurones mathématique (en bleu) et par réseau de neurones intégrés (en rouge)

Notons que la différence entre la modélisation mathématique et la réponse du réseau de neurones intégrés est similaire à la différence entre la fonction tangente hyper-

bolique réelle et la fonction sigmoïdale implantée (voir figure III.2.10).

La réponse du réseau de neurones est exploitée pour simuler le contrôle d'un VGA dont la caractéristique en gain est explicité en introduction de ce chapitre. L'ensemble "Réseau de neurones + VGA" est ainsi intégré dans la topologie de simulation présentée au chapitre II.2. La figure III.5.3 représente ainsi le résultat de la linéarisation en amplitude du HPA TEDCNES. La caractéristique de sortie en amplitude du système "Linéariseur + Amplificateur" est fortement améliorée par rapport à l'utilisation du HPA seul. L'erreur relative est en effet inférieure à 5%. Les mêmes simulations pour les amplificateurs ARABSAT4 et TI9083-8 révèlent également d'excellents résultats de linéarisation en amplitude, avec une erreur relative inférieure à 7% à chaque fois.

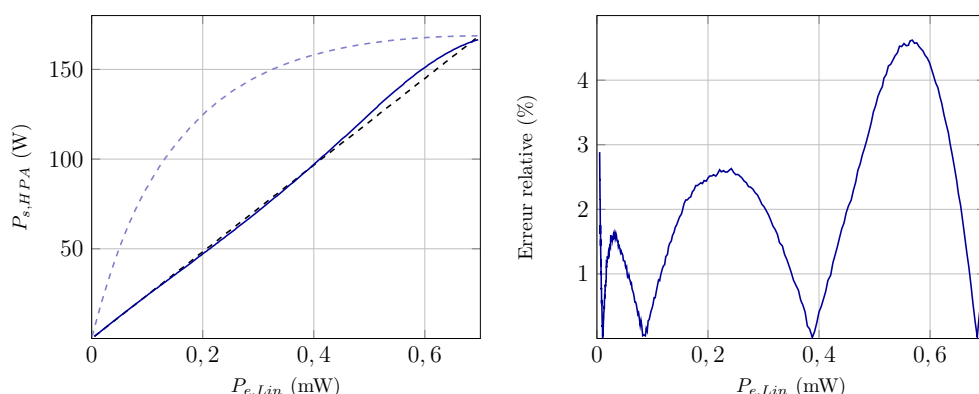


FIGURE III.5.3 – Linéarisation en amplitude de l'amplificateur de puissance TEDCNES à l'aide d'un réseau de neurones intégré
A gauche : caractéristiques de transfert AM/AM simulée (trait plein bleu), idéale (pointillés noirs) et de l'amplificateur seul (pointillés bleus)
A droite : erreur relative de linéarisation

Les simulations ci-dessus prouvent que le réseau de neurones intégré réalisé est adapté pour piloter un amplificateur à gain variable et réaliser la linéarisation en amplitude des trois HPA étudiés. Il pourra donc être intégré dans le démonstrateur de linéariseur par prédistorsion susceptible de s'adapter à plusieurs amplificateurs de puissance comme ceux, par exemple, proposés dans ce tapuscrit.

5.2 Linéarisation en phase par l'intermédiaire du réseau de neurones intégré dans l'ASIC

Pour réaliser l'opération de linéarisation en phase, il est d'abord nécessaire de définir la caractéristique que doit réaliser le réseau de neurones de commande du déphaseur, en fonction de l'équation 4.28. Pour cela, il faut en particulier choisir la manière la plus judicieuse d'exploiter le déphaseur, c'est-à-dire définir l'intervalle de variation de tension de contrôle v_c permettant d'obtenir les meilleurs résultats. Le déphasage généré par le circuit et la distorsion harmonique qu'il introduit en fonction de la tension de contrôle sont rappelés sur la figure III.5.4.

L'analyse de ces courbes montre qu'il est préférable d'exploiter le circuit déphaseur avec un intervalle de tension de contrôle le plus élevé possible (tout en restant sous la valeur limite de 850mV). En effet, la courbe (b) met en évidence que la distorsion est plus faible pour des valeurs de v_c proches de 780mV. Par ailleurs, la pente de la courbe (a)

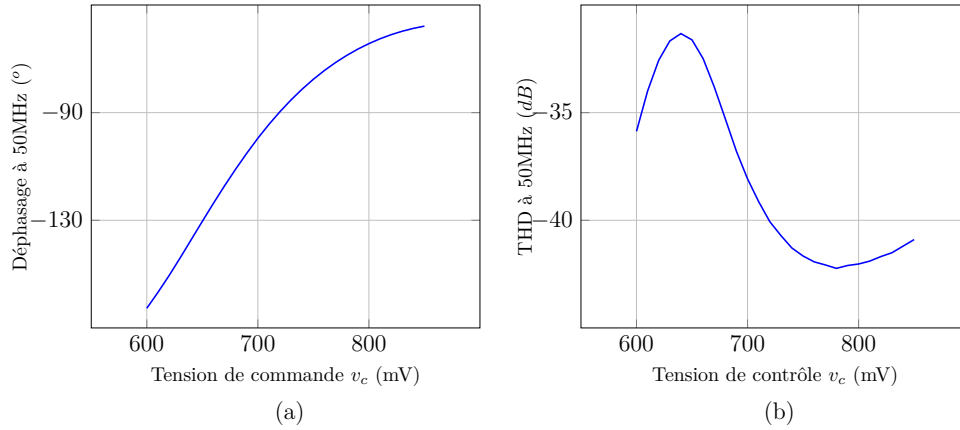


FIGURE III.5.4 – Rappel de la réponse du circuit déphaseur en fonction de la tension de contrôle | (a) Phase en sortie du déphaseur | (b) THD

diminue quand v_c augmente. Ainsi, une erreur d'approximation de la caractéristique aura un impact moins important pour des valeurs de v_c grandes que pour des valeurs proches de 600mV (la valeur minimale de v_c). Par conséquent, la caractéristique que doit réaliser le déphaseur est déduite de l'équation 4.28, de la caractéristique AM/PM du linéariseur déterminée au chapitre II.1 et en choisissant un déphasage ϕ minimal de 57° (pour une tension de contrôle maximale de 850mV). La figure III.5.5 représente cette caractéristique pour l'amplificateur TEDCNES.

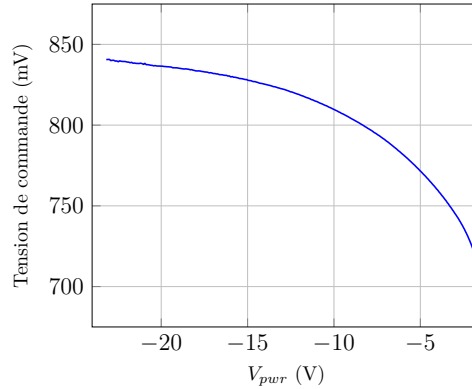


FIGURE III.5.5 – Caractéristique de la tension de commande du déphaseur associée à l'amplificateur TEDCNES

La caractéristique est abaissée de 600mV en tension de manière à appartenir à l'intervalle $[0, 250\text{mV}]$ modélisable par un réseau de neurones. Un réseau de neurones mathématique est entraîné à modéliser cette caractéristique ajustée, puis les poids et biais issus de l'apprentissage sont appliqués au réseau de neurones intégré. La figure III.5.6 représente cette approximation pour l'amplificateur TEDCNES à gauche et les erreurs relatives d'approximation à droite.

Le signal généré par réseau de neurones est remonté en tension de 600mV pour être appliqué en entrée du déphaseur. La figure III.5.7 représente la phase du signal en sortie de déphaseur en fonction de la tension en entrée du réseau de neurones.

Finalement, l'ensemble "Réseau de neurones + Déphaseur" est intégré dans la topologie de simulation présentée au chapitre II.2. La figure III.5.8 représente ainsi le

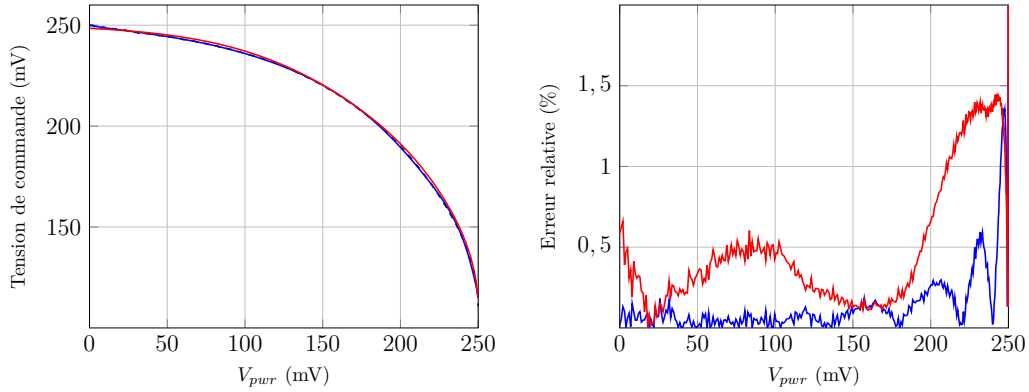


FIGURE III.5.6 – Approximation par réseau de neurones intégré de la tension de commande du déphaseur associée au HPA TEDCNES en fonction de V_{pwr}
 A gauche : caractéristiques idéale (pointillés), issue du réseau de neurones mathématique (en bleu) et issue du réseau de neurones intégré (en rouge)
 A droite : erreur relative de modélisation par réseau de neurones mathématique (en bleu) et par réseau de neurones intégré (en rouge)

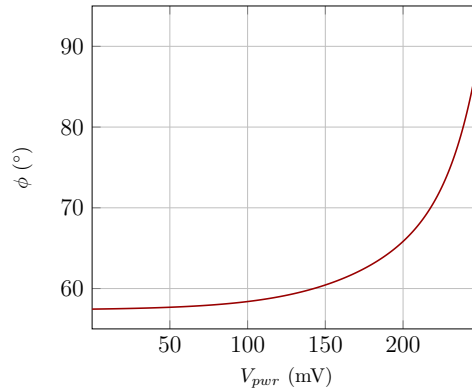


FIGURE III.5.7 – Déphasage en sortie du circuit déphaseur piloté par réseau de neurones intégré en fonction de V_{pwr} pour la linéarisation en phase de l'amplificateur TEDCNES

résultat de la linéarisation en phase du HPA TEDCNES, pour une phase idéale de 256° (en pointillés rouges sur la figure de gauche). La caractéristique de sortie en phase du système “Linéariseur + Amplificateur” est fortement améliorée par rapport à l'utilisation du HPA seul. L'erreur est en effet inférieure à 3° . Les résultats présentés dans l'annexe D montrent que le système élaboré est tout aussi efficace pour traiter la linéarisation en phase des amplificateurs ARABAST4 et TI9083-8, pour lesquels l'erreur en phase ne dépasse pas 3° .

5.3 Discussion

Dans ce chapitre, de nouvelles caractéristiques de transfert des réseaux de neurones ont été présentées et exploitées. La phase de calibrage détaillée au chapitre II.3 reste pourtant tout à fait valide. En effet, les différences qu'il existe entre les caractéristiques présentées dans les chapitres précédents et celles utilisées ici concernent essentiellement

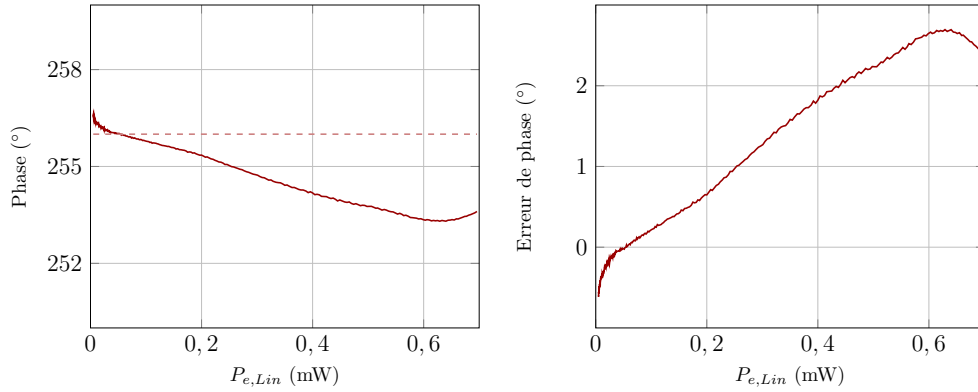


FIGURE III.5.8 – Linéarisation en phase de l'amplificateur de puissance TEDCNES à l'aide d'un réseau de neurones intégré

A gauche : caractéristiques de transfert AM/AM simulée (trait plein rouge), idéale (pointillés rouges)

A droite : erreur de linéarisation en phase

leur dynamique. Or les courbes présentées auparavant ont une dynamique plus importante que celles employées dans ce chapitre. Une simple réduction de l'ensemble des poids $w_{2,i}$ permet ainsi de passer des premières aux secondes. L'intervalle de variation des poids et biais pourrait donc même être réduit.

Les simulations présentées dans ce chapitre démontrent en outre que le réseau de neurones élaboré est tout à fait adapté pour linéariser les trois amplificateurs de puissance TEDCNES, ARABSAT4 et TI9083-8.

5.4 Conclusion

Ce dernier chapitre a permis de mettre en évidence les très bonnes performances des circuits conçus aux chapitres précédents pour réaliser les opérations de linéarisation en amplitude et en phase. L'ASIC développé permet en effet de linéariser les trois amplificateurs utilisés tout au long de ce tapuscrit avec une grande précision. Il s'intégrera donc efficacement dans le démonstrateur de linéariseur par prédistorsion susceptible de corriger divers amplificateurs de puissance comme ceux présentés dans ce tapuscrit.

Cette partie a présenté la conception détaillée du démonstrateur du linéariseur. Dans un premier temps, une vue d'ensemble du démonstrateur a été donnée. Le choix des différents composants constituant le circuit électronique a notamment été justifié. Dans un second chapitre, la technologie CMOS AMS $0,35\mu m$ dans laquelle les circuits microélectroniques des réseaux de neurones et du déphaseur sont conçus a été présentée. Différentes structures élémentaires à base de transistors MOS ont également été décrites. L'intégration des réseaux de neurones analogiques fait l'objet d'un troisième chapitre ; les fonctions élémentaires (multiplieur, additionneur et fonction d'activation sigmoïdale) sont expliquées et simulées. Puis, dans un troisième chapitre, le circuit déphaseur est détaillé. Celui-ci est développé autour de deux convoyeurs différentiels de différences de courant, d'une résistance et d'une capacité. Le déphasage introduit par le circuit est configurable grâce à une tension de contrôle faisant varier la transconductance d'un EOTA. L'implantation proposée montre des capacités sans précédent, avec une plage de déphasage supérieure à 100° et une grande linéarité ($THD < -30dB$). En outre, une simulation temporelle démontre son aptitude à répondre efficacement aux variations brusque de la tension de contrôle et donc sa faculté à prédistordre correctement en phase un signal au sein du linéariseur. Enfin, dans un ultime chapitre, les circuits neuronaux et déphaseur sont simulés dans le cadre de la linéarisation par prédistorsion d'amplificateurs de puissance. Leur capacité à linéariser efficacement les trois amplificateurs TEDCNES, ARABSAT et TI9083-8 est notamment démontrée.

CONCLUSION GÉNÉRALE ET PERSPECTIVES

Au cours de la dernière décennie, les télécommunications terrestres et spatiales ont connu un incroyable essor. L'apparition de nouveaux services (échange de données, télévision haute définition, etc) impose de transmettre les données à des débits toujours plus importants pour une qualité de service constante et irréprochable. Les signaux émis par une station sol ou un satellite doivent en particulier présenter le moins de déformations possible afin d'éviter toute erreur de transmission.

Or, le chapitre I.1 révèle que les amplificateurs de puissance utilisés pour émettre ces signaux, qu'il s'agisse d'amplificateurs à Tube à Ondes Progressives ou d'amplificateurs à état solide, adoptent un comportement non-linéaire lorsqu'ils opèrent à forte puissance. Ces non-linéarités sont notamment mises en évidence par les caractéristiques dites AM/AM et AM/PM des HPA. Les caractéristiques de trois amplificateurs de puissance – TEDCNES, ARABSAT4 et TI9083-8 – fournies par le CNES sont exposées dans ce chapitre. Dans ces travaux, seule la linéarisation de ces caractéristiques AM/AM et AM/PM mono-porteuses est étudiée et les circuits du système de transmission sont supposés fonctionner en bande étroite. D'autres techniques de représentations des distorsions introduites par les HPA, non étudiées dans ce tapuscrit, sont présentées dans l'annexe A.

Le chapitre I.2 montre alors que, dans certains types d'applications, exploitant une modulation à enveloppe non-constante à forte puissance par exemple, la transmission des signaux est perturbée et il peut être nécessaire de développer des techniques pour limiter les distorsions. De plus, les non-linéarités dépendent fortement de l'amplificateur de puissance, de l'application pour laquelle le HPA est utilisé et évoluent au cours du temps sous l'influence des variations de température et à cause du vieillissement des composants électroniques. Les techniques de limitation ou de compensation des non-linéarités doivent donc pouvoir s'adapter aux dérives des caractéristiques des amplificateurs.

Le chapitre I.3 présente alors certaines de ces méthodes. D'abord, utiliser un amplificateur en recul ne permet pas de bénéficier de la puissance maximale que l'amplificateur est capable de fournir et les techniques d'égalisation dépendent de l'amplificateur et des conditions d'exploitation. Ces deux méthodes sont en outre peu ou pas adaptatives. Les techniques de linéarisation représentent donc une solution plus performante. En particulier, la technique de prédistorsion a été retenue pour le développement d'un linéariseur susceptible de s'adapter à plusieurs amplificateurs de puissance.

Dans le chapitre II.1 est proposée une technique innovante de détermination des caractéristiques de transfert AM/AM et AM/PM d'un linéariseur par prédistorsion à partir uniquement des caractéristiques expérimentales d'un amplificateur. Cette méthode, rapide, précise et simple à mettre en œuvre, a fait l'objet d'un dépôt de brevet durant ces travaux de doctorat [94]. Elle sert notamment à extraire les caractéristiques de transfert des trois amplificateurs TEDCNES, ARABSAT4 et TI9083-8 en vue d'obtenir, en sortie du système "Linéariseur + Amplificateur", une caractéristique linéaire en amplitude et

CONCLUSION GÉNÉRALE ET PERSPECTIVES

en phase et une utilisation optimale des capacités en puissance des HPA.

Une étude d'architecture est alors menée dans le chapitre II.2 afin de concevoir un linéariseur innovant susceptible de s'adapter à plusieurs amplificateurs et fonctionnant en bande de base. La solution imaginée consiste à réaliser deux modules de prédistorsion, respectivement en amplitude et en phase, connectés en série, et déformant le signal en fonction de sa puissance moyenne et des caractéristiques de transfert établies grâce au procédé présenté auparavant. Des simulations comportementales valident ce concept de prédistorsion.

Afin de pouvoir réaliser un linéariseur suivant la topologie proposée, il est nécessaire de disposer d'outils permettant de modéliser avec précision les caractéristiques de prédistorsion en amplitude et en phase et d'être physiquement implantés dans une chaîne de transmission. Dans cette optique, les réseaux de neurones, présentés au chapitre II.3, représentent une solution adaptée, grâce à leur caractère parcimonieux et d'approximateurs universels. Un réseau de type Perceptron Multi-Couches avec une couche cachée de huit neurones et dont les paramètres varient sur un intervalle limité permet en particulier de linéariser les trois amplificateurs étudiés avec une grande précision : l'erreur est inférieure à 3% en amplitude et de moins de $1,2^\circ$ en phase.

Dans une troisième et dernière partie, la réalisation d'un démonstrateur de linéariseur par prédistorsion, à base de réseaux de neurones, est détaillée. Le chapitre III.1 s'attache en particulier à justifier les choix des différents composants utilisés pour la réalisation du système. Si certains composants peuvent provenir de grands fabricants de composants électroniques, les réseaux de neurones et le circuit déphaseur configurable doivent, eux, être développés et intégrés au sein d'un ASIC. Dans le chapitre III.2, la technologie AMS CMOS $0,35\mu m$, dans laquelle est conçu le circuit intégré, ainsi que différentes structures classiques à base de transistors MOS, sont détaillées.

Le chapitre III.3 décrit la conception du réseau de neurones analogique. Les circuits des cellules élémentaires – multiplieurs, additionneurs et fonction d'activation sigmoïdale – sont d'abord présentés et, à chaque fois, simulés pour valider leur fonctionnement en accord avec le cahier des charges du système. Un réseau comprenant huit neurones cachés et dont la fonction d'activation présente localement une forte pente est finalement constitué. Il fonctionne à une fréquence nominale de 50MHz et traite des signaux de 500mV d'amplitude maximale.

Dans le chapitre III.4 est détaillée la conception du circuit déphaseur configurable. Celui-ci est réalisé à l'aide de deux DDCC simplifiés, d'une capacité et d'une résistance variable contrôlée en tension. Cette dernière est construite autour d'un amplificateur à transconductance à paramétrage étendu, rebouclé, et dont la résistance équivalente est l'inverse de la transconductance. Le circuit complet permet de réaliser des déphasages sur une plage de plus de 100° avec une distorsion très faible, pour signal d'entrée à 50MHz et de 500mV d'amplitude maximale.

Finalement, le chapitre III.5 présente l'exploitation de l'ASIC dans le cadre de la linéarisation des trois amplificateurs de puissance TEDCNES, ARABSAT4 et TI9083-8. Dans chaque cas, en supposant idéaux les circuits environnant l'ASIC, l'architecture proposée permet de linéariser en amplitude et en phase les HPA avec une grande précision : l'erreur de linéarisation en amplitude reste inférieure à 7% et l'erreur en phase demeure sous les 3° . L'ASIC développé, implanté au sein de l'architecture imaginée au chapitre II.2 valide ainsi le concept de linéarisation d'un signal mono-fréquence par prédistorsion pour

plusieurs amplificateurs de puissance.

Les résultats présentés dans ce tapuscrit sont prometteurs pour la réalisation et l'intégration de linéariseurs par prédistorsion à base de réseaux de neurones analogiques au sein des stations sol d'abord, puis dans les futures générations de satellites de télécommunications.

Dans un premier temps, l'ASIC et le démonstrateur seront fabriqués et intégrés à un banc de test afin d'évaluer les performances du système réel à linéariser différents amplificateurs de puissance, dans différentes conditions d'utilisation, pour des signaux d'excitation mono-porteuses modulés sur une faible bande.

Une fois le concept validé sur ce type de signaux, il sera éprouvé sur des signaux plus complexes type multi-porteuses ou large bande. Des phénomènes de non-linéarités plus complexes pourront alors être étudiés, comme la variation des non-linéarités du HPA en fonction de la fréquence (les effets mémoires), ou l'apparition des produits d'intermodulation entre les porteuses modulées. Ces tests permettront de mettre en évidence les limites de la maquette réalisée et d'envisager les améliorations à y apporter pour accroître la générique de la topologie. En parallèle, l'intégration du système numérique d'entraînement et l'automatisation des phases d'apprentissage et de paramétrage des réseaux de neurones pourront être réalisées.

Lorsqu'une nouvelle topologie, générique et auto-adaptative, aura été élaborée à partir de l'architecture et de l'ASIC présentés dans ces travaux de doctorat, un nouveau circuit pourra être développé pour être installé dans une station sol ou embarqué dans un satellite. Dans ce dernier cas, des contraintes d'embarquabilité (taille et poids), de consommation ou liées à l'environnement spatial devront être pris en compte. L'utilisation d'un tel système pourrait ainsi, à terme, permettre d'augmenter sensiblement les performances des systèmes de télécommunications, tout en garantissant une qualité de service constante et exemplaire.

ANNEXES

PUBLICATIONS

Revue d'audience internationale avec comité de lecture

[82] B. Mulliez, E. Moutaye, H. Tap, L. Gatet, F. Gizard, "Predistortion system implementation based on analog Neural Networks for linearizing High Power Amplifiers transfer characteristics", *International Journal on Smart Sensing and Intelligent Systems (S2IS)*, vol. 7, no. 1, March 2014, pp. 400-422

Communication dans conférence internationale avec actes

[83] B. Mulliez, E. Moutaye, H. Tap, L. Gatet, F. Gizard, "Predistortion system implementation based on analog Neural Networks for linearizing High Power Amplifiers transfer characteristics", in *36th International Conference on Telecommunications and Signal Processing (TSP)*, July 2013, pp.412-416

Brevet

[94] B. Mulliez, G. Soubercaze-Pun, L. Gatet, E. Moutaye, H. Tap, "Procédé de configuration d'un circuit corrigé comprenant un circuit imparfait et un circuit de prédistorsion", France patent 1 453773 (CNES-DGA-CNRS-INPT), 2013

En cours

[-] B. Mulliez, E. Moutaye, H. Tap, L. Gatet, G. Soubercaze-Pun, "Predistortion modeling review and novel extraction technique" (soumis)

ANNEXE A

Techniques de représentation des non-linéarités d'un amplificateur de puissance

Dans les travaux présentés dans ce tapuscrit, la linéarisation des non-linéarités des amplificateurs de puissance est limitée au traitement des caractéristiques AM/AM et AM/PM mono-fréquences et, dans ce contexte, seules ces représentations des distorsions introduites par les HPA ont été présentées. Il en existe toutefois de nombreuses autres. Les plus utilisées sont décrites succinctement dans cette annexe, bien qu'elles sortent du cadre de ces recherches.

A.1 Le rapport C/I

Une méthode simple permettant d'évaluer la linéarité d'un amplificateur et d'illustrer les distorsions en amplitude et en phase est un test à deux porteuses (ou à deux tons) : deux signaux non modulés, de fréquences respectives f_1 et f_2 et d'amplitude égale sont appliqués à l'entrée de l'amplificateur. La figure A.1 représente à gauche un signal à deux porteuses dans le domaine temporel et, à droite, son équivalent dans le domaine fréquentiel. L'amplitude de l'enveloppe du signal varie de zéro à un niveau maximum ; le test à deux tons est donc particulièrement sévère pour l'amplificateur qui est utilisé sur toute sa dynamique.

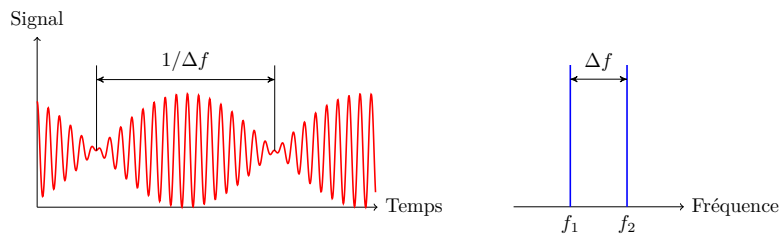


FIGURE A.1 – Représentations temporelle (à gauche) et fréquentielle (à droite) d'un signal à deux porteuses

Lorsqu'un tel signal traverse un composant non-linéaire, des produits d'intermodulation sont générés, comme l'illustre la figure A.2. Le rapport C/I (*Carrier to Intermodulation Ratio*) d'ordre 3 (C/I_3) est la différence entre les puissances de la raie à la fréquence f_1 (ou f_2) et de la raie d'intermodulation respectivement à la fréquence $2f_1 - f_2$ ou $2f_2 - f_1$. De façon générale, on définit les rapports C/I d'ordre n (C/I_n) comme la

A. TECHNIQUES DE REPRÉSENTATION DES NON-LINÉARITÉS D'UN AMPLIFICATEUR DE PUISSANCE

différence de puissance entre la raie à la fréquence f_1 (ou f_2) et la raie d'intermodulation à $pf_1 + qf_2$ avec $p + q = n$. Le rapport C/I est exprimé en dBm.

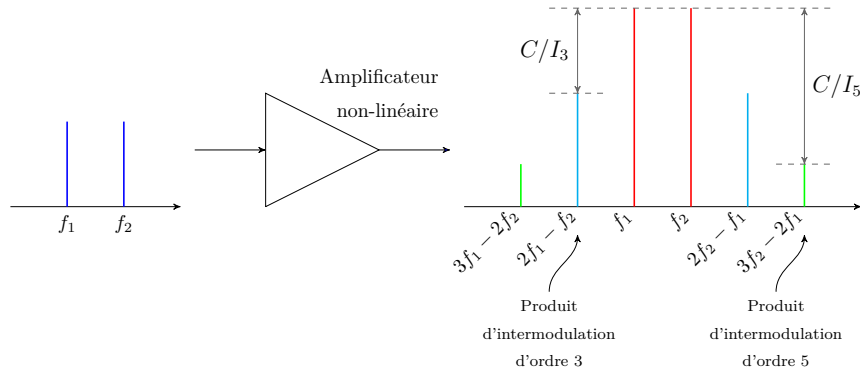


FIGURE A.2 – Représentations fréquentielle de la réponse d'un composant non-linéaire à un signal à deux tons permettant de mesurer le rapport C/I

A.2 L'ACPR

Contrairement aux caractéristiques AM/AM et AM/PM et au rapport C/I , la mesure d'ACPR (pour *Adjacent Channel Power Ratio*) est faite à l'aide d'un signal modulé de la même façon que dans l'application visée. Elle permet d'évaluer l'étalement spectral de l'amplificateur sur signal modulé autour d'une fréquence centrale f_c . Le principe est de diviser l'intervalle d'étude en 3 bandes de fréquences : la première, B_0 , située autour de f_c , et les deux autres, B_1 et B_2 , de part et d'autre de B_0 , et décalés de $\pm f_0$, tel que le représente la figure A.3. Les choix de B_0 , B_1 , B_2 et f_0 dépendent du standard de communication étudié. L'ACPR représente alors le rapport entre la puissance utile contenue dans le canal principal B_0 et la puissance d'intermodulation contenue dans les canaux adjacents B_1 et B_2 , selon l'équation (A.1) :

$$ACPR = \frac{2 \cdot \int_{B_0} P(f) \cdot df}{\int_{B_1} P(f) \cdot df + \int_{B_2} P(f) \cdot df} \quad (\text{A.1})$$

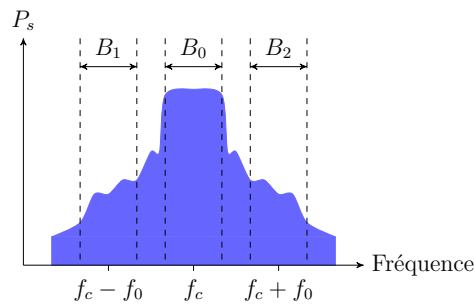


FIGURE A.3 – Principe de calcul de l'ACPR

A.3 Le NPR

Le NPR (*Noise Power Ratio*) évalue le bruit et les produits d'intermodulation apportés par l'amplificateur à proximité des canaux qu'il utilise. Le principe de mesure est d'appliquer en entrée de l'amplificateur un signal composé d'une bande passante de bruit gaussien au centre de laquelle une bande étroite (moins de 10% de la bande passante) est laissée vacante. La puissance du signal en entrée d'amplificateur dans cette bande de réjection (ou *notch*) est donc nulle ; en sortie en revanche, cette bande de fréquence comprend du bruit et des produits d'intermodulation dus aux non-linéarités de l'amplificateur, comme l'illustre la figure A.4. Le rapport entre la densité spectrale de puissance du signal aux bords de la bande de réjection et la densité de bruit dans cette bande constitue le NPR [268]. Cette technique de mesure permet par ailleurs de mesurer l'ACPR.

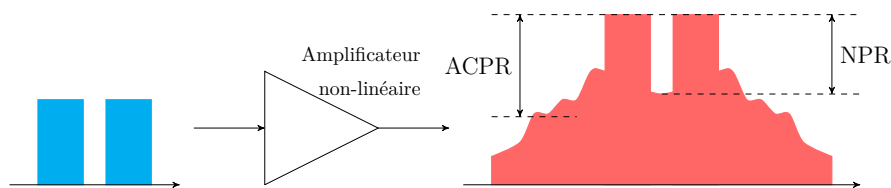


FIGURE A.4 – Représentation fréquentielle des signaux d'entrée et de sortie d'un composant non-linéaire lors d'une mesure de NPR

Le NPR fournit une information très complète sur la linéarité d'un amplificateur. Aussi, plusieurs techniques ont été développées pour faciliter son évaluation [269] ou pour l'accélérer pour certaines applications spécifiques [270–273].

A.4 L'EVM

L'EVM (*Error Vector Measurement*) représente, sur un diagramme de constellation, le décalage entre un symbole démodulé issu de la mesure après transmission ou amplification et le symbole idéal attendu tel qu'il aurait dû être si le système était parfaitement linéaire. La figure A.5 schématise cette mesure. L'EVM fournit en particulier des informations sur l'erreur de gain et de phase du signal reçu.

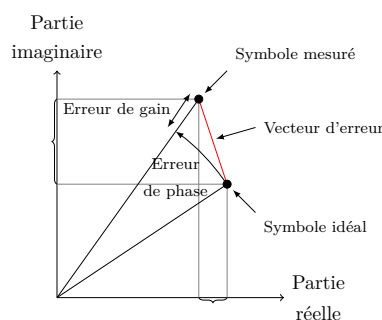


FIGURE A.5 – Représentation de l'EVM sur un diagramme de constellation

Dans certaines conditions, l'EVM et le NPR peuvent être déduits l'un de l'autre. De ce fait, la mesure d'un des deux critères permet de déduire l'autre critère [268].

A.5 Les effets mémoire

Lors de l'étude d'amplificateurs, il est souvent supposé que le signal en sortie de l'amplificateur à un instant donné n'est fonction que du signal d'entrée à cet instant : il s'agit du comportement statique ou sans mémoire de l'amplificateur. Or le signal en sortie de l'amplificateur dépend non seulement de l'amplitude du signal d'entrée, mais aussi de sa fréquence, ainsi que des conditions d'utilisation et environnementales. Ces effets, appelés effets mémoire de l'amplificateur, se manifestent par exemple par une dépendance des caractéristiques AM/AM et AM/PM à la fréquence et à la largeur de bande du signal d'entrée.

Ces phénomènes non-linéaires dynamiques se décomposent en deux catégories distinctes : les effets Hautes Fréquences d'une part, et les effets Basses Fréquences d'autre part.

A.5.1 Les effets mémoire Hautes Fréquences

Les effets mémoire Hautes Fréquences (HF) découlent de la limitation de la bande passante des amplificateurs. Il s'agit d'effets à constantes de temps courtes résultant principalement du temps de parcours du signal dans le tube ou les transistors et dans les réseaux d'adaptation. Les effets mémoires HF sont ainsi principalement liés [274] :

- aux dispersions fréquentielles des éléments des circuits d'adaptation d'impédance en entrée, entre les différents étages d'amplification et en sortie ;
- aux caractéristiques physiques des composants actifs (transistors ou tubes) ;
- à l'interaction entre les circuits d'adaptation et les composants actifs.

L'effet mémoire HF se manifeste aussi bien dans les amplificateurs à tube que dans les amplificateurs à transistors mais sont beaucoup plus élevés dans les ATOP. En effet, les grands gains mis en œuvre dans cette technologie, couplés aux dispersions fréquentielles des circuits d'adaptation d'impédance, peuvent créer des réflexions ou résonances dans le tube à vide qui viennent perturber le fonctionnement nominal de l'amplificateur [20].

Les effets mémoires HF peuvent être mis en évidence de différentes manières. D'abord, ils se manifestent par des modifications de la caractéristique de transfert en fréquence et de la bande passante en fonction de la puissance appliquée en entrée de l'amplificateur, comme le met en évidence la figure A.6 [274] .

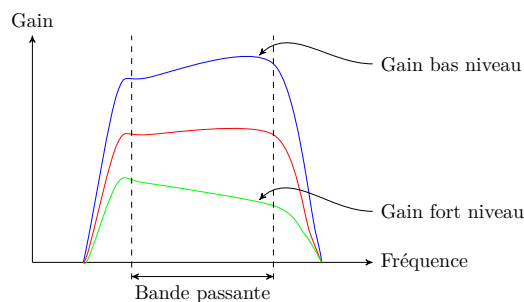


FIGURE A.6 – Gain d'un amplificateur de puissance en fonction de la fréquence et de la puissance en entrée d'amplificateur mettant en évidence les effets mémoires HF

Une autre manifestation des effets mémoire HF dans les amplificateurs de puissance se produit lors d'une caractérisation à l'aide d'un signal à deux tons : les amplitudes

et/ou phases des produits d'intermodulation à droite et à gauche ne sont pas égales et ces asymétries dépendent de l'écart en fréquence des deux tons originaux [20,275] (Figure A.7).

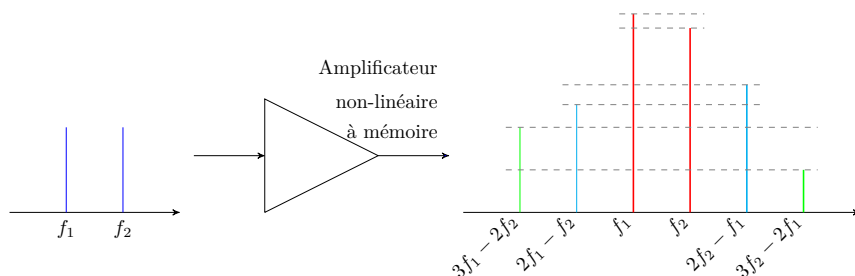


FIGURE A.7 – Mise en évidence des effets mémoires HF lors d'une caractérisation par un signal à deux tons

Les caractéristiques AM/AM et AM/PM d'un amplificateur à différentes fréquences permettent également de mettre évidence les dispersions fréquentielles dans son comportement et donc les effets mémoire du HPA. La figure A.8 par exemple, représentant la caractéristique AM/PM de l'amplificateur TEDCENS à plusieurs fréquences, met ce phénomène en évidence.

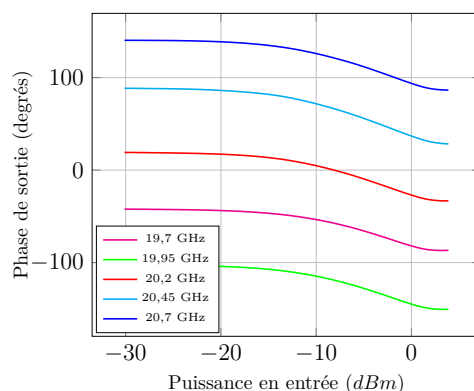


FIGURE A.8 – Mise en évidence des effets mémoires HF sur la caractéristique AM/PM de l'amplificateur TEDCENS

Enfin, une dernière méthode pour mettre en évidence les effets mémoire HF est d'établir les courbes de conversion AM/AM et AM/PM de l'amplificateur avec un signal d'entrée à deux porteuses modulées (selon le standard WCDMA par exemple). La dépendance de la réponse de l'amplificateur TEDCENS aux différentes fréquences contenues dans le signal d'entrée se manifeste par un nuage de points sur les caractéristiques AM/AM et AM/PM [72,276] comme l'illustre la figure A.9.

A.5.2 Les effets mémoire Basses Fréquences

À la différence des effets mémoire HF, les effets Basses Fréquences (BF) se produisent avec des constantes de temps longues (de la μs à la ms). Ils sont principalement engendrés par deux phénomènes [273,277]. D'une part, des effets mémoire dits électriques

A. TECHNIQUES DE REPRÉSENTATION DES NON-LINÉARITÉS D'UN AMPLIFICATEUR DE PUISSANCE

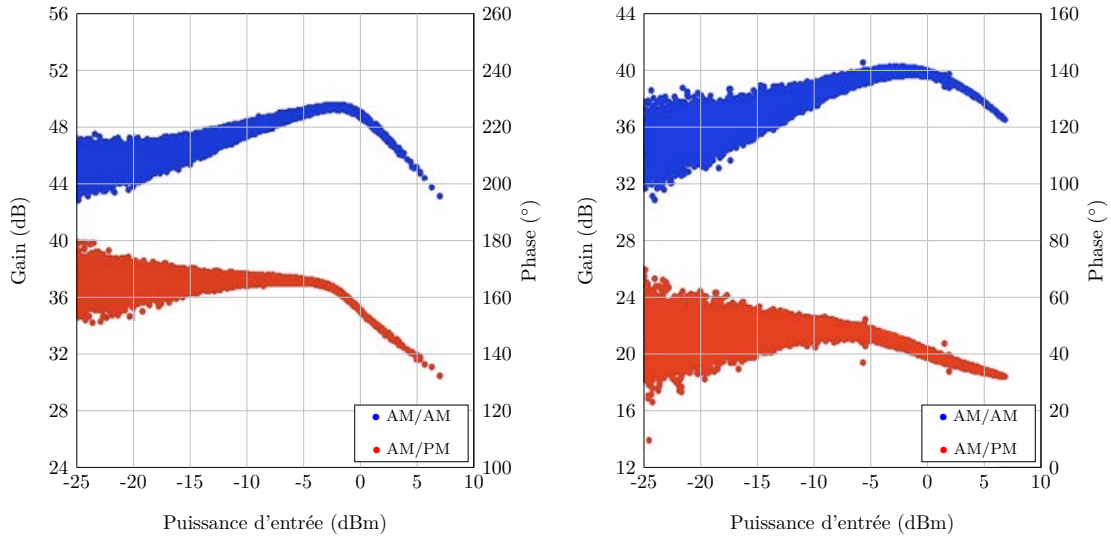


FIGURE A.9 – Caractéristiques AM/AM et AM/PM de deux amplificateurs excités par un signal à deux porteuses modulées. À gauche : amplificateur 100W à 2140 MHz | À droite : amplificateur 10W à 1950MHz

sont causés par les circuits électriques autour de l'amplificateur, notamment par les fluctuations d'impédances présentées par le circuit de polarisation aux accès des transistors et, dans une moindre mesure et uniquement pour les SSPA, par d'éventuels pièges dans les structures cristallines semi-conducteur des composants [278,279]. D'autre part, des effets mémoire dit électrothermiques sont induits par les variations de température de l'amplificateur et des composants environnants. Grâce à leur grande stabilité en température, les amplificateurs à tube sont peu sensibles à cet effet mémoire.

Ces effets mémoire BF influencent particulièrement les caractéristiques d'un amplificateur lorsque celui-ci est soumis à un signal d'excitation à enveloppe variable générant un spectre basses fréquences. Si l'amplificateur et l'électronique environnante ne sont pas correctement régulés thermiquement, ils subissent de fortes variations de température à la fréquence de l'enveloppe. Les circuits de polarisation notamment sont perturbés ; le point de fonctionnement de l'amplificateur est alors modulé à cette même basse fréquence, provoquant une déformation de l'enveloppe du signal modulé (Figure A.10).

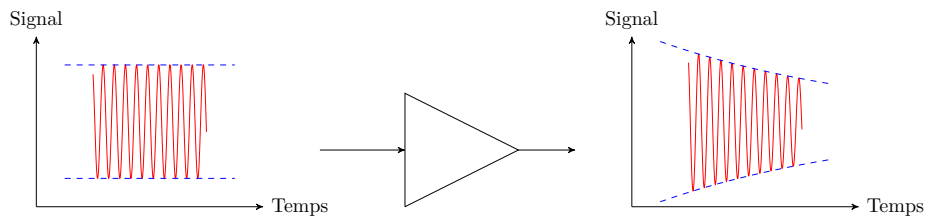


FIGURE A.10 – Conséquence des effets mémoire BF sur l'enveloppe du signal

ANNEXE B

Techniques de modélisation et implantation des non-linéarités d'un amplificateur de puissance

Les travaux présentés dans ce tapuscrit exploitent les caractéristiques expérimentales des HPA pour déterminer les caractéristiques de prédistorsion associées, grâce à un procédé innovant détaillé au chapitre II.1. Le chapitre II.3 démontre ensuite l'intérêt de modéliser ces caractéristiques par des réseaux de neurones, reconnus pour leur précision, leur parcimonie et leur reconfigurabilité.

Il existe pourtant beaucoup d'autres techniques de linéarisation d'amplificateurs de puissance, nécessitant la modélisation des caractéristiques AM/AM et AM/PM du HPA et/ou celle des fonctions de prédistorsion. Aussi, de nombreuses études sur la modélisation de non-linéarités ont été menées. Cette annexe présente, dans un premier temps, les méthodes les plus courantes et leurs performances, évaluées suivant plusieurs critères :

- la précision ;
- le coût de calcul ;
- le nombre de paramètres mis en jeu ;
- la prise en compte (ou non) des effets mémoire (voir Annexe A).

Dans un second temps, l'implantation de ces techniques au sein de système physique est détaillée. Pour chaque méthode, les avantages et les inconvénients sont également énoncés.

Ces techniques sont utilisées dans le contexte de la linéarisation d'amplificateurs de puissance. Les fonctions non-linéaires modélisées représentent donc les caractéristiques d'un HPA ou les fonctions de transfert d'un linéariseur. Dans toute la suite, les variables x et y désignent respectivement l'entrée et la sortie du système étudié (amplificateur ou linéariseur) et g et ϕ désignent les fonctions approchant les caractéristiques respectivement en amplitude et en phase.

B.1 Modèles sans prise en compte des effets mémoire

B.1.1 Le modèle polynomial

Mathématiquement, la solution la plus simple pour décrire une non-linéarité est de l'approcher par un polynôme. Le modèle du système étudié peut alors s'écrire :

B. TECHNIQUES DE MODÉLISATION ET IMPLANTATION DES NON-LINÉARITÉS D'UN AMPLIFICATEUR DE PUISSANCE

$$\begin{aligned} g(|x(t)|) &= \sum_{i=0}^{N_g} a_i |x(t)|^i \\ &= a_0 + a_1 |x(t)| + a_2 |x(t)|^2 + \dots + a_{N_g} |x(t)|^{N_g} \end{aligned} \quad (\text{B.1})$$

$$\begin{aligned} \phi(|x(t)|) &= \sum_{i=0}^{N_\phi} b_i |x(t)|^i \\ &= b_0 + b_1 |x(t)| + b_2 |x(t)|^2 + \dots + b_{N_\phi} |x(t)|^{N_\phi} \end{aligned} \quad (\text{B.2})$$

avec les paramètres a_i et b_i des réels décrivant le comportement du composant étudié.

Le modèle polynomial est utilisé dans de nombreux problèmes d'estimations de non-linéarités [66–68] et notamment dans la conception de systèmes de prédistorsion [85, 280]. Il est simple, mais n'est efficace que pour de faibles non-linéarités et pour de faibles largeurs de bande.

B.1.2 Le modèle de Saleh

Un des modèles les plus répandus pour décrire un amplificateur de puissance a été proposé en 1983 par A. M. Saleh [281]. Les caractéristiques AM/AM et AM/PM sont décrites par les relations suivantes :

$$g(|x(t)|) = \frac{\alpha_0 \cdot |x(t)|}{1 + \alpha_1 \cdot |x(t)|^2} \quad (\text{B.3})$$

$$\phi(|x(t)|) = \frac{\beta_0 \cdot |x(t)|^2}{1 + \beta_1 \cdot |x(t)|^2} \quad (\text{B.4})$$

avec les paramètres α_0 , α_1 , β_0 et β_1 des réels décrivant le comportement de l'amplificateur ou du linéariseur.

Le signal $y(t)$ en sortie du système est fonction de l'entrée $x(t)$ par la relation :

$$y(t) = g(|x(t)|) \cdot e^{j \cdot (\phi(|x(t)|) + \angle x(t))} \quad (\text{B.5})$$

où $\angle x(t)$ représente la phase du signal d'entrée [282].

Le modèle de Saleh est très utilisé à la fois dans la caractérisation de non-linéarités d'amplificateurs et dans la conception de systèmes de prédistorsion [82, 83, 86, 280, 283–287]. Le modèle est très simple, ne comptant que 4 paramètres, mais n'est efficace que pour les Amplificateurs à Tube à Ondes Progressives à faible largeur de bande et manque de finesse.

B.1.3 Le modèle de Ghorbani

Le modèle de Saleh n'est adapté qu'aux Amplificateurs à Tube à Ondes Progressives et n'est pas assez performant pour modéliser les SSPA qui présentent une compression à la saturation et une variation de phase bien plus faible que les ATOP. Le modèle de Ghorbani [288] permet de combler cette lacune. Les caractéristiques AM/AM et AM/PM sont décrites par les relations suivantes :

$$g(|x(t)|) = \frac{\alpha_0 \cdot |x(t)|^{\alpha_1}}{1 + \alpha_2 \cdot |x(t)|^{\alpha_1}} + \alpha_3 |x(t)| \quad (\text{B.6})$$

$$\phi(|x(t)|) = \frac{\beta_0 \cdot |x(t)|^{\beta_1}}{1 + \beta_2 \cdot |x(t)|^{\beta_1}} + \beta_3 |x(t)| \quad (\text{B.7})$$

avec les paramètres α_i , β_i des réels décrivant le comportement de l'amplificateur ou du linéariseur.

Ce modèle ne comporte que quatre paramètres, mais il souffre d'imprécisions et son utilisation reste limité aux SSPA, pour de faibles non-linéarités et de faibles largeurs de bande.

B.1.4 Le modèle de Rapp

Le modèle de Rapp [289] diffère profondément des deux modèles précédents. Tout d'abord, la distorsion de phase est supposée suffisamment faible pour être négligée. Ensuite, les paramètres de la distorsion en amplitude peuvent être directement extraits de la caractéristique AM/AM du dispositif étudié :

$$g(|x(t)|) = g_0 \frac{|x(t)|}{\left(1 + \left(\frac{g_0 |x(t)|}{X_{sat}}\right)^{2r}\right)^{\frac{1}{2r}}} \quad (\text{B.8})$$

$$\phi(|x(t)|) = 0 \quad (\text{B.9})$$

où g_0 est le gain petit signal, X_{sat} l'amplitude de saturation et r un paramètre décrivant la courbure de la transition entre les zones de fonctionnements linéaire et non-linéaire.

Comme le modèle de Saleh, ce modèle est très utilisé [280, 283, 284, 287] et un dérivé de ce modèle, permettant d'obtenir une description encore plus fine d'un amplificateur, a été proposé [290, 291]. Très simple, il ne décrit toutefois pas les déformations de phase, ce qui peut se révéler critique selon la modulation utilisée et l'application visée

B.1.5 Le modèle de White

Le modèle de White [292] est spécifique aux SSPA utilisés en bande Ka (entre 26 et 40 GHz).

Les caractéristiques AM/AM et AM/PM sont décrites par les relations suivantes :

$$g(|x(t)|) = X_{sat}(1 - e^{-g_0 |x(t)|}) + \alpha_0 |x(t)| e^{-\alpha_1 |x(t)|^2} \quad (\text{B.10})$$

$$\phi(|x(t)|) = \begin{cases} \beta_0(1 - e^{-\beta_1(|x(t)| - \beta_2)}), & |x(t)| \geq \beta_2 \\ 0, & |x(t)| < \beta_2 \end{cases} \quad (\text{B.11})$$

Comme dans le modèle de Rapp, g_0 est le gain petit signal et X_{sat} l'amplitude de saturation et peuvent être extraits directement de la caractéristique AM/AM du dispositif étudié. α_0 et α_1 sont déterminés empiriquement de manière à approcher de façon optimale les non-linéarités en amplitude. Les paramètres de phase peuvent être extraits de la caractéristique AM/PM : β_0 représente la dynamique de phase, β_1 la pente moyenne de la caractéristique AM/PM et β_2 la valeur moyenne de la phase.

L'utilisation de modèles sans prise en compte des effets mémoire peut se justifier lorsque la bande passante du signal d'entrée est étroite par rapport à la bande passante du système étudié. En revanche, lorsque la bande passante s'élargit, ces modèles ne sont plus assez précis ; d'autres méthodes, prenant en compte les effets mémoire, peuvent être utilisées.

B.2 Modèles avec prise en compte des effets mémoire

B.2.1 Les séries de Volterra

Les séries de Volterra, développées par le mathématicien italien Vito Volterra (1860–1940), permettent de décrire avec précision des systèmes non-linéaires avec ou sans effets mémoire. Cependant, cette précision requiert une importante charge de calcul et le nombre des paramètres qu'elles mettent en jeu croît très rapidement avec la profondeur de la mémoire et l'ordre de la non-linéarité du système à représenter. Aussi, l'utilisation directe des séries de Volterra est rare. De nombreuses simplifications ont néanmoins été proposée afin d'offrir un bon compromis entre la finesse du modèle et le coût en calcul.

B.2.1.1 Principe

Les séries de Volterra décrivent la réponse d'un système non-linéaire à partir de l'entrée à l'instant présent et aux instants précédents : le modèle permet ainsi de prendre en compte les effets mémoire [69].

Mathématiquement, une série Volterra se présente sous la forme d'une somme infinie de produits de convolution multidimensionnels. Son modèle à temps discret le plus couramment rencontré [70, 71] s'exprime par :

$$y(k) = h_0 + \sum_{n=1}^{\infty} h_n((x(k))) \quad (\text{B.12})$$

avec

$$h_n(k) = \sum_{\tau_1=0}^{\infty} \sum_{\tau_2=0}^{\infty} \dots \sum_{\tau_n=0}^{\infty} h_n(\tau_1, \tau_2, \dots, \tau_n) x(k - \tau_1) x(k - \tau_2) \dots x(k - \tau_n) \quad (\text{B.13})$$

Les fonctions $h_i(\tau_1, \tau_2, \dots, \tau_i)$ sont appelées noyaux de la série de Volterra d'ordre i . Le noyau d'ordre 0 est une constante, le noyau d'ordre 1 un filtre linéaire et les autres noyaux des convolutions d'ordre supérieurs.

La figure B.1 représente le diagramme de modélisation par séries de Volterra.

La somme infinie de l'équation B.12 n'est pas exploitable et la série doit être tronquée :

$$y(k) = h_0 + \sum_{n=1}^N h_n((x(k))) \quad (\text{B.14})$$

B.2. MODÈLES AVEC PRISE EN COMPTE DES EFFETS MÉMOIRE

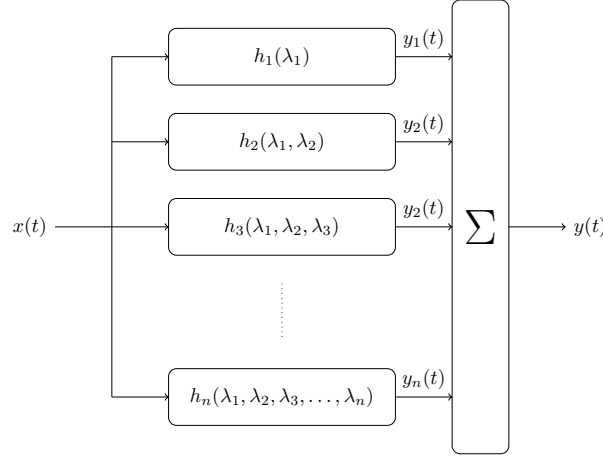


FIGURE B.1 – Modélisation par séries de Volterra

et

$$h_n(k) = \sum_{\tau_1=0}^{K-1} \sum_{\tau_2=0}^{K-1} \dots \sum_{\tau_n=0}^{K-1} h_n(\tau_1, \tau_2, \dots, \tau_n) x(k - \tau_1) x(k - \tau_2) \dots x(k - \tau_n) \quad (\text{B.15})$$

L'indice N est appelée degré ou ordre de la série, $K - 1$ sa longueur, et K sa mémoire. Les équations B.14 et B.15 révèlent que le nombre de coefficients est K^N . Même pour des ordres et des longueurs peu élevés, les séries de Volterra sont donc difficilement exploitables et implantables. Par ailleurs, il peut être impossible de déterminer ces paramètres pour des non-linéarités très fortes (pour des fonctions non-continues ou non-différentiables par exemple) [293–296]. Les séries de Volterra ont cependant été utilisées avec succès dans de nombreuses applications [71, 297–303].

Afin de contourner les limitations des séries de Volterra, deux simplifications ont été proposées : l'approximation des séries par des polynômes et l'approche par filtrage linéaire.

B.2.1.2 Approximation polynômiale

L'approximation par des polynômes des séries de Volterra bénéficie des avantages de ces séries : elle est précise et prend en compte les effets mémoire. La similarité de la structure de l'approximation polynomiale avec celle d'un filtre à réponse impulsionnelle finie (ou FIR pour *Finite Impulse Response (Filter)*) rend cette approche particulièrement intéressante dans une optique d'implantation. La figure B.2 présente la structure d'un filtre FIR et l'équation B.16 sa réponse impulsionnelle. La fonction z^{-1} représente un retard unitaire d'un échantillon.

$$y(k) = \sum_{i=0}^K b_i(x(k - i)), \quad b_i \in \mathbb{R} \quad (\text{B.16})$$

Or l'expression du modèle polynomial des séries de Volterra à temps discret est :

$$y(k) = \sum_{\tau=0}^K F_q(x(k - \tau)) \quad (\text{B.17})$$

B. TECHNIQUES DE MODÉLISATION ET IMPLANTATION DES NON-LIÉARITÉS D'UN AMPLIFICATEUR DE PUISSANCE

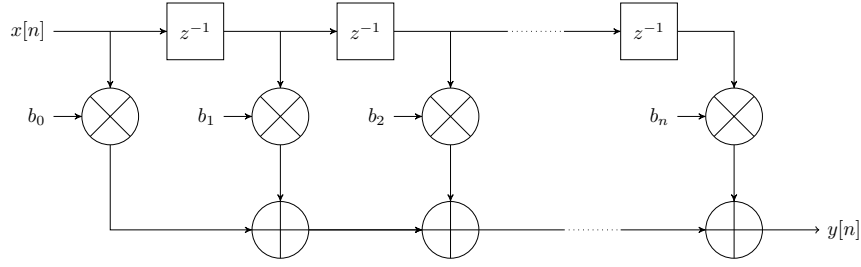


FIGURE B.2 – Structure d'un filtre à réponse impulsionnelle finie

où F_q un polynôme approchant une fonction non-linéaire et dépendant du retard du signal d'entrée [304–306].

En substituant aux multiplications à coefficients réels b_i du filtre FIR les fonctions non-linéaires F_q , la structure de la figure B.2 modélise l'approximation des séries de Volterra par polynômes, comme l'illustre la figure B.3. Sans prise en compte de l'effet mémoire ($K = 0$), l'expression de la modélisation correspond à l'expression B.2.

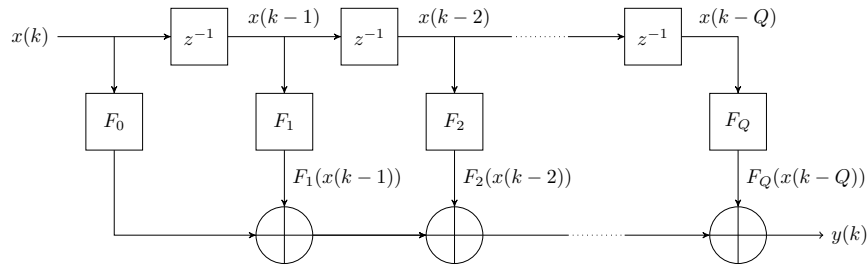


FIGURE B.3 – Approximation polynomiale des séries de Volterra

B.2.1.3 Modèle d'Hammerstein, Wiener et Hammerstein-Wiener

Les séries de Volterra peuvent également être approchée par une structure combinant une non-linéarité sans mémoire et un filtre linéaire dynamique [84]. La non-linéarité statique est décrite par l'équation B.18 et est souvent implantée sous forme d'un polynôme. Le filtre linéaire dynamique est régi par l'équation B.19.

$$y_{NL}(k) = g(x_{NL}(k)) \quad (\text{B.18})$$

$$y_{\text{filtre}}(k) = \sum_{\tau=0}^{K-1} h(\tau)x_{\text{filtre}}(k-\tau) \quad (\text{B.19})$$

Plusieurs topologies utilisant ces fonctions ont été proposées, représentées sur les figures B.4, B.5 et B.6. Lorsque la non-linéarité précède le filtre, il s'agit du modèle de Hammerstein ; lorsqu'elle suit, il s'agit du modèle de Wiener ; enfin, lorsque la non-linéarité est encadrée par deux filtres, la structure s'appelle modèle de Hammerstein-Wiener [84].

Ces modèles répondent respectivement aux équations B.20, B.21 et B.22 :

B.2. MODÈLES AVEC PRISE EN COMPTE DES EFFETS MÉMOIRE

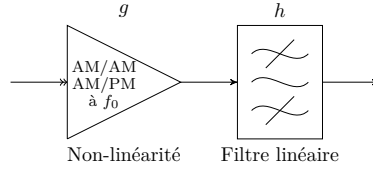


FIGURE B.4 – Modèle de Hammerstein

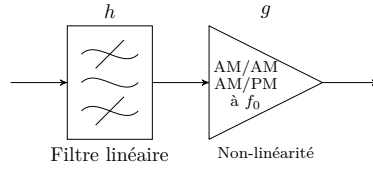


FIGURE B.5 – Modèle de Wiener

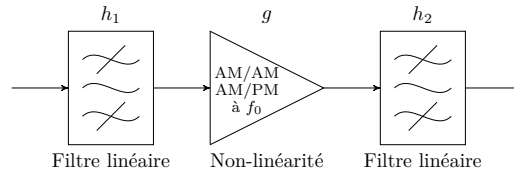


FIGURE B.6 – Modèle de Hammerstein-Wiener

$$y_H(k) = \sum_{\tau=0}^{K-1} h(\tau) g(x_H(k - \tau)) \quad (\text{B.20})$$

$$y_W(k) = g\left(\sum_{\tau=0}^{K-1} h(\tau) x_W(k - \tau)\right) \quad (\text{B.21})$$

$$y_{H-W}(k) = \sum_{\tau_2=0}^{K_2-1} h_2(\tau_2) g\left(\sum_{\tau_1=0}^{K_1-1} h_1(\tau_1 + \tau_2) x_{H-W}(k - \tau_1 - \tau_2)\right) \quad (\text{B.22})$$

Les modèles de Hammerstein, de Wiener et de Hammerstein-Wiener permettent d'émuler les séries de Volterra et ils ont été utilisés de nombreuses fois avec succès pour modéliser avec précision des amplificateurs de puissance ou des fonctions de prédistorsion [85–91]. Toutefois, l'extraction des paramètres des filtres et de la fonction non-linéaire peut s'avérer particulièrement lourde et difficile [67, 91, 307–309].

B.2.1.4 Le Modèle de Wiener Parallèle

Inspirée de la modélisation par séries de Volterra de la figure B.1, une solution, schématisée sur la figure B.7 et consistant à mettre en parallèle des modèles de Wiener, a été proposée [92].

Cette structure permet d'affiner encore la modélisation des caractéristiques des composants testés, mais l'extraction de ses paramètres est extrêmement compliquée [93].

Dans le cas où les filtres se comportent uniquement comme des lignes à retard, la structure Wiener parallèle est équivalente au modèle polynomial à mémoire de la fi-

B. TECHNIQUES DE MODÉLISATION ET IMPLANTATION DES NON-LINÉARITÉS D'UN AMPLIFICATEUR DE PUISSANCE

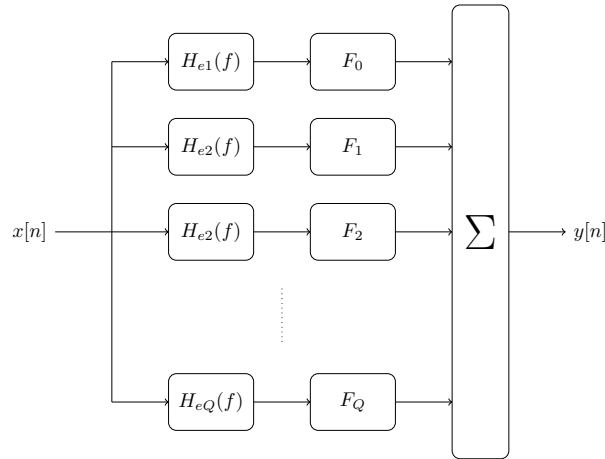


FIGURE B.7 – Modèle de Wiener parallèle

gure B.3. Le modèle polynomial à mémoire peut donc être perçu comme un cas particulier du modèle Wiener parallèle.

B.2.1.5 Synthèse

La figure B.8 illustre les liens entre les différentes adaptations des séries de Volterra présentées ci-dessus. Chaque flèche représente une simplification par rapport au modèle des séries de Volterra originelles. Une simplification permet d'optimiser la précision, la rapidité, la mise en œuvre, etc. du modèle selon le composant utilisé ou l'application visée.

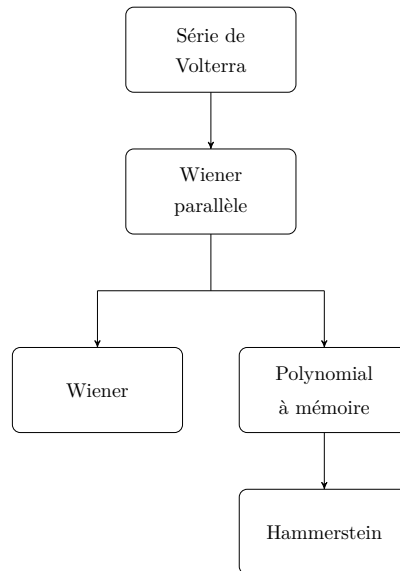


FIGURE B.8 – Synthèse des séries de Volterra et dérivés

Certains modèles, combinant plusieurs de ces adaptations des séries de Volterra, comme le modèle de Hammerstein-Wiener, ont été proposés [305, 310, 311]. Malgré leur performances, ces systèmes sont complexes à concevoir, à réaliser et à mettre en œuvre et sont rarement utilisés, en particulier dans un contexte de systèmes embarqués.

B.2.2 Les réseaux de neurones artificiels

Bien qu'ils aient déjà été présentés au chapitre II.3, les réseaux de neurones et leur propriétés sont de nouveau brièvement décrits dans ce paragraphe.

Les réseaux de neurones artificiels sont un outil mathématique couramment utilisé dans le domaine de l'approximation paramétrique. Ce sont des approximateurs universels et possèdent un champ d'applications extrêmement vaste qui dépasse celui de la simple modélisation comportementale ou même de l'électronique : surveillance industrielle, classification, robotique. Ils constituent donc une technique efficace pour la modélisation des amplificateurs de puissance et/ou des fonctions de prédistorsion [312].

Les réseaux de neurones artificiels présentent de nombreux avantages. D'abord, un unique réseau de neurones est capable de modéliser le comportement de nombreux systèmes : linéaire, faiblement non-linéaire ou fortement non-linéaire, avec ou sans effet mémoire [76–78]. Ensuite, les réseaux de neurones sont dits parcimonieux. Contrairement aux modèles présentés précédemment dans lesquels la qualité de la modélisation dépend linéairement – voire exponentiellement – du nombre de paramètres, les réseaux de neurones ne nécessitent que peu de coefficients pour être performants.

La difficulté dans l'utilisation des réseaux de neurones réside dans le choix de l'architecture (nombre de neurones, interconnexions) et l'identification des poids et biais. Des techniques ont été proposées pour répondre à la première problématique [10] mais elles ne sont pas systématiques ni universelles et les architectures envisagées doivent toutes être testées avec soin afin de déterminer celle qui répondra le mieux au(x) besoin(s) [23, 82, 83, 126, 313].

B.2.3 Bilan

Le tableau B.8 regroupe toutes les techniques de modélisation de caractéristiques d'amplificateurs ou de linéariseurs recensées dans la première partie de cette annexe. Il met en évidence le compromis à effectuer entre la précision de la modélisation et son coût en puissance de calcul.

Le modèle de Saleh ou le modèle polynomial sans mémoire sont les plus simples à employer mais leur précision est limitée autour d'une fréquence de fonctionnement donnée pour laquelle le composant a été caractérisé [68, 282].

A l'inverse, la modélisation par les séries de Volterra est très fine, permet de prendre en compte les effets mémoire mais nécessite une puissance de calcul phénoménale et est limitée aux faibles bandes passantes, tout comme ses dérivées (modèles de Hammerstein, Wiener et Hammerstein-Wiener). En revanche, les structures Wiener parallèle et polynomiales à mémoire présentent une bande passante de modélisation plus large et leur topologie se rapprochant de celle des filtres numériques permet la mise en place d'algorithmes optimisés pour la modélisation.

Les réseaux de neurones, quant à eux, présentent une excellente précision de la modélisation, avec prise en compte ou non des effets mémoire. Ils sont en outre aisément implantables au sein d'une application. Enfin, ils ne nécessitent que peu de paramètres mais leur utilisation est compliquée par l'identification de ces derniers.

B. TECHNIQUES DE MODÉLISATION ET IMPLANTATION DES NON-LINÉARITÉS D'UN AMPLIFICATEUR DE PUISSANCE

TABLEAU B.8 – Comparaison des différentes techniques de modélisation de caractéristiques non-linéaires

Modélisation	Amplificateur concerné	Effets mémoire	Complexité de calcul	Précision	Bande de fréquence
Polynomial sans mémoire	ATOP/SSPA	Non	Simple	Faible	Faible
Saleh	ATOP	Non	Simple	Faible	Faible
Ghorbani	SSPA	Non	Simple	Faible	Faible
Rapp	ATOP/SSPA	Non	Simple	Faible	Faible
White	SSPA	Non	Simple	Faible	Faible
Volterra	ATOP/SSPA	Oui	Très complexe	Très grande	Faible
Polynomial à mémoire	ATOP/SSPA	Oui	Complexe	Grande	Grande
Hammerstein	ATOP	Oui	Complexe	Grande	Faible
Wiener	ATOP/SSPA	Oui	Complexe	Grande	Faible
Hammerstein-Wiener	ATOP	Oui	Très complexe	Grande	Faible
Wiener parallèle	ATOP/SSPA	Oui	Complexe	Grande	Grande
Réseaux de neurones	ATOP/SSPA	Oui	Complexe	Très grande	Grande

B.3 Implantations existantes de fonctions de prédistorsion

De nombreuses implantations de systèmes de prédistorsion ont été testées, mettant en jeu différentes technologies. Certaines réalisent physiquement des fonctions de Volterra et dérivés [300], d'autres utilisent des mémoires contenant les fonctions de prédistorsion échantillonnées [314], et d'autres encore utilisent une implantation physique de réseaux de neurones [27]. Ce paragraphe décrit les différentes implantations connues, avec leurs avantages et leurs inconvénients.

B.3.1 Les modèles à diode et transistors

Les réalisations de prédistorsion les plus simples consistent à réaliser une linéarisation analogique directement sur le signal modulé à Hautes Fréquences à l'aide de diodes ou de transistors.

B.3.1.1 Principe

La méthode la plus simple d'implantation d'un système de linéarisation consiste à exploiter les propriétés résistives et capacitives d'une diode pour réaliser en même temps une compensation en amplitude et une compensation en phase [315], comme le schématise la figure B.9. La diode est modélisée comme une résistance variable R_D , dont la valeur dépend de la puissance qui la traverse, en parallèle avec une capacité parasite C_P . En ajustant R_D et C_P grâce aux paramètres physiques de la diode en fonction de la forme des distorsions de l'amplificateur, il est alors possible de linéariser ce dernier.

Un autre circuit très simple, présenté sur la figure B.10, peut être réalisé à base

B.3. IMPLANTATIONS EXISTANTES DE FONCTIONS DE PRÉDISTORSION

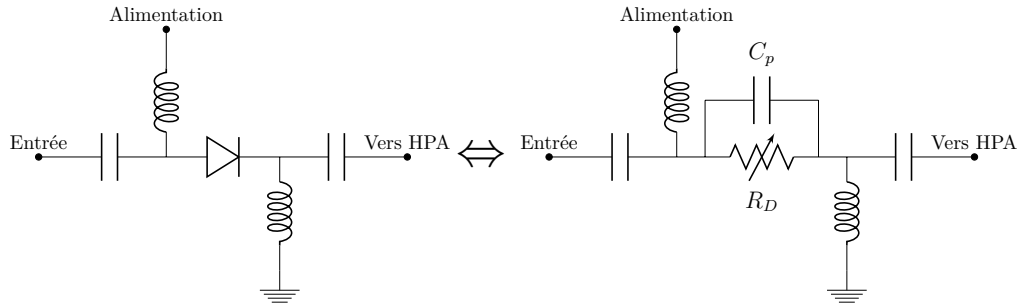


FIGURE B.9 – Prédistorsion à base de diode

de transistors FET montés en cascode [316]. Le transistor FET_1 monté en grille commune compense le gain grâce à la commande de la tension grille V_G . En agissant sur les transconductances g_{DS} et les capacités intrinsèques de transistors, et éventuellement à l'aide d'inductances (en pointillés sur la figure), les distorsions de phase peuvent être corrigées [317, 318]

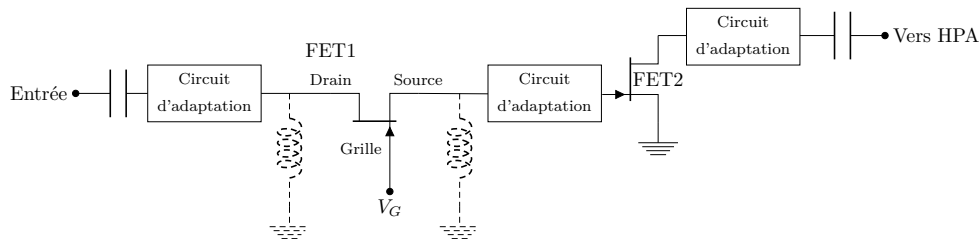


FIGURE B.10 – Prédistorsion à base de transistors montés en cascode

B.3.1.2 Type d'implantation et modèle associés

Les modèles utilisés pour décrire ces composants et les dimensionner sont des polynômes. Ces deux circuits purement analogiques correspondent ainsi à l'implantation physique du modèle polynomial sans mémoire.

B.3.1.3 Avantages et inconvénients

Ces circuits sont très simples et ont une consommation très faible, mais ils présentent des inconvénients majeurs : la prédistorsion n'est précise que sur un domaine très réduit, n'est pas adaptative ni générique et ne prend pas en compte les effets mémoire.

B.3.2 Les tables d'équivalence

B.3.2.1 Principe

L'implantation de linéariseur à base de tables d'équivalence (ou LUT pour *Look-Up Table*) consiste à stocker dans une mémoire indexée les facteurs de corrections de gain et de phase. L'opération de prédistorsion consiste à déterminer, pour chaque échantillon à l'entrée du module de prédistorsion, l'adresse mémoire correspondant à l'amplitude de l'enveloppe de cet échantillon et à appliquer le facteur correctif en gain et en phase lue à cette adresse dans la table d'équivalence [72]. La figure B.11 illustre ce procédé.

B. TECHNIQUES DE MODÉLISATION ET IMPLANTATION DES NON-LIÉARITÉS D'UN AMPLIFICATEUR DE PUISSANCE

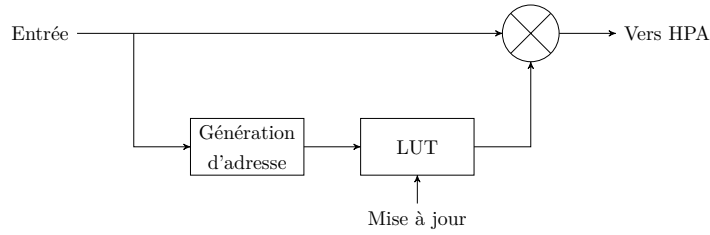


FIGURE B.11 – Prédistorsion utilisant une table d'équivalence

Il existe une grande variété d'architectures de linéariseur mettant en jeu des LUT dans la littérature. Les principales différences résident dans le type des tables et la façon de les indexer. Les facteurs de corrections peuvent ainsi être stockés dans une seule table à deux dimensions contenant, pour chaque couple de valeurs de signal d'entrée (I_e, Q_e) un couple de facteurs de correction (I_c, Q_c) [73]. Deux tables à une dimension peuvent également être implantées et contiennent respectivement les facteurs de correction en gain et en phase classés en fonction de l'amplitude du signal d'entrée [74, 75].

B.3.2.2 Types d'implantation et modèles associés

L'implantation de LUT est soit entièrement numérique (indexation numérique de valeurs numériques de prédistorsion), soit analogique-numérique (indexation numérique de valeurs analogiques de prédistorsion). Les tables d'équivalence permettent de décrire de nombreux modèles : les coefficients contenus dans la mémoire peuvent être calculés à partir de polynômes ou de séries de Volterra par exemple mais l'utilisation la plus simple et la plus fréquemment rencontrée décrit le modèle de Saleh.

B.3.2.3 Avantages et inconvénients

Les LUT ont souvent été et sont encore très utilisées dans les systèmes de linéarisation d'amplificateurs de puissance. Un de leurs avantages est la possibilité de pouvoir modifier les coefficients sans modifier toute la structure du système pour adapter la prédistorsion à différents amplificateurs. Il est en revanche délicat de modifier les coefficients durant l'utilisation pour prendre en compte les dérives des HPA : elles sont donc peu adaptatives. En outre, la précision des compensations est limitée et dépend fortement de la profondeur des tables. Si quelques topologies permettent de prendre en compte les effets mémoire [319], elles sont difficiles à mettre en œuvre, et peu exploitées. En outre, le traitement de la prédistorsion est long car il requiert la détermination d'une adresse de lecture et l'extraction de la valeur de prédistorsion à cette adresse pour chaque échantillon ; la fréquence de travail est donc fortement limitée. Enfin, la consommation d'un module de prédistorsion à base de tables d'équivalence est constante et dépend de l'architecture retenue : des LUT de grandes tailles et fonctionnant rapidement peuvent présenter une consommation élevée.

B.3.3 Le traitement numérique

B.3.3.1 Principe

La prédistorsion numérique consiste à convertir les signaux à linéariser sous forme numérique par l'intermédiaire de convertisseurs analogique-numérique (CAN) (si ces don-

B.3. IMPLANTATIONS EXISTANTES DE FONCTIONS DE PRÉDISTORSION

nées ne sont pas déjà disponibles sous forme numérique). Ces données converties sont ensuite traitées par un circuit numérique comme un DSP ou un FPGA (ou une combinaison des deux) puis de nouveau converties sous forme analogique via des convertisseurs numérique-analogique (CNA) avant d'être appliquées en entrée du HPA. Cette méthode est décrite sur la figure B.12. Le signal en sortie de l'amplificateur peut être atténué, reconverti sous forme numérique et analysé afin de mettre à jour le DSP ou le FPGA en fonction des dérives du HPA : les systèmes de prédistorsion numérique sont en général adaptatifs.

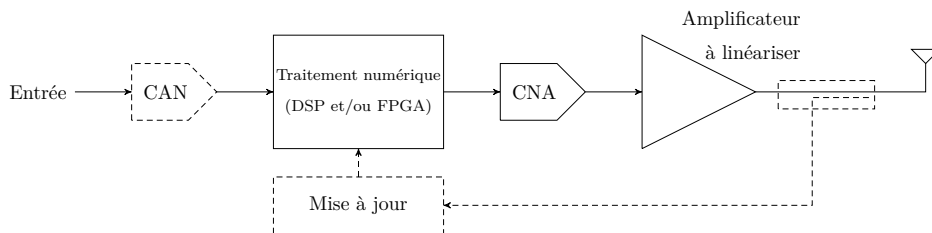


FIGURE B.12 – Architecture générique de prédistorsion numérique

B.3.3.2 Types d'implantation et modèles associés

L'opération de prédistorsion numérique consiste à modéliser sur des données numérisées les mêmes opérations que sur des données analogiques. Ce type d'implantation permet donc d'émuler des fonctions de prédistorsion basées sur les modèles polynomiaux avec ou sans mémoire, de Saleh, de Volterra et dérivés ou les réseaux de neurones.

B.3.3.3 Avantages et inconvénients

Même si elle n'est efficace que sur des bandes de fréquences relativement étroites, les systèmes de prédistorsion numérique sont très utilisés et étudiés. Leur succès vient essentiellement de leur capacité d'adaptation aux changements des caractéristiques du système. En effet, l'utilisation de composants numériques programmables permet de rectifier des fonctions de prédistorsion sans modifier la structure matérielle du circuit. En outre, les systèmes de traitement de données au sein des charges régénératives étant majoritairement numériques, le circuit de prédistorsion numérique s'insère aisément dans la chaîne de transmission sans en accroître significativement la complexité. Toutefois, l'importante consommation ou la lourde charge de calcul, qui peuvent être des paramètres critiques dans certaines applications, ainsi que les faibles performances de linéarisation en présence d'importants effets mémoire, limitent les performances et le rendement de la prédistorsion numérique. Cette technique reste néanmoins aujourd'hui encore un sujet d'étude important, aussi bien dans les laboratoires universitaires que dans l'industrie.

B.3.4 Les réseaux de neurones artificiel

B.3.4.1 Principe

Un réseau de neurones artificiel réalise une composition de fonctions non-linéaires par l'intermédiaire de chacun de ses neurones. En paramétrant judicieusement les poids et biais d'un réseau de neurones, il est possible de modéliser une très grande variété de

B. TECHNIQUES DE MODÉLISATION ET IMPLANTATION DES NON-LIÉARITÉS D'UN AMPLIFICATEUR DE PUISSANCE

fonctions non-linéaires, et en particulier des fonctions de prédistorsion diverses. Les valeurs de poids et biais sont déterminées lors d'une phase dite d'apprentissage ou d'entraînement. Une conception adaptée permet d'obtenir un système adaptatif via la mise à jour des poids et biais.

Plusieurs architectures de prédistorsion à base de réseaux de neurones ont été proposées, fonctionnant en général en bande de base ou à fréquence intermédiaire, comme l'illustre la figure B.13 [79–83].

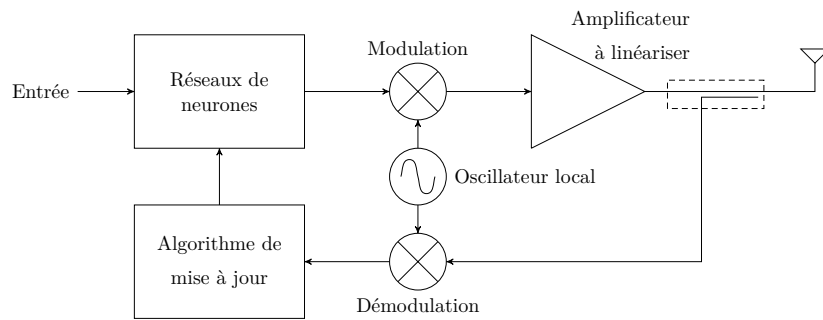


FIGURE B.13 – Architecture de prédistorsion à base de réseaux de neurones

B.3.4.2 Types d'implantation et modèles associés

Dans un système de prédistorsion à base de réseaux de neurones, il faut distinguer le réseau de neurones lui-même du système qui le supervise et le met à jour. Ce dernier est réalisé de manière logicielle, soit par un composant programmable embarqué, soit à l'aide d'un ordinateur. Le cœur du dispositif est néanmoins le réseau de neurones. Celui-ci, grâce à ses propriétés d'approximateur universel, est capable de modéliser un très grand nombre de fonctions continues linéaires et non-linéaires, dont des fonctions polynomiales [320], issues des modèles de Saleh, de Volterra ou de ses dérivés [321–325]. Ils présentent en outre la capacité d'interpoler un ensemble de points discrets en une fonction continue et ils sont ainsi capables de modéliser directement des données expérimentales ou des vecteurs de points obtenus après traitement de relevés expérimentaux.

B.3.4.3 Avantages et inconvénients

Les réseaux de neurones présentent une grande souplesse pour la conception d'un système de la prédistorsion. Il peuvent notamment être implantés analogiquement ou numériquement.

Dans le cas d'une implantation analogique, la consommation est très faible et n'augmente significativement que ponctuellement, lors de l'entraînement du réseau et de la mise à jour de ses paramètres. Le débit du signal qui transite par le réseau de neurones n'est limité que par la bande passante du circuit ; il est ainsi possible de travailler en bande de base ou avec des fréquences élevées selon les capacités du circuit.

Dans le cas d'une implantation numérique ou logicielle, le système nécessite une charge de calcul importante et continue ; la consommation est donc beaucoup plus élevée et le débit beaucoup plus limité que dans le cas d'une implantation analogique.

Dans les deux cas, les réseaux de neurones ont tout de même l'avantage d'être adaptatifs via la mise à jour de leurs paramètres.

B.3.5 Synthèse

L'ensemble des implantations de linéariseur par prédistorsion étudiées en vue de pouvoir être éventuellement embarquées un jour dans les charges utiles de télécommunication est représenté dans le tableau B.13. Ce comparatif met en évidence le choix à effectuer sur la nature de l'implantation (analogique ou numérique), les performances souhaitées en bande passante et en consommation, la complexité et la précision du système.

Si les systèmes à diodes ou transistors sont très simples et ne consomment que très peu de puissance, ils sont très peu précis, peu adaptatifs et ne prennent pas en compte les effets mémoire. A l'opposé, la prédistorsion numérique et l'utilisation de LUT permettent d'obtenir des systèmes adaptatifs, précis et prenant en compte les effets mémoire, mais ces architectures consomment beaucoup.

Enfin, l'implantation de la prédistorsion par réseaux de neurones offre de nombreuses possibilités, en particulier dans le cas d'une conception analogique : elle est adaptative, précise pour un nombre de paramètres relativement restreint, et ce pour une consommation contenue.

TABLEAU B.13 – Comparaison des différentes implantations de linéariseur par prédistorsion

					Analogique			Numérique		
Implantation	Modèle	Effets mémoire	Adaptativité	Précision	Consommation	Bande passante/débit	Complexité	Consommation	Bande passante/débit	Complexité
Diode / Transistors	Polynomial sans mémoire	Non	Très faible	Très faible	Très faible	RF	Très faible	-	-	-
Traitement numérique	Polynomial sans mémoire	Non		Faible	-	-	-	Très élevée	Bande de base	Moy.
	Saleh	Non	Très	Faible						
	Volterra et dérivés	Oui	bonne	Élevée						
	Réseaux de neurones	Oui		Élevée						
LUT	Saleh	Oui	Faible	Faible	-	-	-	Élevée	Bande de base	Très complexe
Réseaux de neurones	Saleh	Non		Faible	Moy.	FI	Moy.	Très élevée	Bande de base	Moy.
	Volterra et dérivés	Oui	Très	Élevée						
	Réseaux de neurones	Oui		Élevée						

ANNEXE C

Apprentissage des réseaux de neurones

Cette annexe propose une étude succincte de l'apprentissage (ou entraînement) des réseaux de neurones. D'abord, les critères d'erreur, permettant d'évaluer la qualité d'une modélisation, sont présentés. Ensuite, le calibrage et le risque de surajustement sont décrits. Enfin, plusieurs algorithmes d'apprentissage sont détaillés.

C.1 Ensembles d'apprentissage, de validation et calculs d'erreurs

Plaçons-nous dans le cas de l'approximation par réseau de neurones d'une fonction à partir de N données $y(x_i)$ ($i \in \llbracket 1; N \rrbracket$) relatives à la variation d'un seul paramètre x_i . A partir de cet ensemble, il est recommandé de construire deux sous-ensembles. D'abord, l'ensemble dit de validation contient toutes les données $y(x_{i_V})$ ($i_V \in \llbracket 1; N_V \rrbracket$) de l'ensemble de départ hormis les valeurs aberrantes. Ensuite, l'ensemble dit d'apprentissage regroupe les N_A données $y(x_{i_A})$ ($i_A \in \llbracket 1; N_A \rrbracket$) les plus pertinentes et c'est à partir de cet ensemble qu'est réalisé l'entraînement du réseau. Plusieurs méthodes existent pour déterminer l'ensemble d'apprentissage et une connaissance *a priori* de la fonction à approcher aide grandement au choix des valeurs [326].

Pour quantifier le caractère satisfaisant ou non du degré d'approximation de la fonction réalisée par le réseau de neurones, une des méthodes utilisées consiste à calculer l'erreur quadratique moyenne commise pour chacun des exemples appartenant à l'ensemble d'apprentissage ou de validation [10]. Ainsi, les erreurs quadratiques moyennes relatives à chacun des deux ensembles sont respectivement :

$$e_A = \sqrt{\frac{1}{N_A} \sum_{i_A=1}^{N_A} \left(y(x_{i_A}) - \zeta(x_{i_A}, W_0) \right)^2} \quad (\text{C.1})$$

$$e_V = \sqrt{\frac{1}{N_V} \sum_{i_V=1}^{N_V} \left(y(x_{i_V}) - \zeta(x_{i_V}, W_0) \right)^2} \quad (\text{C.2})$$

avec ζ la fonction réalisée par le réseau de neurones et W_0 l'ensemble de ses paramètres.

e_A permet d'évaluer la qualité de la modélisation durant le processus d'apprentissage et e_V la qualité de la modélisation en fin d'entraînement. Le paragraphe suivant démontre qu'il est important d'exploiter ces deux grandeurs conjointement.

C.2 Calibrage et phénomène de surajustement

Après avoir choisi une architecture de réseau de neurones particulière, il est nécessaire de déterminer le nombre de couches cachées et le nombre de neurones par couche cachée. Cette étape est appelée calibrage.

Il n'existe pas, à l'heure actuelle, de résultat théorique permettant de prévoir le nombre de neurones cachés nécessaires pour obtenir une performance spécifiée du modèle, compte tenu des données disponibles. S'il est évident qu'un nombre insuffisant de neurones cachés aura pour conséquence une approximation de mauvaise qualité, le déploiement d'un nombre de neurones aussi grand que possible n'est pas pour autant préconisé. En effet, un réseau de neurones n'effectue pas une approximation uniforme d'une ou plusieurs fonctions mais un ajustement d'une fonction à un nombre fini de points. Il faut donc, non seulement que la fonction réalisée par le réseau de neurones passe le plus près possible, au sens des moindres carrés, des valeurs de l'ensemble d'apprentissage, mais également qu'il soit capable d'approcher de manière satisfaisante d'autres points n'appartenant pas à l'ensemble d'apprentissage, et notamment ceux appartenant à l'ensemble de validation. Un nombre excessif de neurones et de paramètres associés sur une couche cachée entraîne une très grande précision au niveau de l'approximation de la ou des fonctions pour chaque valeur appartenant à l'ensemble d'apprentissage mais fournit des valeurs dépourvues de signification entre ces points. Ce phénomène, appelé "surajustement" (ou *overfitting*), est représenté sur la figure C.1 dans le cadre d'une approximation de fonction à une variable.

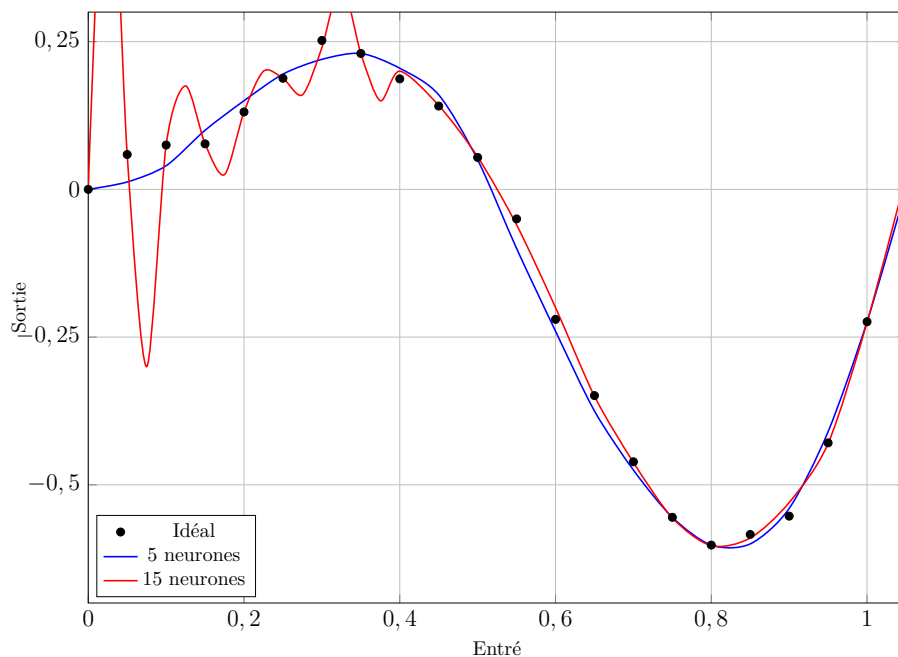


FIGURE C.1 – Mise en évidence du phénomène de surajustement

Sur cette figure, l'erreur quadratique moyenne e_A relative au réseau à 15 neurones sur sa couche cachée est inférieure à celle du réseau à 5 neurones cachés. Ainsi, en ne s'appuyant que sur la valeur de e_A pour estimer la qualité d'une approximation, le réseau à 15 neurones cachés, malgré le phénomène de surajustement, serait le meilleur approximateur. L'erreur quadratique moyenne e_A seule n'est donc pas un bon critère de la qualité d'approximation. À l'inverse, l'erreur quadratique moyenne e_V du réseau à 15 neurones cachés

est nettement supérieure à celle du réseau de neurones à 5 neurones cachés. C'est finalement à l'aide des deux erreurs quadratiques moyennes e_A et e_V qu'il est possible d'affirmer que le réseau à 5 neurones cachés approche le plus parcimonieusement la fonction désirée. Il est donc nécessaire de déterminer soigneusement les deux ensembles (d'apprentissage et de validation) pour valider la qualité d'approximation du réseau de neurones.

Le calibrage consiste finalement à déterminer le nombre de neurones de la couche cachée fournissant l'approximation la plus parcimonieuse possible, et tel que les erreurs quadratiques moyennes sur les ensembles d'apprentissage et de validation soient du même ordre de grandeur, et aussi petites que possible. La structure finale du réseau de neurones dépend donc de l'architecture sélectionnée et du nombre de neurones sur sa ou ses couches cachées et choix de structure et calibrage sont deux phases corrélées et indissociables [10].

C.3 Différents algorithmes d'apprentissage

C.3.1 La rétropropagation du gradient

L'ensemble des paramètres W_0 permettant au réseau de neurones d'approcher la fonction de régression désirée est déterminée de manière itérative lors d'une phase dite d'apprentissage. A chaque itération, une mise à jour des paramètres est effectuée afin de minimiser l'erreur quadratique pour l'ensemble des valeurs du jeu d'apprentissage. L'apprentissage est donc un problème d'optimisation.

Plusieurs algorithmes existent pour réaliser l'entraînement d'un réseau de neurones de type MLP. Les techniques utilisées consistent à modifier les paramètres du réseau, dont les valeurs de départ sont aléatoires, jusqu'à ce qu'un minimum de la fonction d'erreur soit atteint ou qu'un critère d'arrêt soit satisfait. Elles reposent sur le calcul, à chaque itération, du gradient de la fonction d'erreur par rapport aux paramètres, gradient ensuite utilisé pour calculer une modification de l'ensemble W_0 . Le calcul du gradient peut être effectué soit dans le sens direct, soit par rétropropagation de l'erreur [327, 328].

La méthode de rétropropagation de l'erreur est la plus utilisée, car elle nécessite souvent moins d'opérations arithmétiques pour évaluer le gradient. Cette méthode consiste à propager le gradient de l'erreur en allant de la couche de sortie vers les couches d'entrées. Ainsi, plus on s'éloigne de la couche de sortie – plus on se rapproche des couches d'entrée –, plus les dérivées sont complexes à calculer. Par conséquent, plus le nombre de couches intermédiaires sera important, plus les formules impliquées pour mettre à jour les paramètres des premières couches seront compliquées. C'est pour cette raison que le nombre de couches intermédiaires est limité à deux dans la très grande majorité des cas.

Parmi les algorithmes de rétropropagation du gradient détaillés dans la suite du paragraphe, certains ne font appel qu'à la dérivée première des paramètres [329] tandis que d'autres utilisent aussi les dérivées secondes de manière à prendre aussi en compte le sens de variation de l'erreur [330–333].

Dans la suite, w_k désigne le vecteur des paramètres à l'itération k , g_k la valeur du gradient de la fonction d'erreur associée au paramètre w_k à l'itération k .

C.3.2 Algorithmes de rétropropagation du gradient à dérivées premières

C.3.2.1 La descente du gradient

L'algorithme de descente du gradient ou du gradient simple est la technique la plus simple pour entraîner des réseaux de neurones non-bouclés à apprentissage supervisés [331]. Il consiste à mettre à jour à chaque itération le vecteur des paramètres dans la direction de décroissance de la fonction d'erreur :

$$w_{k+1} = w_k - \mu g_k \quad (\text{C.3})$$

où le paramètre μ , appelé pas d'apprentissage, conditionne la rapidité et la précision d'apprentissage. Plus ce paramètre est grand, plus la convergence est rapide mais moins la modélisation est précise. Inversement, si ce paramètre est petit, la convergence est lente, mais la modélisation précise.

C.3.2.2 La descente du gradient avec moment

L'inconvénient de l'algorithme du gradient simple est qu'il peut nécessiter un très grand nombre d'itérations. Pour pallier ce défaut, un paramètre, appelé moment, peut être ajouté à l'équation C.3 pour que la mise à jour des poids et biais dépendent de leurs valeurs aux deux itérations précédentes, selon l'équation C.4 [331] :

$$w_{k+1} = w_k - \mu g_k + \alpha(w_k - w_{k-1}) \quad (\text{C.4})$$

avec α le moment, compris entre 0 et 1.

Grâce au moment, la convergence est accélérée.

C.3.2.3 Le gradient conjugué

Les deux algorithmes précédents ajustent les poids et biais dans la direction de la plus forte pente du gradient. Cette solution ne produit pas nécessairement la convergence la plus rapide [334], et le choix des paramètres μ et α peut être délicat et ralentir encore la convergence ou procurer une modélisation peu précise. Pour contrecarrer ces défauts, plusieurs algorithmes, dits du gradient conjugué, privilégiant la rapidité de convergence plutôt que la plus forte pente de gradient, ont été proposés [335]. Dans cette technique, les paramètres de convergence sont ajustés à chaque itération.

La première étape de l'algorithme du gradient conjugué consiste toujours à déterminer la plus forte pente p_0 du gradient à la première itération :

$$p_0 = -g_0 \quad (\text{C.5})$$

Puis, à chaque itération, le vecteur de poids et biais est mis à jour selon l'équation C.6 :

$$w_{k+1} = w_k - p_k \quad (\text{C.6})$$

avec

$$p_k = -g_k - \beta_k p_{k-1} \quad (\text{C.7})$$

Le paramètre β_k détermine la direction de convergence privilégiée. Par exemple, dans l'algorithme du gradient conjugué proposé par Fletcher et Reeves [331, 334] :

$$\beta_k = \frac{g_k^T g_k}{g_{k-1}^T g_{k-1}} \quad (\text{C.8})$$

C.3.3 Algorithmes de rétropropagation du gradient à dérivées secondes

C.3.4 La méthode de Quasi-Newton

Dans la méthode de Quasi-Newton, l'ajustement des poids et biais se fait à chaque itération selon l'équation :

$$w_{k+1} = w_k - H_k^{-1} g_k \quad (\text{C.9})$$

où H_k représente la matrice Hessienne (dérivées secondes) de la fonction de transfert du réseau neuronal avec les valeurs courantes de poids et biais, recalculée à chaque itération.

Cette méthode converge souvent plus rapidement que la méthode du gradient conjugué, mais requiert une charge de calcul très importante, notamment pour le calcul de la matrice Hessienne. Un algorithme dérivé de la méthode Quasi-Newton est toutefois souvent préconisé dans la littérature scientifique : l'algorithme de Broyden, Fletcher, Goldfarb et Shanno (BFGS) [330, 331]

C.3.5 L'algorithme de Levenberg-Marquardt (LM)

Comme la méthode de Quasi-Newton, l'algorithme de Levenberg-Marquardt [332, 333] a pour objectif d'accélérer la convergence de la modélisation grâce à l'utilisation des dérivées secondes de la fonction d'erreur. Contrairement à la méthode Quasi-Newton toutefois, le calcul de la matrice Hessienne n'est pas nécessaire.

En supposant que la fonction d'erreur peut être écrite sous la forme du carré d'une somme, alors la matrice Hessienne peut être approchée par :

$$H = J^T J \quad (\text{C.10})$$

où J est la matrice Jacobienne contenant les dérivées premières de la fonction d'erreur par rapport aux poids et biais. J requiert une puissance de calcul moins importante que la matrice Hessienne pour être déterminée.

En appelant e la fonction d'erreur, le gradient peut s'écrire :

$$g = J^T e \quad (\text{C.11})$$

et la mise à jour des paramètres du réseau de neurones se fait alors selon :

$$w_{k+1} = w_k - (J^T J + \mu I)^{-1} J^T e \quad (\text{C.12})$$

avec μ un réel contrôlant le comportement de l'algorithme. Avec $\mu = 0$, l'algorithme est équivalent à la méthode de Quasi-Newton. Si μ est grand, il se rapproche d'un algorithme du gradient simple avec un petit pas d'apprentissage.

C.3.6 Comparaison

L'algorithme du gradient simple est très facile à implanter mais requiert un très grand nombre d'itérations. La convergence vers une valeur minimale de la fonction d'erreur n'est, de plus, pas garantie et dépend du pas d'apprentissage. Les autres techniques exploitant les dérivées premières pallient certains défauts de l'algorithme de la descente du gradient, mais leur implantation est plus complexe.

La méthode de Quasi-Newton permet d'accélérer grandement la convergence de l'apprentissage des réseaux de neurones et d'en améliorer la précision, mais implique un coût de calcul très important. L'algorithme de Levenberg-Marquardt, souvent préconisé [10,334,336], permet de contourner ce problème. Si son implantation peut être compliquée, il est très rapide, précis et ne requiert pas une puissance de calcul importante. C'est d'ailleurs cet algorithme qui a été utilisé pendant cette thèse pour l'apprentissage des réseaux de neurones.

ANNEXE D

Compléments de résultats de simulations

Par souci de lisibilité, le corps de ce tapuscrit ne présente pas tous les résultats de simulations. Cette annexe complète le texte principal de la thèse avec certains résultats remarquables.

D.1 Simulations de modules de prédistorsion idéaux

Ce paragraphe présente les simulations de linéarisation des amplificateurs ARAB-SAT4 et TI9083-8 pour des modules de prédistorsion idéaux, telles que celle présentée au chapitre II.2 pour l'amplificateur TEDCNES. Les figures D.1 et D.2 représentent ainsi les caractéristiques de transfert des modules de commande pour $a_{pwr} = 1$, $a_\phi = 1$, $\omega_0 = 1$ et $a_{VGA} = 1$ (a) et les caractéristique linéarisées AM/AM (b) et AM/PM (c) respectivement pour l'amplificateur ARABSAT4 et pour l'amplificateur TI9083-8.

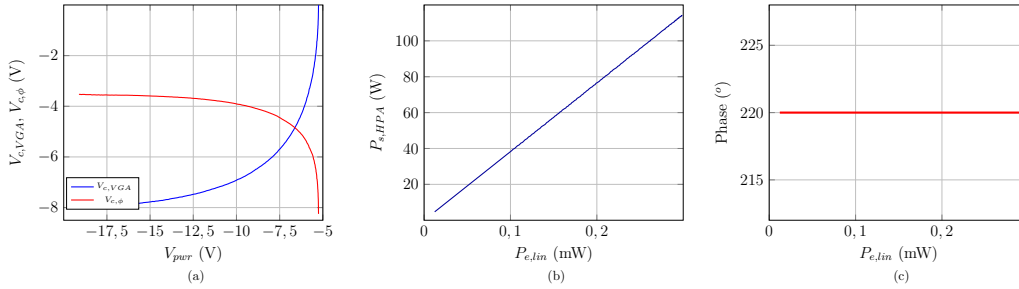


FIGURE D.1 – Caractéristiques de transfert des modules de commande (a) et caractéristiques linéarisées AM/AM (b) et AM/PM (c) de l'amplificateur ARABSAT4

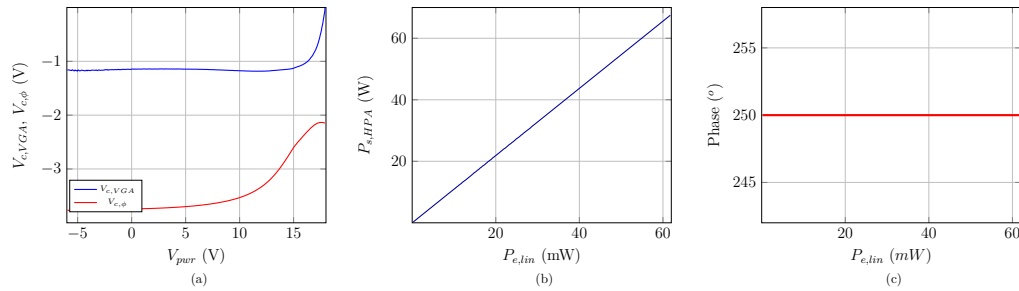


FIGURE D.2 – Caractéristiques de transfert des modules de commande (a) et caractéristiques linéarisées AM/AM (b) et AM/PM (c) de l'amplificateur TI9083-8

D.2 Etude statistique de calibrage des réseaux de neurones

L'étude statistique de calibrage des réseaux de neurones consiste à entraîner des réseaux de neurones à approcher les six caractéristiques de transfert présentées au chapitre II.3 et à déterminer quel ensemble de valeurs [dynamique des poids et biais ; nombre de neurones ; paramètre α] représente le meilleur compromis. Pour chaque valeur du triplet, 100 entraînements sont réalisés et la valeur minimale de l'erreur au sens des moindres carrés est mémorisée. Les courbes de la figure D.3 représentent les résultats de cette étude.

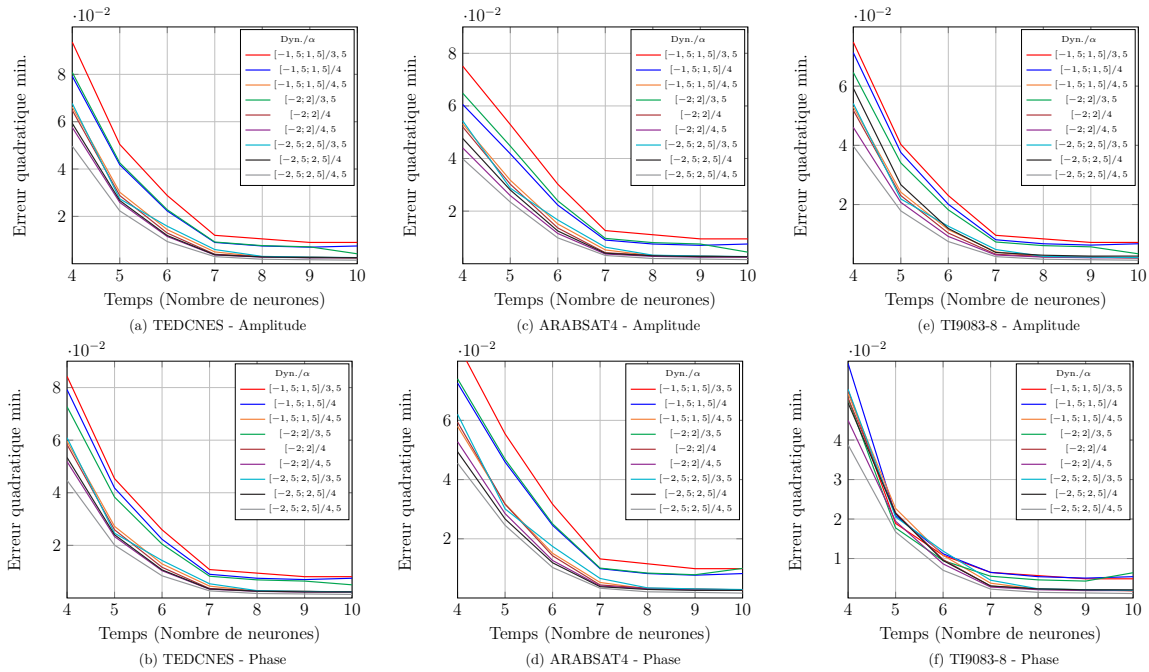


FIGURE D.3 – Résultats de l'étude statistique de calibrage des réseaux de neurones

Les courbes ont une tendance commune : quelle que soit la fonction à modéliser, la dynamique des poids et biais et la valeur de pente, l'erreur quadratique minimale diminue rapidement jusqu'à 6 neurones, puis plus lentement. Au delà de 8 neurones, l'évolution est d'ailleurs négligeable. Par ailleurs, augmenter la dynamique des poids et biais et la valeur du paramètre α permet d'améliorer la précision de modélisation, mais pour des intervalles plus larges que $[-2; +2]$ et pour $\alpha > 4$, l'influence de ces données est faible.

D.3 Simulations des modules de commande à base de réseaux de neurones

Dans le chapitre II.3, les réseaux de neurones servent à modéliser les modules de commande $P_{moy} \rightarrow G_{VGA}$ et $P_{moy} \rightarrow \phi$. Ce paragraphe présente les résultats des simulations présentées dans ce chapitre pour les amplificateurs ARABSAT4 et TI9083-8.

D.3.1 Amplificateur ARABSAT4

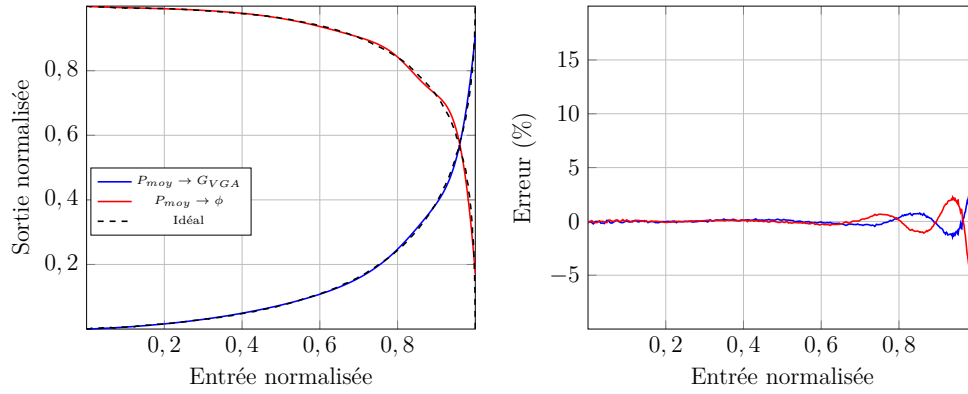


FIGURE D.4 – Modélisation par réseaux de neurones des caractéristiques des modules de commande $P_{moy} \rightarrow G_{VGA}$ et $P_{moy} \rightarrow \phi$ associé à l'amplificateur ARABSAT4

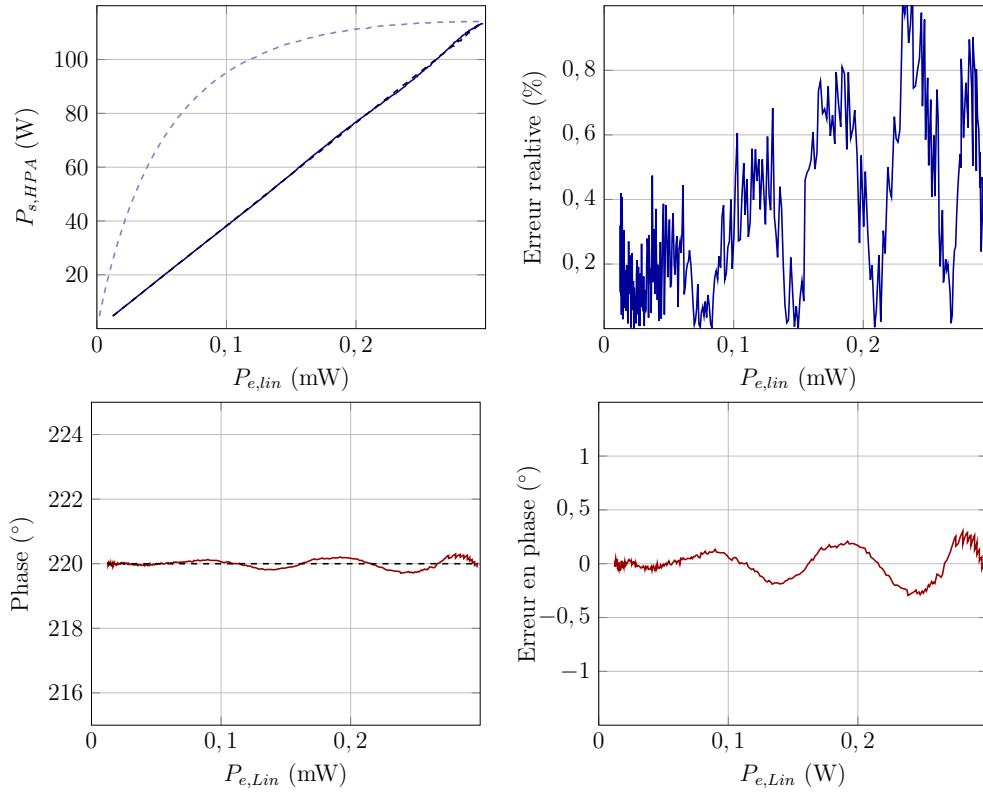


FIGURE D.5 – Simulation de l'architecture de la figure II.2.10 et linéarisation de l'amplificateur de puissance ARABSAT4 à l'aide de réseaux de neurones
En haut à gauche : caractéristiques de transfert AM/AM simulée (trait plein bleu), idéale (pointillés noirs) et de l'amplificateur seul (pointillés bleus)

En haut à droite : erreur de linéarisation en amplitude

En bas à gauche : caractéristiques de transfert AM/PM simulée (trait plein rouge) et idéale (pointillés noirs)

En bas à droite : erreur de linéarisation en phase

D.3.2 Amplificateur TI9083-8

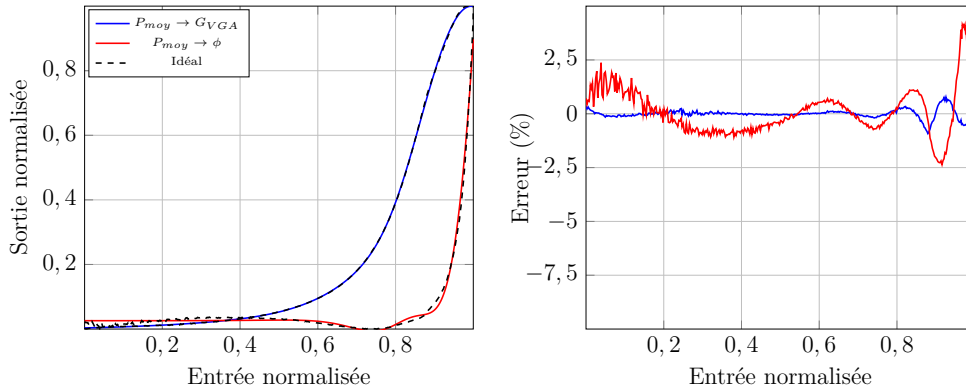


FIGURE D.6 – Modélisation par réseaux de neurones des caractéristiques des modules de commande $P_{moy} \rightarrow G_{VGA}$ et $P_{moy} \rightarrow \phi$ associé à l'amplificateur TI9083-8

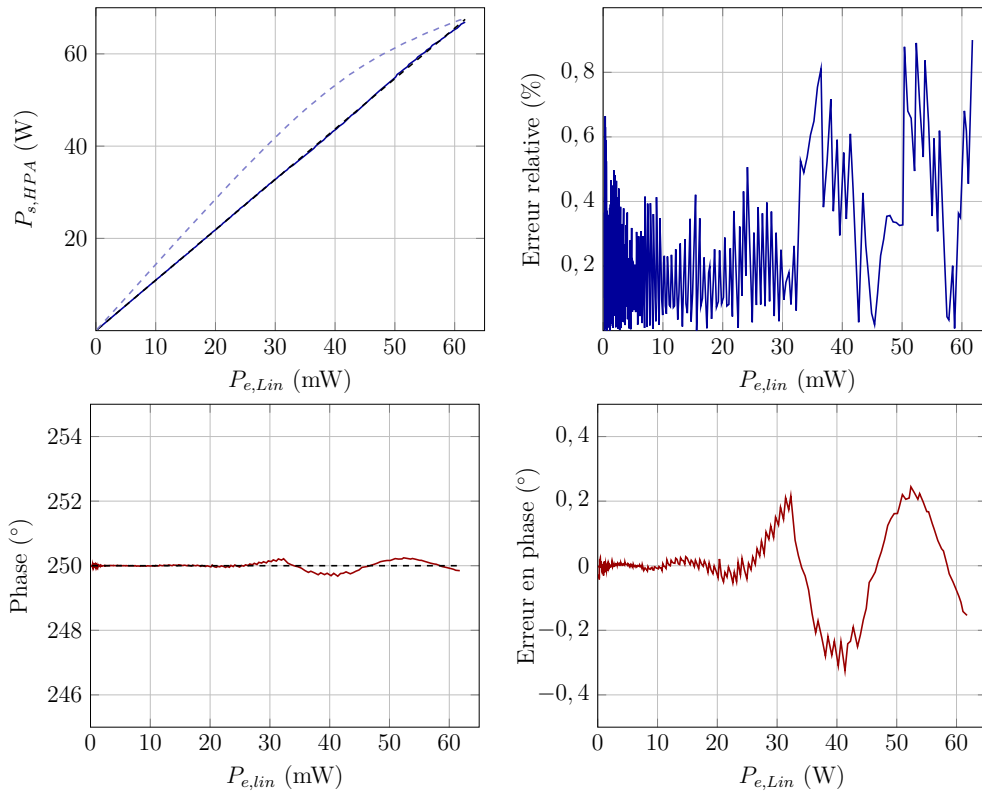


FIGURE D.7 – Simulation de l'architecture de la figure II.2.10 et linéarisation de l'amplificateur de puissance TI9083-8 à l'aide de réseaux de neurones
 En haut à gauche : caractéristiques de transfert AM/AM simulée (trait plein bleu), idéale (pointillés noirs) et de l'amplificateur seul (pointillés bleus)
 En haut à droite : erreur de linéarisation en amplitude
 En bas à gauche : caractéristiques de transfert AM/PM simulée (trait plein rouge) et idéale (pointillés noirs)
 En bas à droite : erreur de linéarisation en phase

D.4 Simulations comportementales du DDCC

Le chapitre III.4 introduit le circuit DDCC pour la conception du circuit déphaseur. Ce paragraphe présente les capacités du DDCC à réaliser des opérations arithmétiques d'inversion et de multiplication par deux du signal.

D.4.1 Le DDCC en tant qu'inverseur

Le DDCC est d'abord testé en tant qu'inverseur : un signal sinusoïdal autour d'un niveau continu à 2V est appliqué sur l'entrée e_2 tandis que sur les entrées e_1 et e_3 est appliqué un signal continu à 2V. Une analyse temporelle est d'abord effectuée pour un signal de 250mV d'amplitude crête à crête à 50MHz (Figure D.8.a). Ensuite, le comportement fréquentiel du circuit est testé jusqu'à 1GHz pour un signal de 250mV d'amplitude (Figure D.8.b). Enfin, la distorsion harmonique à 50MHz est mesurée pour un signal dont l'amplitude varie de 20mV à 1V crête à crête (Figure D.8.c).

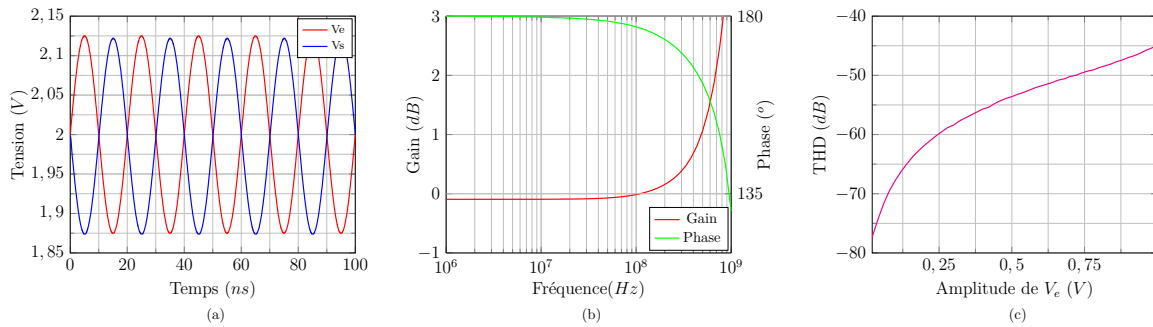


FIGURE D.8 – Simulations du DDCC configuré en inverseur

Le DDCC élaboré permet de réaliser une inversion du signal sur une très large dynamique de signal à 50MHz, pour une distorsion harmonique très faible (inférieure à -45dB pour un signal de 1V de dynamique). En outre, la bande passante du circuit ainsi configuré est très élevée : pour des fréquences jusqu'à près de 200MHz, le gain reste très proche de 0dB (environ -90m dB) et la phase est exactement de 180°.

D.4.2 Le DDCC en tant de doubleur

Le DDCC est ensuite testé en tant que doubleur : un signal sinusoïdal, avec un niveau continu à 2V, est appliqué sur les entrées e_1 et e_3 tandis que l'entrée e_2 reçoit un signal continu à 2V uniquement. Les mêmes analyses que pour le DDCC en tant qu'inverseur sont effectuées et présentées sur la figure D.9

Dans cette configuration, le DDCC permet de réaliser un doubleur de tension très efficace à 50MHz, jusqu'à une dynamique de signal d'environ 800mV, seuil au delà duquel la dynamique de sortie est trop importante et pour lequel les transistors M_5 et M_{I_1} ne restent plus en saturation. En outre, la bande passante du doubleur est très élevée : pour des fréquences inférieures à 300MHz, le gain reste très proche de 6dB (environ 5.95dB) et la phase nulle.

D. COMPLÉMENTS DE RÉSULTATS DE SIMULATIONS

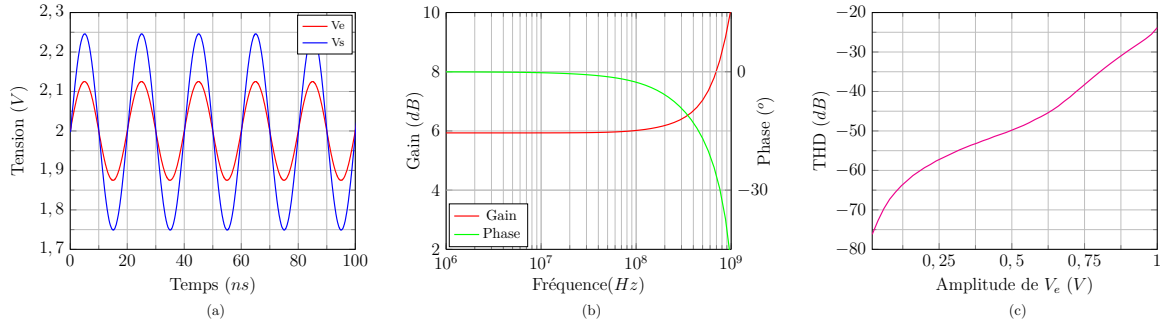


FIGURE D.9 – Simulations du DDCC configuré en doubleur de tension

D.5 Exploitation de l'ASIC dans le cadre de la linéarisation par prédistorsion d'amplificateurs de puissance

Ce paragraphe présente les résultats de simulation de l'ASIC dans le cadre de la linéarisation par prédistorsion des amplificateurs ARABSAT4 et TI9083-8. Les simulations réalisées sont détaillées au chapitre III.5.

D.5.1 Amplificateur ARABSAT4

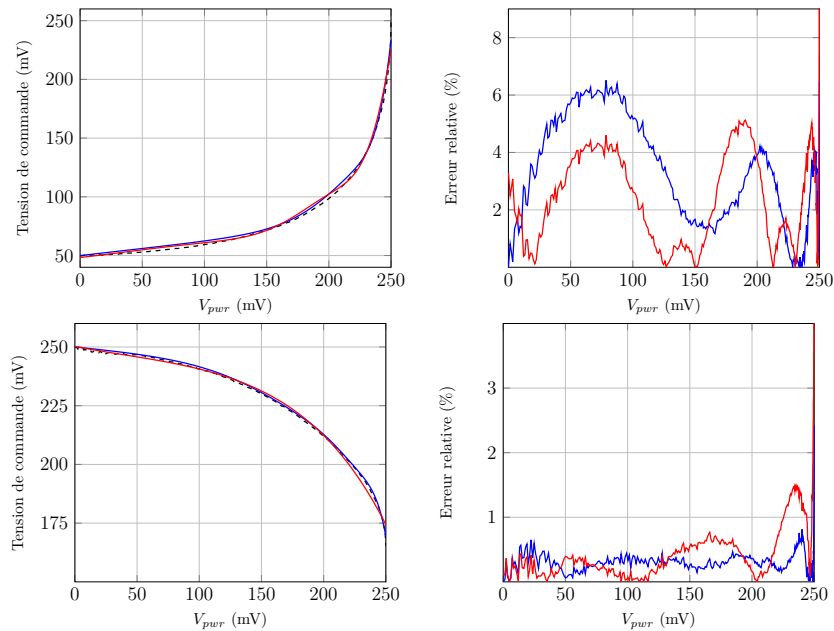


FIGURE D.10 – Approximation par réseau de neurones intégré des tensions de commande du VGA (en haut) et du déphaseur (en bas) associée au HPA ARABSAT4 en fonction de V_{pwr}

A gauche : caractéristiques idéale (pointillés), issue du réseau de neurones mathématique (en bleu) et issue du réseau de neurones intégré (en rouge)

A droite : erreur relative de modélisation par réseau de neurones mathématique (en bleu) et par réseau de neurones intégré (en rouge)

D.5. EXPLOITATION DE L'ASIC DANS LE CADRE DE LA LINÉARISATION PAR PRÉDISTORSION D'AMPLIFICATEURS DE PUISSANCE

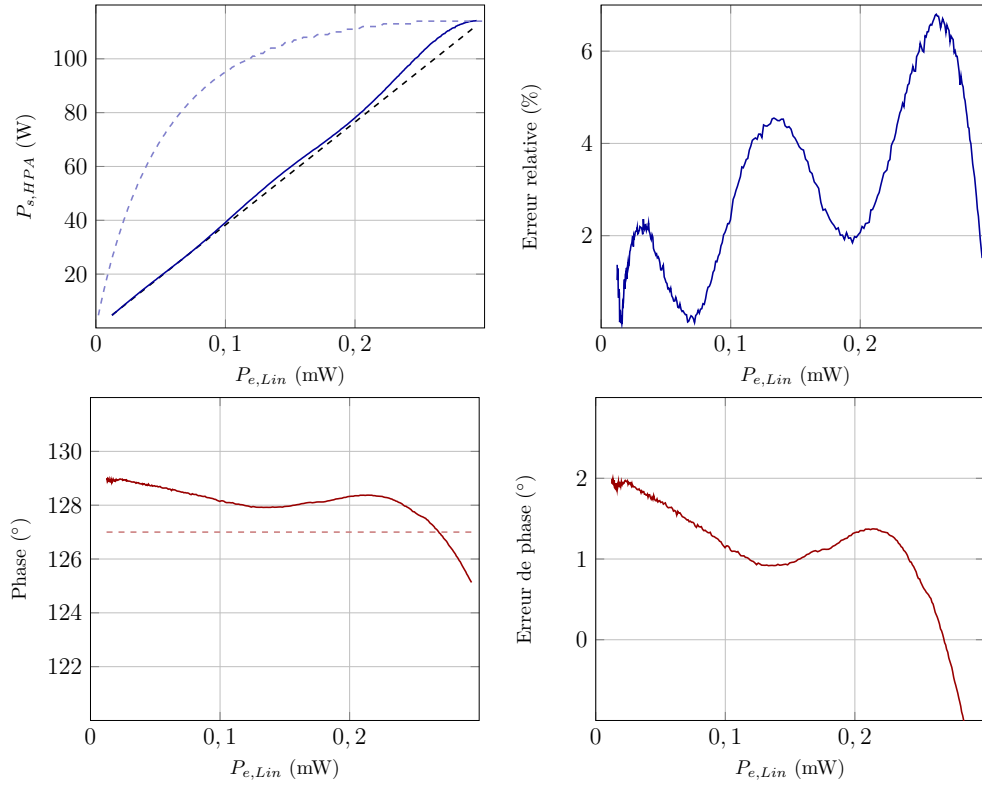


FIGURE D.11 – Linéarisation en amplitude (en haut) et en phase (en bas) de l'amplificateur de puissance ARABSAT4 par réseau de neurones intégré
A gauche : caractéristiques de transfert simulée (trait plein) et idéale (pointillés)
A droite : erreur de linéarisation

D.5.2 Amplificateur TI9083-8

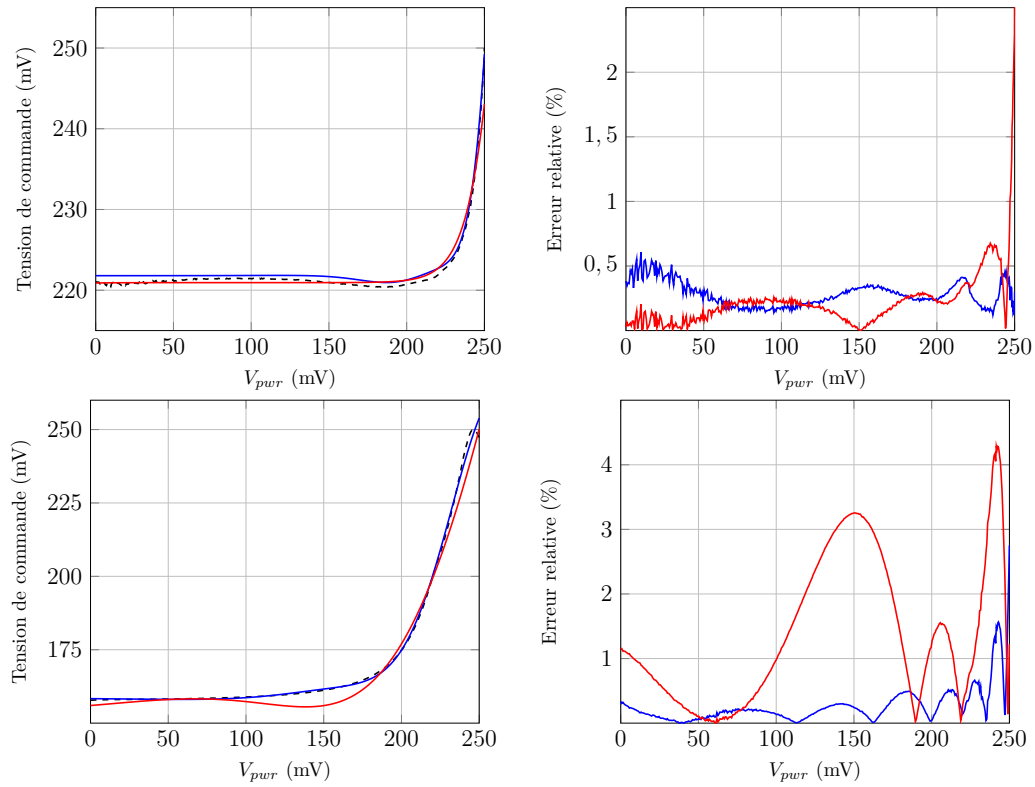


FIGURE D.12 – Approximation par réseau de neurones intégré des tensions de commande du VGA (en haut) et du déphaseur (en bas) associée au HPA TI9083-8 en fonction de V_{pwr}

A gauche : caractéristiques idéale (pointillés), issue du réseau de neurones mathématique (en bleu) et issue du réseau de neurones intégré (en rouge)

A droite : erreur relative de modélisation par réseau de neurones mathématique (en bleu) et par réseau de neurones intégré (en rouge)

D.5. EXPLOITATION DE L'ASIC DANS LE CADRE DE LA LINÉARISATION PAR PRÉDISTORSION D'AMPLIFICATEURS DE PUISSANCE

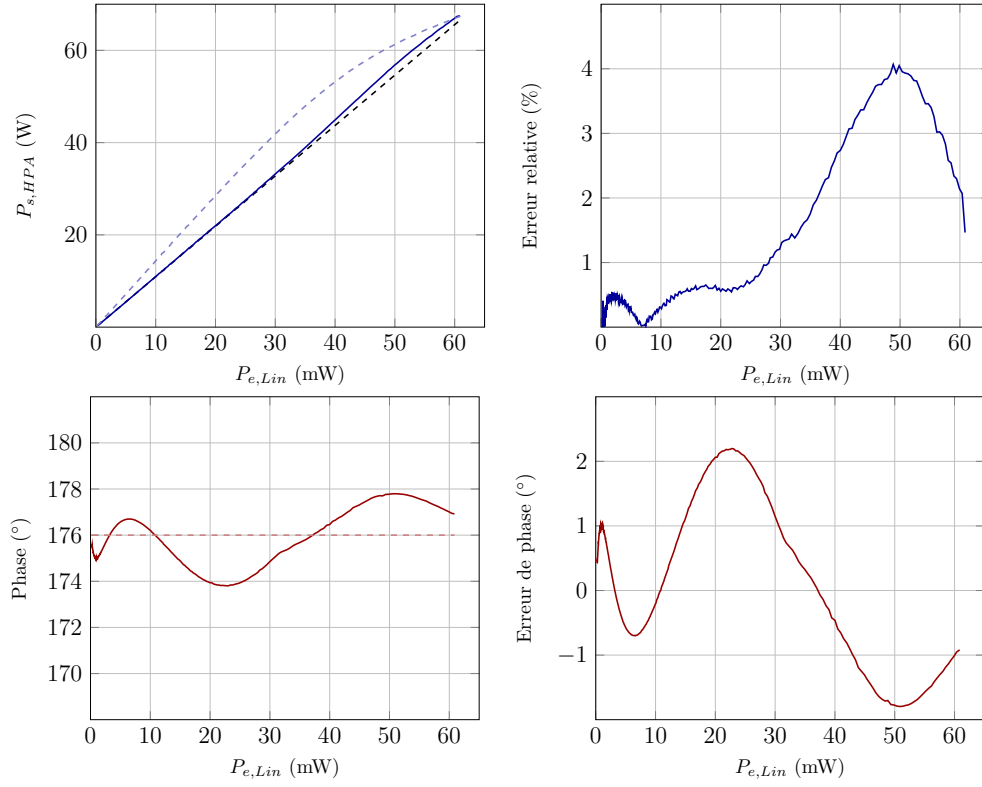


FIGURE D.13 – Linéarisation en amplitude (en haut) et en phase (en bas) de l'amplificateur de puissance TI9083-8 à l'aide d'un réseau de neurones intégré
A gauche : caractéristiques de transfert simulée (trait plein), idéale (pointillés)
A droite : erreur de linéarisation

BIBLIOGRAPHIE

- [1] International Telecommunication Union, “Key 2005-2014 ICT data,” Tech. Rep., 2014.
- [2] Rightscale, “State of the cloud report,” Tech. Rep., 2015.
- [3] The Tauri Group, “State of the Satellite Industry Report,” Tech. Rep., 2014.
- [4] International Telecommunication Union, “Tampere convention,” Tech. Rep., 1998.
- [5] —, “Résolution 646 (cmr-03) relative à la protection du public et secours en cas de catastrophe,” Tech. Rep., 2010.
- [6] U. of Concerned Scientists (UCS), “UCS satellite database,” Tech. Rep., 2014.
- [7] J. Vuolevi and T. Rahkonen, *Distortion in RF Power Amplifiers*, ser. Artech House Microwave Library. Artech House, 2003.
- [8] J. B. Sombrin, “Optimization criteria for power amplifiers,” *International Journal of Microwave and Wireless Technologies*, vol. 3, no. 1, pp. 35–45, February 2011.
- [9] A. Technologies, “Adaptive feedforward linearization for RF power amplifier,” Tech. Rep., 2001.
- [10] G. Dreyfus, J. M. Martinez, M. Samuelides, M. B. Gordon, F. Badan, S. Thiria, and L. Herault, *Réseaux de neurones, méthodologie et applications*, sous la direction de Gérard Dreyfus, Ed. Eyrolles, Avril 2004.
- [11] N. E. Lindenblad, “Electron discharge device system,” U.S. Patent US 2,300,052, October, 1942.
- [12] R. Kompfner, “The traveling-wave tube as amplifier at microwaves,” in *Proceedings of the IRE*, vol. 35, no. 2, Feb 1947, pp. 124–127.
- [13] J. Pierce and L. Field, “Traveling-wave tubes,” in *Proceedings of the IRE*, vol. 35, no. 2, February 1947, pp. 108–111.
- [14] K. Mallon, “TWTAs for satellite communications : Past, present and future,” in *IEEE 13th International Vacuum Electronics Conference (IVEC)*, April 2008, pp. 14–15.
- [15] H. Hausman, “Comparison of high power amplifier technologies : TWTAs vs SSPAs,” MITEQ, Inc., Tech. Rep., January 2008.
- [16] G. J. Ayling and J. S. Joshi, “High power solid state power amplifier design and development,” in *IEE Colloquium on Solid-State Power Amplifiers*, vol. 10, December 1991, pp. 1–6.
- [17] R. Strauss, “Orbital performance of communication satellite microwave-power amplifiers (MPAs),” *International Journal of Satellite Communications*, vol. 11, no. 5, pp. 279–285, September-October 1993.
- [18] M. Kaliski, “Evaluation of the next steps in satellite high power amplifier technology : Flexible TWTAs and GaN SSPAs,” in *IEEE International Vacuum Electronics Conference (IVEC)*, April 2009, pp. 211–212.
- [19] J. Feicht, K. N. Loi, W. Menninger, J. G. Nicoletto, and X. Zhai, “Space qualified 140W linearized L-band helix TWTA,” in *IEEE 13th International Vacuum Electronics Conference (IVEC)*, April 2012, pp. 355–356.
- [20] J. H. K. Vuolevi, T. Rahkonen, and J. P. A. Manninen, “Measurement technique for characterizing memory effects in RF power amplifiers,” *IEEE Transactions On Microwave Theory Techniques*, vol. 49, no. 8, pp. 1383–1389, 2001.
- [21] P. Kenington, *High-linearity RF Amplifier Design*, ser. Artech House Microwave Library. Artech House, 2000.
- [22] A. H. Jardon and L. H. Vazquez, “A novel representation of AM-PM conversion,” in *IEEE International Symposium on Electromagnetic Compatibility, Record*, August 1995, pp. 401–405.
- [23] F. Langlet, “Étude et implantation de la prédistorsion d’amplificateurs à bord de satellites à base de réseaux de neurones,” Ph.D. dissertation, Université de Limoges, 2002.

BIBLIOGRAPHIE

- [24] S. Bouchired, M. Ibnkahla, D. Roviras, and F. Castanie, "Neural networks : A tool for satellite UMTS channel equalization," in *Proceeding of DSP '98*, E. S. A. (ESA), Ed., 1998.
- [25] S. Bouchired, D. Roviras, and F. Castanie, "Equalisation of satellite mobile channels with neural network techniques," *Space Communications*, vol. 15, no. 4, pp. 209–220, 1999.
- [26] J. G. Proakis, *Digital Communications, 3rd Edition*. McGraw-Hill, 1995.
- [27] F. Langlet, H. Abdulkader, D. Roviras, A. Mallet, and F. Castanie, "Adaptive predistortion for solid state power amplifier using multi-layer perceptron," in *Globecom '01 : IEEE Global Telecommunications Conference*, vol. 1-6, 2001, pp. 325–329.
- [28] —, "Comparison of neural network adaptive predistorsion techniques for satellite down links," in *IJCNN'01 : International Joint Conference on Neural Networks, Proceedings*, vol. 1-4, 2001, pp. 709–714.
- [29] G. Lazzarin, S. Pupolin, and A. Sarti, "Nonlinearity compensation in digital radio systems," *IEEE Transactions on Communications*, vol. 42, no. 2-4, pp. 988–999, 1994.
- [30] P. Kenington, "Linearised RF amplifier and transmitter techniques," *Microwave Engineering Europe*, December 1998.
- [31] H. S. Black, "Translating system," U.S. Patent US 1,686,792, October, 1928.
- [32] Y. G. Yang and B. Kim, "A new linear amplifier using low-frequency second-order intermodulation component feedforwarding," *IEEE Microwave Guided Wave Letters*, vol. 9, no. 10, pp. 419–421, 1999.
- [33] K. J. Parsons, R. J. Wilkinson, and P. B. Kenington, "A highly-efficient linear amplifier for satellite and cellular applications," in *IEEE Global Telecommunications Conference (GLOBECOM)*, vol. 1, November 1995, pp. 203–207.
- [34] X. W. Zhu, J. Y. Zhou, W. Hong, and H. X. Zhao, "A simple method to cut down configuration of feedforward power amplifier," in *IEEE MTT-S International Microwave Symposium, Digest*, vol. 1-3, 2000, pp. 791–794.
- [35] Y. Yang, Y. Y. Woo, J. Cha, J. Yi, and B. Kim, "New linearization method for the modulated signals with high peak-to-average ratio : Peak-to-average ratio reduction and expansion," in *IEEE MTT-S International Microwave Symposium, Digest*, vol. 1-3, 2002, pp. 777–780.
- [36] R. D. Stewart and F. F. Tusubira, "Feedforward linearisation of 950 Mhz amplifiers," in *IEE Microwaves, Antennas and Propagation, Proceedings*, vol. 135, no. 5, October 1988, pp. 347–350.
- [37] P. B. Kenington and R. J. Wilkinson, "Specification of error amplifiers for use in feedforward transmitters," in *Circuits, Devices and Systems, IEE Proceedings*, vol. 139, no. 4, Aug 1992, pp. 477–480.
- [38] K. J. Parsons and P. B. Kenington, "Effect of delay mismatch on feedforward amplifier," in *Circuits, Devices and Systems, IEE Proceedings*, vol. 141, no. 2, April 1994, pp. 140–144.
- [39] R. G. Meyer, R. Eschenbach, and W. M. Edgerley, "A wide-band feedforward amplifier," *IEEE Journal of Solid-State Circuits*, vol. 9, no. 6, pp. 422–428, December 1974.
- [40] K. J. Parsons, P. B. Kenington, and J. P. McGeehan, "Efficient linearisation of RF power amplifiers for wideband applications," in *Linear RF Amplifiers and Transmitters, IEE Colloquium*, April 1994, pp. 1–7.
- [41] K. Muhonen and M. Kavehrad, "Amplifier linearization for the local multipoint distribution system application," in *9th IEEE International Symposium on Personal, Indoor and Mobile Radio Communications*, vol. 2, September 1998, pp. 687–692.
- [42] M. G. Obermann and J. F. Long, "Feed forward distorsion minimization circuit," U.S. Patent US 5,077,532, December, 1991.
- [43] S. Narahashi and T. Nojima, "Extremely low-distortion multi-carrier amplifier-self-adjusting feed-forward (SAFF) amplifier," in *IEEE International Conference on Communications (ICC)*, vol. 3, June 1991, pp. 1485–1490.
- [44] P. B. Kenington, M. A. Beach, A. Bateman, and J. P. McGeehan, "Apparatus and method for reducing distortion in amplification," U.S. Patent US 5,334,946, August, 1994.
- [45] H.-M. Park, D.-H. Baek, K. Jeon, J.-W. Moon, and S. Hong, "A new predistortion linearizer using envelope-feedback technique for PCS high power amplifier application," in *IEEE Radio and Wireless Conference (RAWCON)*, August 1999, pp. 223–226.

- [46] H. M. Park, D. H. Baek, K. I. Jeon, and S. C. Hong, "A predistortion linearizer using envelope-feedback technique with simplified carrier cancellation scheme for class-A and class-AB power amplifiers," *IEEE Transactions on Microwave Theory Techniques*, vol. 48, no. 6, pp. 898–904, 2000.
- [47] K. Yamamoto, S. Suzuki, K. Mori, T. Asada, T. Okuda, A. Inoue, T. Miura, K. Chomei, R. Hattori, M. Yamanouchi, and T. Shimura, "A 3.2-V operation single-chip dual-band AlGaAs/GaAs HBT MMIC power amplifier with active feedback circuit technique," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 8, pp. 1109–1120, 2000.
- [48] V. Petrovic and W. Gosling, "Polar-loop transmitter," *Electronics Letters*, vol. 15, no. 10, pp. 286–288, May 1979.
- [49] M. A. Briffa and M. Faulkner, "Dynamically biased cartesian feedback linearization," in *43rd IEEE Vehicular Technology Conference (VTC)*, May 1993, pp. 672–675.
- [50] —, "Gain and phase margins of cartesian feedback RF amplifier linearisation," *Journal of Electrical and Electronics Engineering*, vol. 14, no. 4, pp. 283–289, December 1994.
- [51] A. N. Brown and V. Petrovic, "Phase delay compensation in HF cartesian-loop transmitters," in *4th International Conference on HF Radio Systems and Techniques*, April 1988, pp. 200–204.
- [52] D. C. Cox, "Linear amplification by sampling techniques : A new application for delta coders," *IEEE Transactions on Communications*, vol. 23, no. 8, pp. 793–798, August 1975.
- [53] M. Ibnkahla, N. J. Bershad, J. Sombrin, and F. Castanie, "Neural network modeling and identification of nonlinear channels with memory : algorithms, applications, and analytic models," *IEEE Transactions on Signal Processing*, vol. 46, no. 5, pp. 1208–1220, May 1998.
- [54] M. Johansson and T. Mattsson, "Transmitter linearization using cartesian feedback for linear TDMA modulation," in *41st IEEE Vehicular Technology Conference (VTC), Gateway to the Future Technology in Motion*, May 1991, pp. 439–444.
- [55] V. Petrovic, "Reduction of spurious emission from radio transmitters by means of modulation feedback," in *IEE Conference on Radio Spectrum Conservation Techniques*, September 1983, pp. 44–49.
- [56] Y. Ohishi, M. Minowa, E. Fukuda, and T. Takano, "Cartesian feedback amplifier with soft landing," in *3rd IEEE International Symposium on Personal, Indoor and Mobile Radio Communications (PIMRC), Proceedings*, October 1992, pp. 402–406.
- [57] S. Whittle, "A practical cartesian loop transmitter for narrowband linear modulation PMR systems," in *IEE Colloquium on Linear RF Amplifiers and Transmitters*, April 1994, pp. 21–25.
- [58] P. B. Kenington, M. Cope, R. M. Bennett, and J. Bishop, "A GSM-EDGE high power amplifier utilising digital linearisation," in *IEEE MTT-S International Microwave Symposium, Digest*, vol. 1-3, 2001, pp. 1517–1520.
- [59] E. G. Jeckeln, F. M. Ghannouchi, and M. Sawan, "Adaptive digital predistorter for power amplifiers with real time modeling of memoryless complex gains," in *IEEE MTT-S International Microwave Symposium, Digest*, vol. 2, June 1996, pp. 835–838.
- [60] H. Seidel, "A feedforward experiment. Applied to an L-4 carrier system amplifier," *IEEE Transactions on Communications Technology*, vol. 19, pp. 320–325, 1971.
- [61] —, "A microwave feed-forward experiment," *The Bell System Technical Journal*, Tech. Rep. 9, November 1971.
- [62] T. Bennett and R. F. Clements, "Feedforward - an alternative approach to amplifier linearization," *RF, Radio and Electronic Engineer*, vol. 44, pp. 257–262, 1974.
- [63] P. B. Kenington, R. J. Wilkinson, and J. D. Marvill, "A multi-carrier amplifier for future mobile communications systems," in *6th International Conference on Mobile Radio and Personal Communications*, December 1991, pp. 151–156.
- [64] G. Hau, T. B. Nishimura, and N. Iwata, "High efficiency, wide dynamic range variable gain and power amplifier MMICs for wide-band CDMA handsets," *IEEE Microwave Wireless Components Letters*, vol. 11, no. 1, pp. 13–15, 2001.
- [65] —, "A highly efficient linearized wide-band CDMA handset power amplifier based on predistortion under various bias conditions," *IEEE Transactions on Microwave Theory Techniques*, vol. 49, no. 6, pp. 1194–1201, 2001.

BIBLIOGRAPHIE

- [66] H. Gutierrez, K. Gard, and M. B. Steer, "Spectral regrowth in microwave amplifiers using transformation of signal statistics," in *IEEE MTT-S International Microwave Symposium, Digest*, vol. 3, June 1999, pp. 985–988.
- [67] J. Voros, "Modeling and identification of Wiener systems with two-segment nonlinearities," *IEEE Transactions on Control Systems Technology*, vol. 11, no. 2, pp. 253–257, Mar 2003.
- [68] S. J. Yi, S. W. Nam, S. H. Oh, and J. H. Han, "Prediction of a CDMA output spectrum based on intermodulation products of two-tone test," *IEEE Transactions on Microwave Theory Techniques*, vol. 49, no. 5, pp. 938–946, 2001.
- [69] V. Volterra, *Theory of Functionals and of Integral of Integro-Differential Equations*. Dover Publications, Inc, N.Y., 1958.
- [70] V. J. Mathews, "Adaptive polynomial filters," *IEEE Signal Processing Magazine*, vol. 8, no. 3, pp. 10–26, July 1991.
- [71] V. J. Mathews and G. Sicuranza, *Polynomial Signal Processing*. John Wiley and Sons, 2000.
- [72] O. Hammi, S. Boumaiza, and F. M. Ghannouchi, "On the robustness of digital predistortion function synthesis and average power tracking for highly nonlinear power amplifiers," *IEEE Transactions on Microwave Theory Techniques*, vol. 55, no. 6, pp. 1382–1389, 2007.
- [73] Y. Y. Nagata, "Linear amplification technique for digital mobile communications," in *IEEE 39th Vehicular Technology Conference (VTC)*, vol. 1, May 1989, pp. 159–164.
- [74] M. Faulkner, T. Mattsson, and W. Yates, "Adaptive linearisation using pre-distortion," in *IEEE 40th Vehicular Technology Conference*, May 1990, pp. 35–40.
- [75] M. Faulkner and M. Johansson, "Adaptive linearization using predistortion-experimental results," *IEEE Transactions on Vehicular Technology*, vol. 43, no. 2, pp. 323–332, May 1994.
- [76] J. J. Xu, M. C. E. Yagoub, R. T. Ding, and Q. J. Zhang, "Neural-based dynamic modeling of nonlinear microwave circuits," *IEEE Transactions on Microwave Theory Techniques*, vol. 50, no. 12, pp. 2769–2780, 2002.
- [77] J. Wood, J. Horn, and D. Root, "Extending static models by using time series to identify the dynamical behavior," in *IEEE MTT-S International Microwave Symposium, Digest*, vol. 1-4, 2005, pp. 1971–1974.
- [78] Q.-J. Zhang and K.-C. Gupta, *Neural Networks for RF and Microwave*. Design Orwood, MA : Artech House, 2000.
- [79] L. Gatet, H. Tap-Béteille, M. Lescure, D. Roviras, and A. Mallet, "Design and test of a CMOS MLP analog neural network for fast on-board signal processing," in *13th IEEE International Conference on Electronics, Circuits Systems*, vol. 1-3, 2006, pp. 922–925.
- [80] L. Gatet, H. Tap-Béteille, D. Roviras, and F. Gizard, "Integrated CMOS analog neural network ability to linearize the distorted characteristic of HPA embedded in satellites," in *4th IEEE International Symposium on Electronic Design, Test Applications (DELTA), Proceedings*, 2008, pp. 502–505.
- [81] L. Gatet, F. Bony, H. Tap-Béteille, E. Moutaye, F. Jayat, D. Roviras, and F. Gizard, "Embedded updating system based on integrated NNs in order to achieve adaptative predistortion of nonlinear HPA characteristics," in *IEEE Instrumentation and Measurement Technology Conference (I2MTC)*, vol. 1-3, 2009, pp. 811–814.
- [82] B. Mulliez, E. Moutaye, H. Tap, L. Gatet, and F. Gizard, "Predistortion system implementation based on analog neural networks for linearizing high power amplifiers transfer characteristics," *International Journal on Smart Sensing and Intelligent Systems (S2IS)*, vol. 7, no. 1, pp. 400–422, March 2014.
- [83] —, "Predistortion system implementation based on analog neural networks for linearizing high power amplifiers transfer characteristics," in *36th International Conference on Telecommunications and Signal Processing (TSP)*, July 2013, pp. 412–416.
- [84] O. Nelles, *Nonlinear System Identification : from classical approaches to Neural Network and Fuzzy Models*. Springer-Verlag, Berlin, Germany, 2001.
- [85] A. E. Nordsjo, "An algorithm for adaptive predistortion of certain time-varying nonlinear high-power amplifiers," in *Radar 2002*, October 2002, pp. 469–473.

- [86] E. Aschbacher and M. Rupp, "Modelling and identification of a nonlinear power-amplifier with memory for nonlinear digital adaptive pre-distortion," in *Signal Processing Advances in Wireless Communications, 2003. SPAWC 2003. 4th IEEE Workshop on*, June 2003, pp. 658–662.
- [87] H.-W. Kang, Y.-S. Cho, and D.-H. Youn, "An efficient adaptive predistorter for nonlinear high power amplifier in satellite communication," in *IEEE International Symposium on Circuits and Systems, (ISCAS), Proceedings*, vol. 4, June 1997, pp. 2288–2291.
- [88] —, "Adaptive precompensation of Wiener systems," *IEEE Transactions on Signal Processing*, vol. 46, no. 10, pp. 2825–2829, October 1998.
- [89] —, "On compensating nonlinear distortions of an OFDM system using an efficient adaptive predistorter," *IEEE Transactions on Communications*, vol. 47, no. 4, pp. 522–526, Apr 1999.
- [90] L. Ding, R. Raich, and G. T. Zhou, "A Hammerstein predistortion linearization design based on the indirect learning architecture," in *IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP)*, vol. 3, May 2002, pp. 2689–2692.
- [91] A. Sano and L. M. Sun, "Identification of Hammerstein-Wiener system with application to compensation for nonlinear distortion," in *41st SICE Annual Conference, Proceedings*, vol. 1-5, 2002, pp. 1521–1526.
- [92] H. C. Ku, M. D. McKinley, and J. S. Kenney, "Quantifying memory effects in RF power amplifiers," *IEEE Transactions on Microwave Theory Techniques*, vol. 50, no. 12, pp. 2843–2849, 2002.
- [93] L. Ping-Hui and W. Peng, "Wiener-Saleh modeling of nonlinear RF power amplifiers considering memory effects," in *International Conference on Microwave and Millimeter Wave Technology (ICMMT)*, May 2010, pp. 1447–1449.
- [94] B. Mulliez, G. Soubercaze-Pun, L. Gatet, E. Moutaye, and H. Tap, "Procédé de configuration d'un circuit corrigé comprenant un circuit imparfait et un circuit de prédistorsion," France Patent 1 453 773, 2013.
- [95] S. Sakphrom and A. Thanachayanont, "A low-power CMOS RF power detector," in *19th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, December 2012, pp. 177–180.
- [96] Z. Yijun and M.-W. Chia, "A low-power ultra-wideband CMOS true rms power detector," *IEEE Transactions on Microwave Theory Techniques*, vol. 56, no. 5, pp. 1052–1058, May 2008.
- [97] Y. Xin, Y. Uchida, Q. Liu, and T. Yoshimasu, "Low-power ultra-wideband power detector IC in 130 nm CMOS technology," in *IEEE MTT-S International Microwave Workshop Series on Millimeter Wave Wireless Technology and Applications (IMWS)*, Sept 2012, pp. 1–4.
- [98] N. Herencsar, S. Minaei, J. Koton, E. Yuces, and K. Vrba, "New resistorless and electronically tunable realization of dual-output VM all-pass filter using VDIBA," *Analog Integrated Circuits Signal Process.*, vol. 74, no. 1, pp. 141–154, January 2013.
- [99] B. Metin, N. Herencsar, and K. Vrba, "A CMOS DCCII with a grounded capacitor based cascadable all-pass filter application," *Radioengineering*, vol. 21, no. 2, pp. 718–724, June 2012.
- [100] A. Lahiri, "New CMOS-based resistor-less current-mode first-order all-pass filter using only ten transistors and one external capacitor," *Radioengineering*, vol. 20, no. 3, pp. 638–644, Sept. 2011.
- [101] U.-E. Ayten, M. Sagbas, and S. Minaei, "Realization of low-voltage modified CBTA and design of cascadable current-mode all-pass filter," *Radioengineering*, vol. 23, no. 1, pp. 523–531, April 2014.
- [102] D. Quoc-Hoang, L. Quan, C.-W. Kim, and S.-G. Lee, "A 95db linear low-power variable gain amplifier," *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 53, no. 8, pp. 1648–1657, Aug 2006.
- [103] H. Yan-Yu, W. Woo, H. Jeon, C.-H. Lee, and J. Kenney, "Compact wideband linear CMOS variable gain amplifier for analog-predistortion power amplifiers," *IEEE Transactions on Microwave Theory Techniques*, vol. 60, no. 1, pp. 68–76, January 2012.
- [104] B. Rahmatian and S. Mirabbasi, "A low-power 75db digitally programmable CMOS variable-gain amplifier," in *Canadian Conference on Electrical and Computer Engineering (CCECE)*, April 2007, pp. 522–525.
- [105] Y. LeCun, O. Matan, B. Boser, J. S. Denker, D. Henderson, R. E. Howard, W. Hubbard, L. D. Jackel, and H. S. Baird, "Handwritten zip code recognition with multilayer networks," in *International Conference on Pattern Recognition, Proceedings*, vol. II, 1990, pp. 35–40.

BIBLIOGRAPHIE

- [106] N. Mozayyani., A. R. Baig, and G. Vaucher, "A fully-neural solution for online handwritten character recognition," in *IEEE International Joint Conference on Neural Networks Proceedings, IEEE World Congress on Computational Intelligence.*, vol. 1, May 1998, pp. 160–164.
- [107] S. Knerr, L. Personnaz, and G. Dreyfus, "Handwritten digit recognition by neural networks with single-layer training," *IEEE Transactions on Neural Networks.*, vol. 3, no. 6, pp. 962–968, November 1992.
- [108] F. Yang and M. Paindavoine, "Implementation of an RBF neural network on embedded systems : real-time face tracking and identity verification," *IEEE Transactions on Neural Networks*, vol. 14, no. 5, pp. 1162–1175, September 2003.
- [109] L. E. Hui, K. P. Seng, and K. M. Tse, "RBF neural network mouth tracking for audio-visual speech recognition system," in *IEEE Region 10 Conference TENCN*, vol. 1, November 2004, pp. 84–87.
- [110] C. M. Bishop, *Neural Networks for Pattern Recognition*. New York, NY, USA : Oxford University Press, Inc., 1995.
- [111] A. R. de Almeida, E. O. Freire, C. A. Ronnow, J. E. S. Vianna, and R. M. Rosi, "Neural network-based geometric references recognition applied to ultrasound echo signals," in *43rd IEEE Midwest Symposium on Circuits and Systems, Proceedings*, vol. 3, 2000, pp. 1344–1347.
- [112] L. Oukhellou and P. Akin, "Modified Fourier descriptors : A new parametrization of eddy current signatures applied to the rail defect classification," in *III International Workshop on Advances in Signal Processing for Non Destructive Evaluation of Materials*, 1997.
- [113] M. Stricker, F. Vichot, G. Dreyfus, and F. Wolinski, "Training context-sensitive neural networks with few relevant examples for trec-9 routing," in *In Text Retrieval Conference, TREC-9, NIST Special Publication*, 2001.
- [114] P. Roussel, F. Moncet, B. Barrieu, and A. Viola, "Modélisation d'un processus dynamique à l'aide de réseaux de neurones bouclés. application à la modélisation de la relation pluie-hauteur d'eau dans un réseau d'assainissement et à la détection de défaillances de capteurs," in *Innovative Technologies in Urban Drainage*, vol. 1, 2001, pp. 919–926.
- [115] F. Castanie and D. Roviras, "Neural networks in space communications," in *14th International Conference on Digital Signal Processing (DSP)*, vol. 1, 2002, pp. 3–7.
- [116] L. Gatet, H. Tap-Béteille, and M. Lescure, "Analog neural network design for real-time surface detection with a laser rangefinder," in *IEEE Instrumentation and Measurement Technology Conference (IMTC), Proceedings*, May 2007, pp. 1–6.
- [117] W. S. McCulloch and W. Pitts, "A logical calculus of the ideas immanent in nervous activity," *The Bulletin of Mathematical Biophysics*, vol. 5, no. 4, pp. 115–133, 1943.
- [118] M. Minski and S. Papert, *Perceptrons*. MIT Press, 1969.
- [119] T. Kohonen, *Self-organization and Associative Memory : 2nd Edition*. New York, NY, USA : Springer Series in Information Sciences, 1989.
- [120] M. Rawat, K. Rawat, and F. M. Ghannouchi, "Adaptive digital predistortion of wireless power amplifiers/transmitters using dynamic real-valued focused time-delay line neural networks," *IEEE Transactions on Microwave Theory Techniques*, vol. 58, no. 1, pp. 95–104, 2010.
- [121] R. Zayani, R. Bouallegue, and D. Roviras, "Adaptive predistortions based on neural networks associated with Levenberg-Marquardt algorithm for satellite down links," *EURASIP Journal on Wireless Communication Networks*, vol. 2008, pp. 1–8, January 2008.
- [122] K. Hornik, M. Stinchcombe, and H. White, "Multilayer feedforward networks are universal approximators," *Neural Networks*, vol. 2, no. 5, pp. 359–366, July 1989.
- [123] —, "Universal approximation of an unknown mapping and its derivatives using multilayer feed-forward networks," *Neural Networks*, vol. 3, no. 5, pp. 551–560, October 1990.
- [124] K. Hornik, "Approximation capabilities of multilayer feedforward networks," *Neural Networks*, vol. 4, no. 2, pp. 251–257, March 1991.
- [125] K. Hornik, M. Stinchcombe, H. White, and P. Auer, "Degree of approximation results for feed-forward networks approximating unknown mappings and their derivatives," *Neural Computation*, vol. 6, no. 6, pp. 1262–1275, November 1994.
- [126] R. Zayani, R. Bouallegue, and D. Roviras, "Levenberg-Marquardt learning neural network for adaptive predistortion for time-varying HPA with memory in OFDM systems," *16th European Signal Processing Conference, Proceedings*, 2008.

- [127] F. M. Dias, A. Antunes, and A. M. Mota, "Artificial neural networks : A review of commercial hardware," *Engineering Applications of Artificial Intelligence*, vol. 17, no. 8, December 2004.
- [128] S. Vitabile, V. Conti, F. Gennaro, and F. Sorbello, "Efficient MLP digital implementation on FPGA," in *8th Euromicro Conference on Digital System Design, Proceedings*, 2005, pp. 218–222.
- [129] D. Zhang and H. Li, "A low cost digital implementation of feed-forward neural networks applied to a variable-speed wind turbine system," in *37th IEEE Power Electronics Specialists Conference (PESC)*, June 2006, pp. 1–6.
- [130] E. Torbey and B. Haroun, "Architectural synthesis for digital neural networks," in *International Joint Conference on Neural Networks (IJCNN)*, vol. 2, June 1992, pp. 601–606.
- [131] C. Tang and H. Kwan, "Digital implementation of neural networks with quantized neurons," in *IEEE International Symposium on Circuits and Systems (ISCAS), Proceedings*, vol. 1, June 1997, pp. 649–652.
- [132] K. Przytula, "Parallel digital implementations of neural networks," in *International Conference on Application Specific Array Processors, Proceedings*, September 1991, pp. 162–176.
- [133] K. Basterretxea, J. M. Tarela, and I. del Campo, "Approximation of sigmoid function and the derivative for hardware implementation of artificial neurons," *Circuits, Devices and Systems, IEE Proceedings*, vol. 151, no. 1, pp. 18–24, February 2004.
- [134] T. Morie and Y. Amemiya, "An all-analog expandable neural network LSI with on-chip backpropagation learning," *IEEE Journal of Solid-State Circuits*, vol. 29, no. 9, pp. 1086–1093, September 1994.
- [135] J. Choi and B. Sheu, "VLSI design of compact and high-precision analog neural network processors," in *International Joint Conference on Neural Networks (IJCNN)*, vol. 2, June 1992, pp. 637–641.
- [136] M. Al-Nsour and H. Abdel-Aty-Zohdy, "MOS fully analog reinforcement neural network chip," in *IEEE International Symposium on Circuits and Systems (ISCAS)*, vol. 2, May 2001, pp. 237–240.
- [137] S. Gowda, B. Sheu, C. Joongho, C.-G. Hwang, and J. Cable, "Design and characterization of analog VLSI neural network modules," *IEEE Journal of Solid-State Circuits*, vol. 28, no. 3, pp. 301–313, March 1993.
- [138] S. Satyanarayana, Y. Tsvividis, and H. Graf, "A reconfigurable VLSI neural network," *IEEE Journal of Solid-State Circuits*, vol. 27, no. 1, pp. 67–81, January 1992.
- [139] D. Burns, I. Underwood, A. Murray, and D. Vass, "Design and characterisation of an optoelectronic neural chip," *Optics Communications*, vol. 127, no. 4-6, pp. 313–324, 1996.
- [140] M. Ruiz-Llata and H. Lamela-Rivera, "Image identification system based on an optical broadcast neural network processor," *Applied Optics*, vol. 45, no. 16, pp. 3781–3781, June 2006.
- [141] M. Riordan and L. Hodgeson, *Crystal Fire : The Invention of the Transistor and the Birth of the Information Age*, ser. Sloan technology series. Norton, 1997.
- [142] J. S. Kilby, "Miniature semiconductor integrated circuit," U.S. Patent US 3,115,581, December, 1963.
- [143] F. Wanlass and C. Sah, "Nanowatt logic using field-effect metal-oxide semiconductor triodes," in *IEEE International Conference on Solid-State Circuits, Digest of Technical Papers*, vol. 6, February 1963, pp. 32–33.
- [144] R. J. Baker, *CMOS : Circuit Design, Layout, and Simulation*, ser. IEEE Press Series on Microelectronic Systems. Wiley, 2011.
- [145] M. Bacci, F. Bigongiari, C. B. Polo, R. Dittrich, M. Inversi, and R. Jansen, "Assessment of mixed signal technology," ESA, Tech. Rep., 2014.
- [146] AMS, *ENG-182 0.35 μ m CMOS C35 Process Parameters*, January 2014.
- [147] B. Razavi, *Design of Analog CMOS Integrated Circuits*, ser. McGraw-Hill Higher Education. McGraw-Hill, 2002.
- [148] R. L. Geiger, P. E. Allen, and N. R. Strader, *Analog Integrated Circuits*, 3rd ed. John Wiley and Sons, 1990.
- [149] P. Antognetti and G. Massobrio, *Semiconductor Device Modelling with SPICE*. McGraw-Hill, 1993.

BIBLIOGRAPHIE

- [150] S. Josse, “Transportabilité de fonctions analogiques CMOS en technologies submicroniques. application : Contrôle du retard des fronts d’horloges d’un imageur ccd,” Ph.D. dissertation, Institut National Polytechnique de Toulouse, 2003.
- [151] M. C. Schneider and C. Galup-Montoro, *CMOS Analog Design Using All-Region MOSFET Modeling*. Cambridge University Press, 2010.
- [152] D. Standarovski, “Contribution à la conception de circuits intégrés analogique en technologie CMOS basse tension pour application aux instruments d’observation de la terre,” Ph.D. dissertation, Institut National Polytechnique de Toulouse, 2005.
- [153] L. Gatet, “Intégration de réseaux de neurones pour la télémétrie laser,” Ph.D. dissertation, Université de Toulouse, Institut National Polytechnique de Toulouse, 2007.
- [154] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*. Wiley, 2001.
- [155] A. Sedra and K. Smith, *Microelectronic Circuits*, ser. Electronics Series. Oxford University Press, 2010.
- [156] R. L. Geiger, P. E. Allen, and N. R. Strader, *VLSI Design Techniques for Analog and Digital Circuits*, ser. McGraw-Hill series in electrical engineering. McGraw-Hill Book Company, 1990.
- [157] R. J. Baker, *CMOS : Circuit Design, Layout, and Simulation*, ser. IEEE Press Series on Microelectronic Systems. Wiley, 2008.
- [158] P. Allen and D. Holberg, *CMOS Analog Circuit Design*, ser. Oxford Series in Electrical and Computer Engineering. Oxford University Press, 2002.
- [159] G. Han and E. Sánchez-Sinencio, “CMOS transconductance multipliers : A tutorial,” *IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing*, vol. 45, no. 12, pp. 1550–1563, December 1998.
- [160] T. Enomoto and M.-A. Yasumoto, “Integrated MOS four-quadrant analog multiplier using switched capacitor technology for analog signal processor ICs,” *IEEE Journal of Solid-State Circuits*, vol. 20, no. 4, pp. 852–859, August 1985.
- [161] Z. Zhang, X. Dong, and Z. Zhang, “A single D-FET 4-QAM with SC technology,” *IEEE Transactions on Circuits and Systems*, vol. 35, no. 12, pp. 1551–1552, December 1988.
- [162] O. Changyue, C. P., and X. Yizhong, “Study of switched capacitor multiplier,” in *International Conference on Circuits and Systems, Proceedings*, vol. 1, June 1991, pp. 234–237.
- [163] M. Ismail, R. Brannen, S. Takagi, R. Khan, O. Aaserud, N. Fujii, and N. Khachab, “A configurable CMOS multiplier/divider for analog VLSI,” in *IEEE International Symposium on Circuits and Systems (ISCAS)*, vol. 2, May 1993, pp. 1085–1088.
- [164] P. Allen, “Low-voltage CMOS transconductance cell based on parallel operation of triode and saturation transconductors,” *Electronics Letters*, vol. 30, no. 14, pp. 1124–1126, July 1994.
- [165] —, “Low-voltage, four-quadrant, analogue CMOS multiplier,” *Electronics Letters*, vol. 30, no. 13, pp. 1044–1045, June 1994.
- [166] A. Coban and P. Allen, “A 1.5V four-quadrant analog multiplier,” in *37th Midwest Symposium on Circuits and Systems, Proceedings*, vol. 1, August 1994, pp. 117–120.
- [167] A. Coban, P. Allen, and S. Xudong, “Low-voltage analog IC design in CMOS technology,” *IEEE Transactions on Circuits and Systems I : Fundamental Theory and Applications*, vol. 42, no. 11, pp. 955–958, November 1995.
- [168] J. Pennock, “CMOS triode transconductor for continuous-time active integrated filters,” *Electronics Letters*, vol. 21, no. 18, pp. 817–818, August 1985.
- [169] N. Khachab and M. Ismail, “MOS multiplier/divider cell for analogue VLSI,” *Electronics Letters*, vol. 25, no. 23, pp. 1550–1552, November 1989.
- [170] —, “A nonlinear CMOS analog cell for VLSI signal and information processing,” *IEEE Journal of Solid-State Circuits*, vol. 26, no. 11, pp. 1689–1699, November 1991.
- [171] S.-C. Huang and M. Ismail, “CMOS multiplier design using the differential difference amplifier,” in *36th Midwest Symposium on Circuits and Systems, Proceedings*, vol. 2, August 1993, pp. 1366–1368.
- [172] S. Lee, K. Lau, and L. Siek, “Four-quadrant CMOS analogue multiplier for artificial neural networks,” *Electronics Letters*, vol. 31, no. 1, pp. 48–49, January 1995.

- [173] S.-I. Liu and Y.-S. Hwang, "CMOS four-quadrant multiplier using bias feedback techniques," *IEEE Journal of Solid-State Circuits*, vol. 29, no. 6, pp. 750–752, June 1994.
- [174] C. Kim and S. Park, "New four-quadrant CMOS analogue multiplier," *Electronics Letters*, vol. 23, no. 24, pp. 1268–1269, November 1987.
- [175] S.-I. Liu and C.-C. Chang, "Low-voltage CMOS four-quadrant multiplier," *Electronics Letters*, vol. 33, no. 3, pp. 207–208, January 1997.
- [176] G. Colli and F. Montecchi, "Low voltage low power CMOS four-quadrant analog multiplier for neural network applications," in *IEEE International Symposium on Circuits and Systems (ISCAS)*, vol. 1, May 1996, pp. 496–499.
- [177] Z. Wang, "A four-transistor four-quadrant analog multiplier using MOS transistors operating in the saturation region," *IEEE Transactions on Instrumentation and Measurement*, vol. 42, no. 1, pp. 75–77, February 1993.
- [178] H.-J. Song and C.-K. Kim, "An MOS four-quadrant analog multiplier using simple two-input squaring circuits with source followers," *IEEE Journal of Solid-State Circuits*, vol. 25, no. 3, pp. 841–848, June 1990.
- [179] K. Kimura, "Analysis of "an MOS four-quadrant analog multiplier using simple two-input squaring circuits with source followers"," *IEEE Transactions on Circuits and Systems I : Fundamental Theory and Applications*, vol. 41, no. 1, pp. 72–75, January 1994.
- [180] Y. Kim and S. Park, "Four-quadrant CMOS analogue multiplier," *Electronics Letters*, vol. 28, no. 7, pp. 649–650, March 1992.
- [181] S. Sakurai and M. Ismail, "High frequency wide range CMOS analogue multiplier," *Electronics Letters*, vol. 28, no. 24, pp. 2228–2229, November 1992.
- [182] S.-I. Liu and Y.-S. Hwang, "CMOS four-quadrant multiplier using bias offset crosscoupled pairs," *Electronics Letters*, vol. 29, no. 20, pp. 1737–1738, September 1993.
- [183] —, "CMOS squarer and four-quadrant multiplier," *IEEE Transactions on Circuits and Systems I : Fundamental Theory and Applications*, vol. 42, no. 2, pp. 119–122, February 1995.
- [184] S.-I. Liu, C.-C. Chang, and Y.-S. Hwang, "New CMOS four-quadrant multiplier and squarer circuits," *Analog Integrated Circuits and Signal Processing*, vol. 9, no. 3, pp. 257–263, 1996.
- [185] J. Ramirez-Angulo, "Highly linear four quadrant analog BiCMOS multiplier for $\pm 1.5v$ supply operation," in *IEEE International Symposium on Circuits and Systems (ISCAS)*, vol. 2, May 1993, pp. 1467–1470.
- [186] Z. Hong and H. Melchior, "Four-quadrant CMOS analogue multiplier," *Electronics Letters*, vol. 20, no. 24, pp. 1015–1016, November 1984.
- [187] H. Mehrvarz and C. Y. Kwok, "A large-input-dynamic-range multi-input floating-gate mos four-quadrant analog multiplier," in *IEEE 41st International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers*, February 1995, pp. 60–61.
- [188] J. Schoeman and T.-H. Joubert, "Four quadrant analogue CMOS multiplier using capacitively coupled dual-gate transistors," *Electronics Letters*, vol. 32, no. 3, pp. 209–210, February 1996.
- [189] Z. Hong and H. Melchior, "Analogue four-quadrant CMOS multiplier with resistors," *Electronics Letters*, vol. 21, no. 12, pp. 531–532, June 1985.
- [190] K. Bult and H. Wallinga, "A CMOS four-quadrant analog multiplier," *IEEE Journal of Solid-State Circuits*, vol. 21, no. 3, pp. 430–435, June 1986.
- [191] P. J. Langlois, "Comments on "A CMOS four-quadrant multiplier" : effects of threshold voltage," *IEEE Journal of Solid-State Circuits*, vol. 25, no. 6, pp. 1595–1597, December 1990.
- [192] J. Pena-Finol and J. Connelly, "A MOS four-quadrant analog multiplier using the quarter-square technique," *IEEE Journal of Solid-State Circuits*, vol. 22, no. 6, pp. 1064–1073, December 1987.
- [193] N. Saxena and J. Clark, "A four-quadrant CMOS analog multiplier for analog neural networks," *IEEE Journal of Solid-State Circuits*, vol. 29, no. 6, pp. 746–749, June 1994.
- [194] Z. Wang, "A CMOS four-quadrant analog multiplier with single-ended voltage output and improved temperature performance," *IEEE Journal of Solid-State Circuits*, vol. 26, no. 9, pp. 1293–1301, September 1991.
- [195] S.-I. Liu and C.-C. Chang, "CMOS analog divider and four-quadrant multiplier using pool circuits," *IEEE Journal of Solid-State Circuits*, vol. 30, no. 9, pp. 1025–1029, September 1995.

BIBLIOGRAPHIE

- [196] J. Ramirez-Angulo, "Yet another low-voltage four quadrant analog CMOS multiplier," in *38th Midwest Symposium on Circuits and Systems, Proceedings*, vol. 1, August 1995, pp. 405–408.
- [197] K. Kimura, "An MOS four-quadrant analog multiplier based on the multitail technique using a quadritail cell as a multiplier core," *IEEE Transactions on Circuits and Systems I : Fundamental Theory and Applications*, vol. 42, no. 8, pp. 448–454, August 1995.
- [198] M. Holler, T. Simon, H. Castro, and R. Benson, "An electrically trainable artificial neural network (ETANN) with 10240 "floating gate" synapses," in *International Joint Conference on Neural Networks (IJCNN)*, vol. 2, 1989, pp. 191–196.
- [199] Z. Hong and H. Melchior, "Four quadrant multiplier core with lateral bipolar transistor in CMOS technology," *Electronics Letters*, vol. 21, no. 2, pp. 72–74, January 1985.
- [200] J. N. Babanezhad and G. C. Temes, "A 20V four-quadrant CMOS analog multiplier," *IEEE Journal of Solid-State Circuits*, vol. 20, no. 6, pp. 1158–1168, December 1985.
- [201] D. C. Soo and R. G. Meyer, "A four-quadrant NMOS analog multiplier," *IEEE Journal of Solid-State Circuits*, vol. 17, no. 6, pp. 1174–1178, December 1982.
- [202] S. L. Wong, N. Kalyanasundaram, and C. A. T. Salama, "Wide dynamic range four-quadrant CMOS analog multiplier using linearized transconductance stages," *IEEE Journal of Solid-State Circuits*, vol. 21, no. 6, pp. 1120–1122, December 1986.
- [203] R. Tawel, R. Benson, and A. P. Thakoor, "A CMOS UV-programmable non-volatile synaptic array," in *International Joint Conference on Neural Networks, (IJCNN)*, vol. 1, July 1991, pp. 581–585.
- [204] J. Ramirez-Angulo and S. Ming-Shen, "The folded Gilbert cell : a low voltage high performance CMOS multiplier," in *35th Midwest Symposium on Circuits and Systems, Proceedings*, vol. 1, August 1992, pp. 20–23.
- [205] S.-C. Qin and R. Geiger, "A ± 5 -v CMOS analog multiplier," *IEEE Journal of Solid-State Circuits*, vol. 22, no. 6, pp. 1143–1146, December 1987.
- [206] S.-I. Liu and C.-C. Chang, "CMOS subthreshold four-quadrant multiplier based on unbalanced source-coupled pairs," *International Journal of Electronics*, vol. 78, no. 2, pp. 327–332, 1995.
- [207] R. Walke, S. Quigley, and P. Webb, "Design of an analogue subthreshold multiplier suitable for implementing an artificial neural network," *Circuits, Devices and Systems, IEE Proceedings*, vol. 139, no. 2, pp. 261–264, April 1992.
- [208] L. Song, M. Elmasry, and A. Vannelli, "Analog neural network building blocks based on current mode subthreshold operation," in *IEEE International Symposium on Circuits and Systems (ISCAS)*, May 1993, pp. 2462–2465.
- [209] B. Gilbert, "A precision four-quadrant multiplier with sub nanosecond response," *IEEE Journal Solid-State Circuits*, vol. SC-3, pp. 353–365, December 1968.
- [210] S. Maheshwari, "New voltage and current-mode APS using current controlled conveyor," *International Journal of Electronics*, vol. 91, no. 12, pp. 735–743, 2004.
- [211] S. Minaei and O. Cicekoglul, "A resistorless realization of the first-order all-pass filter," *International Journal of Electronics*, vol. 93, no. 3, pp. 177–183, 2006.
- [212] P. Kumar, A. U. Keskin, and K. Pal, "Wide-band resistorless all-pass sections with single element tuning," *International Journal of Electronics*, vol. 94, no. 6, pp. 597–604, 2007.
- [213] J. Bajer and D. Biolek, "Voltage-mode electronically tunable all-pass filter employing CCCII+, one capacitor and differential-input voltage buffer," in *IEEE 26th Convention of Electrical and Electronics Engineers in Israel (IEEEI)*, November 2010, pp. 934–937.
- [214] B. Metin, K. Pal, and O. Cicekoglul, "CMOS-controlled inverting CDDBA with a new all-pass filter application," *International Journal of Circuit Theory and Applications*, vol. 39, no. 4, pp. 417–425, 2011.
- [215] N. Herencsar, J. Koton, K. Vrba, and B. Metin, "Novel voltage conveyor with electronic tuning and its application to resistorless all-pass filter," in *34th International Conference on Telecommunications and Signal Processing (TSP)*, Aug 2011, pp. 265–268.
- [216] E. Yuce, S. Minaei, N. Herencsar, and J. Koton, "Realization of first-order current-mode filters with low number of MOS transistors," *Journal of Circuits, Systems and Computers*, vol. 22, no. 01, pp. 125–139, 2013.

- [217] S. Maheshwari, "High output impedance current-mode all-pass sections with two grounded passive components," *Circuits, Devices Systems, IET*, vol. 2, no. 2, pp. 234–242, April 2008.
- [218] —, "Analogue signal processing applications using a new circuit topology," *Circuits, Devices Systems, IET*, vol. 3, no. 3, pp. 106–115, June 2009.
- [219] S. Minaei and E. Yuce, "Novel voltage-mode all-pass filter based on using DVCCs," *Circuits, Systems and Signal Processing*, vol. 29, no. 3, pp. 391–402, 2010.
- [220] N. Herencsar, J. Koton, K. Vrba, and S. Minaei, "Electronically tunable MOSFET-C voltage-mode all-pass filter based on universal voltage conveyor," in *IEEE 3rd International Conference on Communication Software and Networks (ICCSN)*, May 2011, pp. 442–445.
- [221] N. Herencsar, J. Koton, J. Jerabek, K. Vrba, and O. Cicekoglu, "Voltage-mode all-pass filters using universal voltage conveyor and MOSFET-based electronic resistors," *Radioengineering*, vol. 20, no. 1, pp. 10–18, 2010.
- [222] B. Metin and K. Pal, "New all-pass filter circuit compensating for C-CDBA nonidealities," *Journal of Circuits, Systems and Computers*, vol. 19, no. 02, pp. 381–391, 2010.
- [223] B. Chaturvedi and S. Maheshwari, "An ideal voltage-mode all-pass filter and its application," *Journal of Communication and Computer*, vol. 9, pp. 613–623, May 2012.
- [224] W. Chiu, S.-I. Liu, H.-W. Tsao, and J.-J. Chen, "CMOS differential difference current conveyors and their applications," *Circuits, Devices and Systems, IEE Proceedings*, vol. 143, no. 2, pp. 91–96, Apr 1996.
- [225] E. Sackinger and W. Guggenbuhl, "A versatile building block : the CMOS differential difference amplifier," *IEEE Journal of Solid-State Circuits*, vol. 22, no. 2, pp. 287–294, April 1987.
- [226] R. Castello, P. Erratico, S. Manzini, and F. Sveito, "A $\pm 30\%$ tuning range varactor compatible with future scaled technologies," in *Symposium on VLSI Circuits, Digest of Technical Papers*, June 1998, pp. 34–35.
- [227] W. Wong, P. S. Hui, Z. Chen, K. Shen, J. Lau, P. Chan, and P. Ko, "A wide tuning range gated varactor," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 5, pp. 773–779, May 2000.
- [228] R. L. Bunch and S. Raman, "Large-signal analysis of MOS varactors in CMOS- G_m LC VCOs," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 8, pp. 1325–1332, August 2003.
- [229] S. Chatterjee, T. Musah, Y. Tividis, and P. Kinget, "Weak inversion MOS varactors for 0.5V analog integrated filters," in *Symposium on VLSI Circuits, Digest of Technical Papers*, June 2005, pp. 272–275.
- [230] J. Martinez, M. Steyaert, and W. Sansen, "Very linear CMOS floating resistor," *Electronics Letters*, vol. 26, no. 19, pp. 1610–1611, September 1990.
- [231] X. Xiang and J. Sturm, "Tunable linear MOS resistor for RF applications," in *IEEE 12th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF)*, January 2012, pp. 37–40.
- [232] I. S. Han and S. B. Park, "Voltage-controlled linear resistor by two MOS transistors and its application to active RC filter MOS integration," *Proceedings of the IEEE*, vol. 72, no. 11, pp. 1655–1657, November 1984.
- [233] J. Babanezhad and G. Temes, "A linear NMOS depletion resistor and its application in an integrated amplifier," *IEEE Journal of Solid-State Circuits*, vol. 19, no. 6, pp. 932–938, December 1984.
- [234] G. Moon, M. E. Zaghloul, and R. W. Newcomb, "An enhancement-mode MOS voltage-controlled linear resistor with large dynamic range," *IEEE Transactions on Circuits and Systems*, vol. 37, no. 10, pp. 1284–1288, October 1990.
- [235] S. Sakurai and M. Ismail, "A CMOS square-law programmable floating resistor independent of the threshold voltage," *IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing*, vol. 39, no. 8, pp. 565–574, August 1992.
- [236] L. Wang and R. W. Newcomb, "An adjustable CMOS floating resistor," in *IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2008, pp. 1708–1711.
- [237] S. Tantry, T. Oura, T. Yoneyama, and H. Asai, "A low voltage floating resistor having positive and negative resistance values," in *Asia-Pacific Conference on Circuits and Systems (APCCAS)*, vol. 1, 2002, pp. 347–350.
- [238] C. Popa, "Low-area tunable CMOS resistor with improved linearity," in *17th IEEE International Conference on Electronics, Circuits, and Systems (ICECS)*, December 2010, pp. 190–193.

BIBLIOGRAPHIE

- [239] K. Kaewdang, K. Kumwachara, and W. Surakampontrorn, "Electronically tunable floating CMOS resistor using OTA," in *IEEE International Symposium on Communications and Information Technology (ISCIT)*, vol. 1, October 2005, pp. 729–732.
- [240] K. M. Al-Ruwaihi, "A floating voltage-controlled linear resistor and its application to active RC filters," *International Journal of Electronics*, vol. 82, no. 5, pp. 483–498, 1997.
- [241] S. A. Tekin, H. Ercan, and M. AlÄgi, "Novel low voltage CMOS current controlled floating resistor using differential pair," *Radioengineering*, vol. 22, no. 2, pp. 428–433, 2013.
- [242] W. Petchmaneelumka, P. Julsereewong, and V. Riewruja, "Positive/negative floating resistor using OTAs," in *International Conference on Control, Automation and Systems (ICCAS)*, October 2008, pp. 1565–1568.
- [243] M. Kumngern, "CMOS tunable positive/negative floating resistor using OTAs," in *4th International Conference on Computational Intelligence, Communication Systems and Networks (CICSyN)*, July 2012, pp. 445–448.
- [244] D. Ma, B. Wilamowski, and F. Dai, "A tunable CMOS resistor with wide tuning range for low pass filter application," in *IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF)*, January 2009, pp. 1–4.
- [245] H. O. Elwan, S. S. A. Mahmoud, and M. Ahmed, "CMOS voltage controlled floating resistor," *International Journal of Electronics*, vol. 81, no. 5, pp. 571–576, 1996.
- [246] S. Mahmoud and M. Ahmed, "A new CMOS programmable balanced output transconductor and application to a mixed mode universal filter suitable for VLSI," *Analog Integrated Circuits and Signal Processing*, vol. 19, no. 3, pp. 241–254, 1999.
- [247] Z. Wang and W. Guggenbuhl, "A voltage-controllable linear MOS transconductor using bias offset technique," *IEEE Journal of Solid-State Circuits*, vol. 25, no. 1, pp. 315–317, February 1990.
- [248] I. A. Khan and M. T. Ahmed, "Realisation of tunable floating resistors," *Electronics Letters*, vol. 22, no. 15, pp. 799–800, July 1986.
- [249] S. P. Spingh, J. V. Hanson, and J. Vlach, "A new floating resistor for CMOS technology," *IEEE Transactions on Circuits and Systems*, vol. 36, no. 9, pp. 1217–1220, September 1989.
- [250] Z. Wang, "Novel electronically-controlled floating resistors using MOS transistors operating in saturation," *Electronics Letters*, vol. 27, no. 2, pp. 188–189, January 1991.
- [251] S. F. Al-Sarawi, "A novel topology for grounded-to-floating resistor conversion in CMOS technology," *Microelectronics Journal*, vol. 33, no. 12, pp. 1059 – 1069, 2002.
- [252] P. VanPeteghem and G. Rice, "New CMOS resistor implementation for linear IC applications," *Electronics Letters*, vol. 24, no. 5, pp. 288–290, Mar 1988.
- [253] M. Kushima, M. Inaba, K. Tanno, and O. Ishizuka, "Design of a floating node voltage-controlled linear variable resistor circuit," in *47th Midwest Symposium on Circuits and Systems (MWSCAS)*, vol. 1, July 2004, pp. 85–88.
- [254] Y. Kim and S. Park, "A new floating voltage-controlled CMOS resistor linear over a wide input voltage range," in *IEEE Symposium on Circuits and Systems*, vol. 4, June 1991, pp. 1912–1915.
- [255] L. Sung-Dae, L. Won-Hyo, and C. Kang-Min, "A highly linear voltage controlled resistor for neural chip," in *IEEE International Conference on Systems, Man, and Cybernetics*, vol. 2, October 1998, pp. 1851–1856.
- [256] M. Kumngern, U. Torteanchai, and K. Dejhan, "Voltage-controlled floating resistor using DDCC," *Radioengineering*, vol. 20, no. 1, pp. 327–333, 2011.
- [257] M. Kumngern, "Voltage-controlled floating resistor using differential difference amplifier," in *International Conference on Electrical Engineering and Informatics (ICEEI)*, July 2011, pp. 1–4.
- [258] M. Banu and Y. Tsividis, "Floating voltage-controlled resistors in CMOS technology," *Electronics Letters*, vol. 18, no. 15, pp. 678–679, July 1982.
- [259] Z. Wang, "CMOS positive and negative grounded resistors using MOS transistors operating in saturation," *Microelectronics Journal*, vol. 23, no. 5, pp. 355–357, 1992.
- [260] E. Yuce, S. Tokat, and F. Yucel, "A new wideband electronically tunable grounded resistor employing only three MOS transistors," *Turkish Journal of Electrical Engineering and Computer Sciences*, 2014.

- [261] E. Yuce, S. Minaei, and H. Alpaslan, "Novel CMOS technology-based linear grounded voltage controlled resistor," *Journal of Circuits, Systems and Computers*, vol. 20, no. 03, pp. 447–455, 2011.
- [262] Z. Wang, "Novel voltage-controlled grounded resistor," *Electronics Letters*, vol. 26, no. 20, pp. 1711–1712, September 1990.
- [263] K. Dejhan, N. Suwanchatree, P. Prommee, S. Piangprantong, and I. Chaisayun, "A CMOS voltage-controlled grounded resistor using a single power supply," in *IEEE International Symposium on Communications and Information Technology (ISCIT)*, vol. 1, October 2004, pp. 124–127.
- [264] J. Whitaker, *The Electronics Handbook, 2nd Edition*, ser. Electrical Engineering Handbook. CRC Press, 2005.
- [265] T. Deliyannis, Y. Sun, and J. Fidler, *Continuous-Time Active Filter Design*, ser. Electronic Engineering Systems. CRC Press, 2010.
- [266] W. M. C. Sansen, *Analog Design Essentials*. Springer-Verlag New York, Inc., 2006.
- [267] K. Kaewdang and W. Surakampontorn, "A wide tunable range CMOS ota," in *5th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON)*, vol. 2, May 2008, pp. 705–708.
- [268] J. B. Sombrin, "Conditions d'équivalence de mesures ou simulations de NPR et d'EVM," in *17^{ème} Journées Nationales Microondes*, May 2011.
- [269] R. Westcott, "Investigation of multiple FM/FDM carriers through a satellite TWT operating near to saturation," in *Institution of Electrical Engineers, Proceedings*, vol. 114, no. 6, June 1967, pp. 726–740.
- [270] J. Lajoinie, E. Ngoya, D. Barataud, J. M. Nebus, J. Sombrin, and B. Rivierre, "Efficient simulation of NPR for the optimum design of satellite transponders SSPAs," in *IEEE MTT-S International Microwave Symposium, Digest*, vol. 2, June 1998, pp. 741–744.
- [271] J. Lajoinie, "Contribution à la conception optimale en terme de linéarité et consommation des amplificateurs de puissance en fonctionnement multiporteuse," Ph.D. dissertation, Université de Limoges, February 2000.
- [272] T. Reveyrand, D. Barataud, J. Lajoinie, M. Campovecchio, J.-M. Nebus, E. Ngoya, J. Sombrin, and D. Roques, "A novel experimental noise power ratio characterization method for multicarrier microwave power amplifiers," in *ARFTG 55th Conference, Digest*, vol. 37, June 2000, pp. 1–5.
- [273] T. Reveyrand, "Conception d'un système de mesure d'enveloppes temporelles aux accès de modules de puissance. application à la mesure du npr et à la modélisation comportementale d'amplificateurs," Ph.D. dissertation, Université de Limoges, 2002.
- [274] A. Soury, "Modélisation des phénomènes de mémoire à long terme des amplificateurs de puissance pour la simulation des systèmes de télécommunications," Ph.D. dissertation, Université de Limoges, 2002.
- [275] A. C. Bohigas, "Implémentation de techniques de linéarisation et d'amélioration du rendement pour les amplificateurs de puissance RF," Ph.D. dissertation, GEET, 2008.
- [276] O. Hammi, S. Boumaiza, and F. M. Ghannouchi, "On the robustness of the predistortion function synthesis for highly nonlinear RF power amplifiers linearization," in *European Microwave Conference*, vol. 1-4, 2006, pp. 1481–1484.
- [277] N. L. Gallou, J. M. Nebus, E. Ngoya, and H. Buret, "Analysis of low frequency memory and influence on solid state HPA intermodulation characteristics," in *IEEE MTT-S International Microwave Symposium, Digest*, vol. 2, May 2001, pp. 979–982.
- [278] F. Filicori, G. Vannini, A. Santarelli, A. Mediavilla, A. Tazon, and Y. Newport, "Empirical modeling of low-frequency dispersive effects due to traps and thermal phenomena in III-V FETs," in *IEEE MTT-S International Microwave Symposium, Digest*, vol. 3, May 1995, pp. 1557–1560.
- [279] S. Binari, P. B. Klein, and T. E. Kazior, "Trapping effects in wide-bandgap microwave FETs," in *IEEE MTT-S International Microwave Symposium, Digest*, vol. 3, June 2002, pp. 1823–1826.
- [280] Y. Guo and J. R. Cavallaro, "A novel adaptive pre-distorter using LS estimation of SSPA non-linearity in mobile OFDM systems," in *IEEE International Symposium on Circuits and Systems (ISCAS)*, vol. 3, 2002, pp. 453–456.
- [281] A. A. M. Saleh, "Frequency-independent and frequency-dependent non-linear models of TWT amplifiers," *IEEE Transactions on Communications*, vol. 29, no. 11, pp. 1715–1720, 1981.

BIBLIOGRAPHIE

- [282] A. Bennadji, “Implémentation de modèles comportementaux d’amplificateurs de puissance dans des environnements de simulation système et co-simulation circuit système,” *Électronique des Hautes Fréquences et Optoélectronique*, Université de Limoges, 2006.
- [283] E. Costa, M. Midrio, and S. Pupolin, “Impact of amplifier nonlinearities on OFDM transmission system performance,” *IEEE Communications Letters*, vol. 3, no. 2, pp. 37–39, February 1999.
- [284] J. Tellado, L. M. C. Hoo, and J. M. Cioffi, “Maximum-likelihood detection of nonlinearly distorted multicarrier symbols by iterative decoding,” *IEEE Transactions on Communications*, vol. 51, no. 2, pp. 218–228, February 2003.
- [285] D.-S. Han and T. Hwang, “An adaptive pre-distorter for the compensation of HPA nonlinearity,” *IEEE Transactions on Broadcasting*, vol. 46, no. 2, pp. 152–157, June 2000.
- [286] D. Dardari, V. Tralli, and A. Vaccari, “A theoretical characterization of nonlinear distortion effects in OFDM systems,” *IEEE Transactions on Communications*, vol. 48, no. 10, pp. 1755–1764, October 2000.
- [287] G. Santella and F. Mazzenga, “A hybrid analytical-simulation procedure for performance evaluation in M-QAM-OFDM schemes in presence of nonlinear distortions,” *IEEE Transactions on Vehicular Technology*, vol. 47, no. 1, pp. 142–151, February 1998.
- [288] A. Ghorbani and M. Sheikhan, “The effect of solid state power amplifiers (SSPAs) nonlinearities on MPSK and M-QAM signal transmission,” in *6th International Conference on Digital Processing of Signals in Communications*, September 1991, pp. 193–197.
- [289] C. Rapp, “Effects of HPA-nonlinearity on a 4-DPSK/OFDM-signal for a digital sound broadcasting signal,” in *ESA Special Publication*, vol. 332, October 1991, pp. 179–184.
- [290] W. Honkanen and S. G. Haggman, “New aspects on nonlinear power amplifier modeling in radio communication system simulations,” in *8th IEEE International Symposium on Personal, Indoor and Mobile Radio Communications (PIMRC)*, vol. 3, September 1997, pp. 844–848.
- [291] W. Honkanen, O. Pollanen, J. Tanskanen, E. Jarvinen, and S. G. Haggman, “Comparison of measured and simulated $\pi/4$ -DQPSK adjacent channel power using a functional high power amplifier model,” in *48th IEEE Vehicular Technology Conference (VTC)*, vol. 3, May 1998, pp. 2459–2463.
- [292] G. P. White, A. G. Burr, and T. Javornik, “Modelling of nonlinear distortion in broadband fixed wireless access systems,” *Electronics Letters*, vol. 39, no. 8, pp. 686–687, April 2003.
- [293] C. Lesiak and A. J. Krener, “The existence and uniqueness of Volterra series for nonlinear systems,” *IEEE Transactions on Automatic Control*, vol. 23, no. 6, pp. 1090–1095, December 1978.
- [294] I. W. Sandberg, “The mathematical foundations of associated expansions for mildly nonlinear systems,” *IEEE Transactions on Circuits and Systems*, vol. 30, no. 7, pp. 441–455, July 1983.
- [295] S. Boyd and L. O. Chua, “Fading memory and the problem of approximating nonlinear operators with Volterra series,” *IEEE Transactions on Circuits and Systems*, vol. 32, no. 11, pp. 1150–1161, November 1985.
- [296] G. B. Giannakis and E. Serpedin, “Linear multichannel blind equalizers of nonlinear FIR Volterra channels,” *IEEE Transactions on Signal Processing*, vol. 45, no. 1, pp. 67–81, January 1997.
- [297] G. Karam and H. Sari, “Analysis of predistortion, equalization, and ISI cancellation techniques in digital radio systems with nonlinear transmit amplifiers,” *IEEE Transactions on Communications*, vol. 37, no. 12, pp. 1245–1253, December 1989.
- [298] S. Pupolin, A. Sarti, and H. Fu, “Performance analysis of digital radio links with nonlinear transmit amplifier and data predistorter with memory,” in *IEEE International Conference on Communications (ICC), World Prosperity Through Communications, Record*, June 1989, pp. 292–296.
- [299] C. Eun and E. J. Powers, “A new Volterra predistorter based on the indirect learning architecture,” *IEEE Transactions on Signal Processing*, vol. 45, no. 1, pp. 223–227, January 1997.
- [300] M. Tummala, M. Donovan, B. E. Watkins, and R. R. North, “Volterra series based modeling and compensation of nonlinearities in high power amplifiers,” in *IEEE International Conference on Acoustics, Speech, and Signal Processing (ICASSP)*, vol. 3, Apr 1997, pp. 2417–2420.
- [301] S. Chang and E. J. Powers, “A simplified predistorter for compensation of nonlinear distortion in OFDM systems,” in *IEEE Global Telecommunications Conference GLOBECOM*, vol. 5, 2001, pp. 3080–3084.

- [302] A. Heiskanen, J. Aikio, and T. Rahkonen, "A 5th order Volterra study of a 30W LDMOS power amplifier," in *International Symposium on Circuits and Systems (ISCAS), Proceedings*, vol. 4, May 2003, pp. 616–619.
- [303] A. Zhu, M. Wren, and T. J. Brazil, "An efficient Volterra-based behavioral model for wideband RF power amplifiers," in *IEEE MTT-S International Microwave Symposium, Digest*, vol. 2, June 2003, pp. 787–790.
- [304] R. Raich, H. Qian, and G. T. Zhou, "Orthogonal polynomials for power amplifier modeling and predistorter design," *IEEE Transactions on Vehicular Technology*, vol. 53, no. 5, pp. 1468–1479, 2004.
- [305] M. Isaksson, D. Wisell, and D. Ronnow, "A comparative analysis of behavioral models for RF power amplifiers," *IEEE Transactions on Microwave Theory Techniques*, vol. 54, no. 1, pp. 348–359, 2006.
- [306] D. R. Morgan, Z. Ma, J. Kim, M. G. Zierdt, and J. Pastalan, "A generalized memory polynomial model for digital predistortion of RF power amplifiers," *IEEE Transactions on Signal Processing*, vol. 54, no. 10, pp. 3852–3860, 2006.
- [307] E. W. Bai, "Frequency domain identification of Hammerstein models," *IEEE Transactions on Automatic Control*, vol. 48, no. 4, pp. 530–542, April 2003.
- [308] W. Greblicki, "Nonparametric approach to Wiener system identification," *IEEE Transactions on Circuits and Systems I : Fundamental Theory and Applications*, vol. 44, no. 6, pp. 538–545, June 1997.
- [309] M. Kozek and N. Jovanovic, "Identification of Hammerstein/Wiener nonlinear systems with extended Kalman filters," in *American Control Conference, Proceedings*, vol. 2, 2002, pp. 969–974.
- [310] J. C. Pedro and S. A. Maas, "A comparative overview of microwave and wireless power-amplifier behavioral modeling approaches," *IEEE Transactions on Microwave Theory Techniques*, vol. 53, no. 4, pp. 1150–1163, 2005.
- [311] T. J. Liu, S. Boumaiza, and F. M. Ghannouchi, "Deembedding static nonlinearities and accurately identifying and modeling memory effects in wide-band RF transmitters," *IEEE Transactions on Microwave Theory Techniques*, vol. 53, no. 11, pp. 3578–3587, 2005.
- [312] Y. Harkouss, "Application de réseaux de neurones à la modélisation de composants et de dispositifs microondes non-linéaires," Ph.D. dissertation, Université de Limoges, Décembre 1998.
- [313] D. R. H. Abdulkader, F. L. F., and Castanie, "Natural gradient algorithm for neural networks applied to non-linear high power amplifiers," *International Journal of Adaptive Control and Signal Processing*, vol. 2, no. 16, pp. 557–576, 2002.
- [314] Z. Y. He, J. H. Ge, S. J. Geng, and G. Wang, "An improved look-up table predistortion technique for HPA with memory effects in OFDM systems," *IEEE Transactions on Broadcasting*, vol. 52, no. 1, pp. 87–91, March 2006.
- [315] C. W. Park, F. Beaugard, G. Carangelo, and F. M. Ghannouchi, "An independently controllable AM/AM and AM/PM predistortion linearizer for CDMA2000 multi-carrier applications," in *Rawcon 2001 : IEEE Radio Wireless Conference, Proceedings*, 2001, pp. 53–56.
- [316] H. Hayashi, M. Nakatsugawa, and R. Muraguchi, "Quasi-linear amplification using self-phase distortion compensation technique," *IEEE Transactions on Microwave Theory Techniques*, vol. 43, no. 11, pp. 2557–2564, 1995.
- [317] M. Muraguchi, M. Nakatsugawa, H. Hayashi, and M. Aikawa, "A 1.9GHz-band ultra low power consumption amplifier chip set for personal communications," in *IEEE Microwave and Millimeter-Wave Monolithic Circuits Symposium, Digest of Papers*, May 1995, pp. 145–148.
- [318] M. S. Jeon, J. Kim, H. Kang, S. Jung, J. Lee, and Y. Kwon, "A new active predistorter with high gain using cascode-FET structures," in *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, Digest*, 2002, pp. 253–256.
- [319] A. S. Sappal, M. S. Patterh, and S. Sharma, "Digital pre-distortion of power amplifiers using look-up table method with memory effects," *ICGST-PDCS*, vol. 8, no. 1, December 2008.
- [320] C. C. Huang, W. C. Chen, C. Y. Shen, Y. J. Chen, C. Y. Chang, and R. C. Hwang, "Signal processing by polynomial NN and equivalent polynomial function," in *1st International Conference on Pervasive Computing Signal Processing and Application (PCSPA)*, Sept 2010, pp. 460–463.
- [321] V. Z. Marmarelis and X. Zhao, "Volterra models and three-layer perceptrons," *IEEE Transactions on Neural Networks*, vol. 8, no. 6, pp. 1421–1433, 1997.

BIBLIOGRAPHIE

- [322] N. Z. Hakim, J. J. Kaufman, G. Cerf, and H. E. Meadows, "Volterra characterization of neural networks," in *25th Asilomar Conference on Signals, Systems and Computers, Record*, November 1991, pp. 1128–1132.
- [323] Y. Shiotani and Y. Kobayashi, "Identification of multi-input multi-output Wiener-type nonlinear systems," in *ICCAS-SICE*, August 2009, pp. 5244–5249.
- [324] J.-S. Wang and Y.-C. Chen, "A Hammerstein-Wiener recurrent neural network with universal approximation capability," in *IEEE International Conference on Systems, Man Cybernetics (SMC)*, vol. 1-6, 2008, pp. 1831–1836.
- [325] X. Zeng and H. Zhao, "Complex-valued neural polynomial adaptive equalizer for digital satellite channels," in *International Conference on Computer Design and Applications (ICCD)*, vol. 1, June 2010, pp. 439–443.
- [326] A. D. R. McQuarrie and C.-L. Tsai, *Regression and time series model selection*. World Scientific, 1998.
- [327] D. E. Rumelhart, G. E. Hinton, and R. J. Williams, "Parallel distributed processing : Explorations in the microstructure of cognition, vol. 1," in *Learning Internal Representations by Error Propagation*. Cambridge, MA, USA : MIT Press, 1986, pp. 318–362.
- [328] P. Werbos, "Beyond regression : new tools for prediction and analysis in the behavioural sciences," Ph.D. dissertation, Harvard University, 1974.
- [329] S. Haykin, *Neural Networks : A Comprehensive Foundation*, 2nd ed. Upper Saddle River, NJ, USA : Prentice Hall PTR, 1998.
- [330] C. G. Broyden, "The convergence of a class of double rank minimization algorithms : 2. the new algorithm," *Journal of the Institute of Mathematics and its Applications*, vol. 6, pp. 76–231, 1970.
- [331] Y. Wang and J. C. P. S.-P. Kim, "Comparison of TDNN training algorithms in brain machine interfaces," in *International Joint Conference on Neural Networks*, 2005, pp. 2459–2462.
- [332] K. Levenberg, "A method for the solution of certain non-linear problems in least squares," *Quarterly Journal of Applied Mathematics*, vol. II, no. 2, pp. 164–168, 1944.
- [333] D. W. Marquardt, "An algorithm for least-squares estimation of nonlinear parameters," *Journal of the Society for Industrial and Applied Mathematics*, vol. 11, pp. 431–441, 1963.
- [334] U. Seiffert, "Training of large-scale feed-forward neural networks," in *International Joint Conference on Neural Networks (IJCNN), Proceedings*, July 2006, pp. 5324–5329.
- [335] E. Castillo, B. Guijarro-Berdiñas, O. Fontenla-Romero, and A. Alonso-Betanzos, "A very fast learning method for neural networks based on sensitivity analysis," *Journal of Machine Learning Research*, no. 7, pp. 1159–1182, 2006.
- [336] R. Zayani, R. Bouallegue, and D. Roviras, "Levenberg-Marquardt learning neural network for adaptive predistorsion for time-varying HPA with memory in OFDM systems," in *16th European Signal Processing Conference (EUSIPCO)*, August 2008.

RÉSUMÉ

L'essor des télécommunications spatiales au cours des deux dernières décennies impose de transmettre les données à des débits toujours plus importants et avec une qualité de service irréprochable. Néanmoins, afin d'obtenir un bilan de liaison et une efficacité spectrale optimaux, l'amplificateur de puissance embarqué doit être utilisé près de sa zone de saturation, ce qui entraîne de fortes non-linéarités des signaux émis. Afin de contourner ce problème, les amplificateurs sont souvent précédés d'un linéariseur.

Les dispositifs de linéarisation embarqués actuellement sont toutefois incapables de s'adapter à différents amplificateurs ou de prendre en compte les dérives des caractéristiques des amplificateurs au cours du temps et en fonction de la température : ils ne sont pas adaptatifs. L'objectif de cette thèse est de concevoir une architecture innovante capable de linéariser différentes caractéristiques de transfert d'amplificateurs de puissance. Les réseaux de neurones analogiques offrent des performances intéressantes d'approximation de fonctions non-linéaires et sont reconfigurables. Ils représentent donc une solution pertinente pour répondre à cette problématique.

Tout d'abord, une technique innovante, générique, rapide et précise d'extraction des fonctions de prédistorsion, ayant fait l'objet d'un brevet, est présentée et appliquée aux caractéristiques de trois amplificateurs fournies par le CNES. La modélisation de ces fonctions de prédistorsion par des réseaux de neurones valide ensuite, grâce à des simulations comportementales statiques et dynamiques, le concept de prédistorsion analogique adaptative par réseaux de neurones. Enfin, un ASIC analogique de prédistorsion, développé en technologie CMOS $0,35\mu m$, comprenant un réseau de neurones et un circuit de déphasage réglable novateur est présenté. Le circuit, capable de générer les différentes fonctions de prédistorsion avec une grande précision, pourra par la suite être intégré dans un banc de test permettant de linéariser de manière adaptative divers amplificateurs de puissance afin d'en évaluer les performances réelles.

Mots-clés : Linéarisation, Prédistorsion, Amplificateur de puissance, Réseau de neurones, CMOS, ASIC

ABSTRACT

The spectacular growth of space telecommunications during the last two decades requires always higher data transmission speeds and a flawless service quality. Nevertheless, in order to optimize the link budget and the spectral efficiency, the embedded High Power Amplifiers (HPA) are used close to their saturation point, which leads to strong non-linear emitted signals. To circumvent this issue, a linearizer is often implemented before the amplifier.

However, the linearization devices used today are not capable of adapting to different amplifiers or to HPA characteristics drift under the influence of aging and temperature variations : they are not adaptive. The objective of the work presented in this dissertation is the design of an innovating architecture capable of linearizing several HPA transfer characteristics. Analog Neural Networks (ANN) provide attractive performances for non-linear functions modelling and are reconfigurable. They are therefore a relevant choice to respond to this specific issue.

First, an patented innovating, generic, fast and accurate technique to determine the predistortion functions is detailed and used with the characteristics of three HPA provided by the French Space Agency (CNES). Then, the modelling of these predistortion functions through neural networks and behavioral static and dynamic simulations of these networks validate the concept of adaptive analog predistortion based on neural networks. Eventually, an analog predistortion ASIC, designed in a CMOS $0.35\mu m$ technology, including a neural network and an innovative configurable phase-shifting circuit, is described. The integrated circuit is able to generate the different predistortion functions and will be later embedded in a test-bench to demonstrate its ability to adaptively linearize several High Power Amplifiers.

Keywords : Linearization, Predistortion, Power Amplifier, Neural Network, CMOS, ASIC